

学子专区— ADALM2000实验： 锁相环

Antoniu Miclaus, 系统应用工程师
Doug Mercer, 顾问研究员

目标

本实验活动介绍锁相环(PLL)。PLL电路有一些重要的应用，例如信号调制/解调（主要是频率和相位调制）、同步、时钟和数据恢复，以及倍频和频率合成。在这项实验中，您将建立一个简单的PLL电路，让您对PLL操作有基本的了解。

背景知识

PLL是一种反馈系统，用于调节或锁定压控振荡器(VCO)输出与输入基准信号之间的相位差，如图1所示。VCO是一种振荡器，其输出频率是某个输入控制电压的函数。通常，当VCO用于PLL等反馈环路时，电压频率转换函数必须至少是单调的。VCO的一个特例是电压频率转换器(VFC)，其电压/频率特性是线性的。反馈环路中的分频器的分频系数N一般是整数，包括1，若为1则与没有分频器或从VCO输出直连鉴相器输入的情况相同。

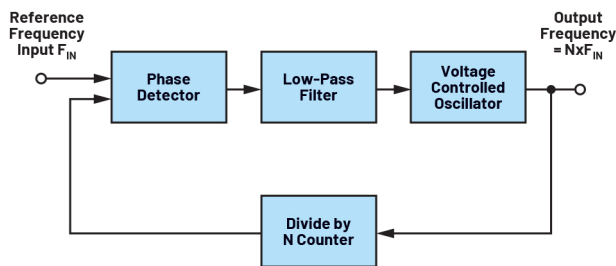


图1. PLL基本框图

PLL是许多深奥书籍和讨论的主题，非常复杂，无法在这几页中详尽说明。本实验的末尾有额外阅读材料的链接。

材料

- ▶ ADALM2000主动学习模块
- ▶ 无焊试验板
- ▶ 跳线
- ▶ 一个2.2 kΩ电阻
- ▶ 一个47 kΩ电阻
- ▶ 一个10 kΩ电阻
- ▶ 一个4.7 nF电容（标记为472）
- ▶ 一个100 pF电容（标记为101）
- ▶ 一个CD4007 CMOS阵列
- ▶ 2个ZVN2110A NMOS晶体管
- ▶ 2个ZVP2110A PMOS晶体管
- ▶ 一个AD654 VFC
- ▶ 一节9 V电池（带连接器）

第1步指导

在无焊试验板上，首先基于AD654搭建VFC电路，如图2所示。将电路搭建到试验板的一侧，以便为PLL的其他部件留出空间，我们将在本实验活动的后续步骤中添加这些部件。控制电压通过由R1和C1组成的单极点低通滤波器施加。这相当于图1中馈送至VCO模块的低通滤波器模块。



图2. VFC电路

开启固定5 V电源，并将9 V电池连接到电路。将AWG1输出连接到 V_{IN} ，如图2所示。将AWG1配置为DC源，初始设置为2.5 V。将示波器通道输入CH1+连接到 V_{SDB} 输出，如图2所示。还应将CH1-输入接地。

使用AWG 1直流偏置控制, 将 V_{in} 电压从1V调整到4 V, 同时在 V_{sqr} 观察VFC输出的频率。使用示波器控制屏幕上的频率测量功能来完成此操作。根据公式1, 图2中的R和C设置VFC的标称输出频率。

例如, V_{IN} 为设置范围的中间值 2.5V, 并给定 R_1 C_1 值 ($2.5/(10 \times 10 \text{ k}\Omega \times 100 \text{ pF})$), 输出频率应接近 250 kHz。验证您的测量结果是否与该值一致。如果不一致, 请重新检查电路连接和元件值。

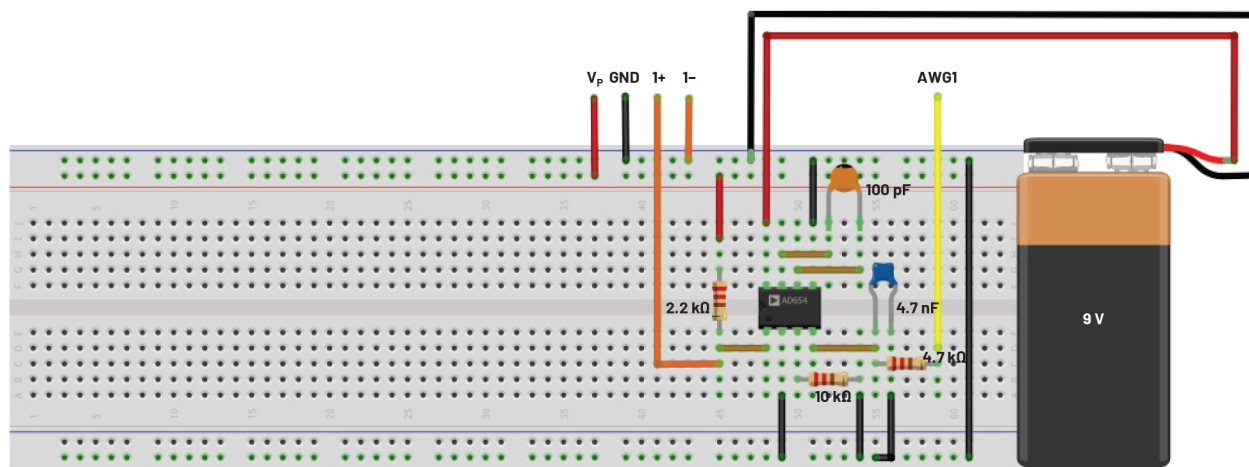


图3. VFC试验板电路

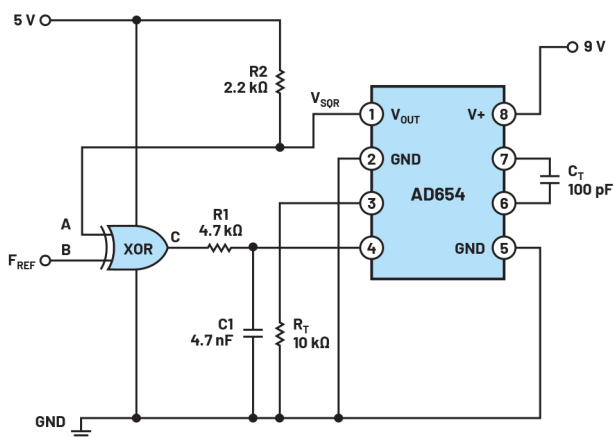


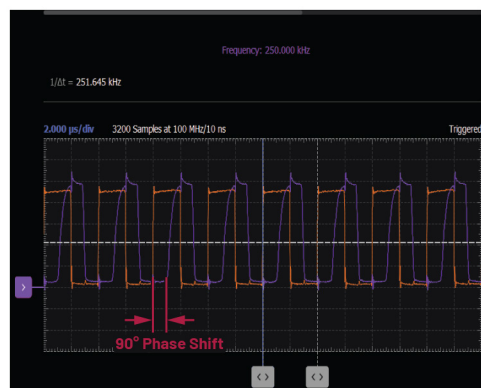
图6. 完整PLL电路

硬件设置

开启固定5 V电源，并将9 V电池连接到电路。将AWG1输出连接到 F_{REF} ，如图4所示。将AWG1配置为方波，其幅度为5 V峰峰值，偏置为2.5 V（0 V至5 V摆幅）；将初始频率设置为第1步中测得的值（即 V_{IN} 设置为2.5 V时，应在250 kHz左右）。将示波器通道输入CH1+连接到 F_{REF} 输入，并将示波器通道CH2+连接到 V_{SOS} 输出，如图6所示。还应该将CH1-和CH2-输入接地。将示波器设置为在通道1（ F_{REF} 信号）的上升沿触发。

程序步骤

在 F_{REF} 的频率设为对应于AD654引脚4上2.5 V控制电压的情况下， V_{SQ} 处看到的输出频率应锁定输入基准频率 F_{REF} 。在示波器屏幕上，您应该看到两个方波是稳定的（即彼此锁定），并且 V_{SQ} 相对于 F_{REF} 偏移约 90° 。请记住，当XOR鉴相器的两个输入相差 90° 时，其滤波输出将处于其输出范围的一半或约2.5 V。

图8. 完整的PLL F_{REF} 和 V_{SDR} 曲线

以小增量增大和减小基准频率 F_{REF} ，以确定PLL会锁定的最小和最大频率。当更改基准输入的频率时，注意 F_{REF} 和 V_{SOR} 之间的相对相位差。执行此操作时，测量AD654引脚4上的滤波直流控制电压，并将这些读数与步骤1中扫描VFC直流控制电压时测得的读数进行比较。

将示波器通道2连接到图6中C点处异或门的输出端。将所看到的方波与异或门A (V_{SDR}) 和门B (F_{REF}) 的输入进行比较。当PLL锁定在最小和最大锁定频率以及锁定范围的中心频率时，C处的波形如何变化？

附加第3步指导

图6中的简单PLL电路不是十分有意义，因为输出信号只是输入信号的相移版本。如图1所示，如果在从VFC输出端到鉴相器输入端的反馈路径中插入一个数字分频器模块，则输出信号将是一个更高的倍频信号。使用任何可用的数字分频器IC，如CD4020、CD4040、CD4060甚至SN7490（几乎任何分频器IC都可以），断开与异或输入A的连接，并插入分频器模块，如图9所示。

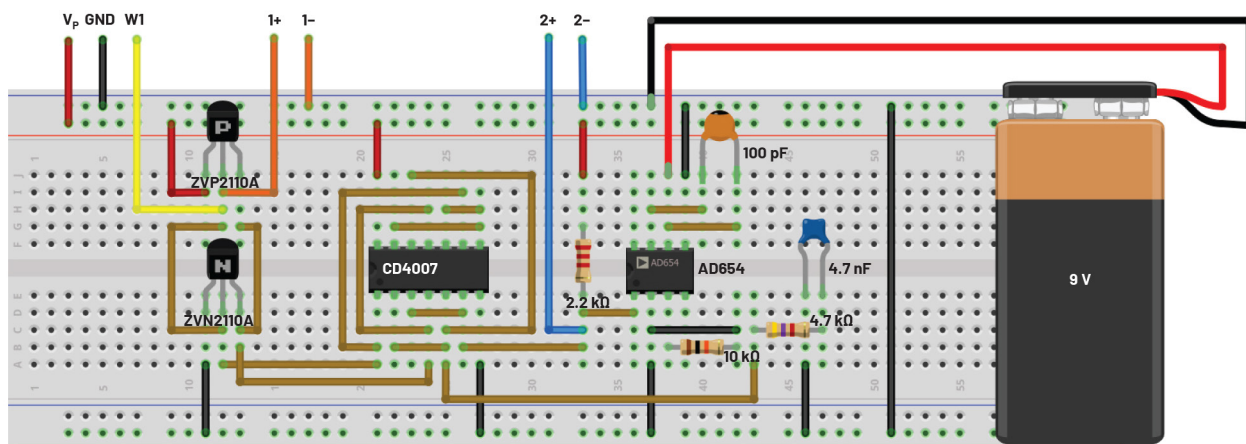


图7. 完整的PLL试验板电路

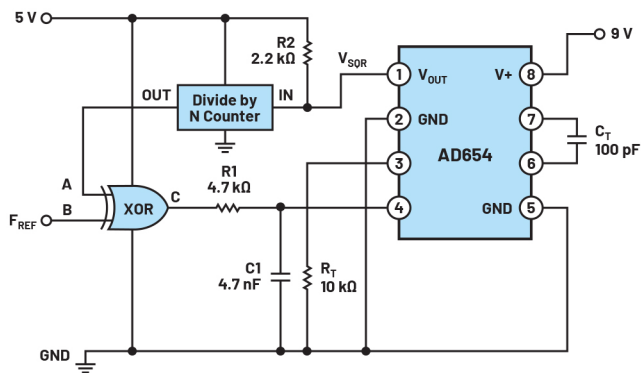


图9. PLL倍频器

根据您构建的分频器的分频系数 N ，您需要相应地改变 F_{REF} 输入频率。例如，当 $N=8$ 时，如果 F_{REF} 之前是250 kHz，新的 F_{REF} 将是250/8或31.25 kHz。异或门鉴相器输出端的脉冲频率也将是原来的八分之一。

进一步阅读: analog.com/media/en/training-seminars/tutorials/MT-086.pdf

问题

1. 能否说出PLL电路的若干实际应用?

您可以在[学子专区](#)论坛上找到答案。



作者简介

Antoni Miclaus现为ADI公司的系统应用工程师，从事ADI教学项目工作，同时为Circuits from the Lab®、QA自动化和流程管理开发嵌入式软件。他于2017年2月在罗马尼亚克卢日-纳波卡加盟ADI公司。他目前是贝碧思鲍耶大学软件工程硕士项目的理学硕士生，拥有克卢日-纳波卡科技大学电子与电信工程学士学位。



作者简介

Doug Mercer于1977年毕业于伦斯勒理工学院(RPI)，获电子工程学士学位。自1977年加入ADI公司以来，他直接或间接贡献了30多款数据转换器产品，并拥有13项专利。他于1995年被任命为ADI研究员。2009年，他从全职工作转型，并继续以名誉研究员身份担任ADI顾问，为“主动学习计划”撰稿。2016年，他被任命为RPI ECSE系的驻校工程师。

