

高速转换器时钟分配器件的端接

作者: Jerome Patoux

使用时钟分配器件¹或者扇出缓冲器为 ADC 和 DAC 提供时钟时, 需要考虑印刷电路板上的走线和输出端接, 这是信号衰减的两个主要来源。

时钟走线与信号摆幅

PCB 上的走线类似于低通滤波器, 当时钟信号沿着走线传输时, 会造成时钟信号衰减, 并且脉冲沿的失真随线长增加。更高的时钟信号频率会导致衰减、失真和噪声增加, 但不会增加抖动, 在低压摆率时抖动最大 (图 1), 一般使用高压摆率的时钟沿。为了实现高质量的时钟, 要使用高摆幅时钟信号和短时钟 PCB 走线; 由时钟驱动的器件应该尽可能靠近时钟分配器件放置。

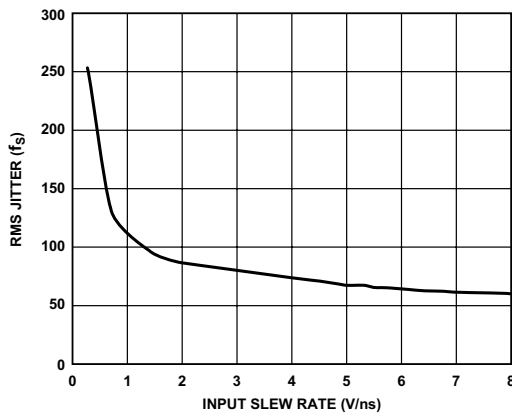


图 1. ADCLK925 的均方根抖动与输入压摆率的关系

ADCLK954² 时钟扇出缓冲器和 ADCLK914³ 超快时钟缓冲器就是两款此类时钟分配器件。ADCLK954 包括 12 个输出驱动, 可以在 50-Ω 的负载上驱动全摆幅为 800-mV 的 ECL (发射极耦合逻辑) 或者 LVPECL (低压正 ECL) 信号, 形成 1.6 V 的总差分输出摆幅, 如图 2 所示。它可以在 4.8 GHz 反转率下工作。ADCLK914 可以在 50-Ω 负载上驱动 1.9 V 高压差分信号 (HVDS), 形成 3.8 V 的总差分输出摆幅。ADCLK914 具有 7.5-GHz 的反转率。

当驱动 DAC 时, 时钟分配器件应该尽可能靠近 DAC 的时钟输入放置, 这样, 所需的高压摆率、高幅度时钟信号才不会引起布线困难、产生 EMI 或由电介质和其它损耗造成减弱。值

得注意的是, 走线的特性阻抗 (Z_0) 会随走线尺寸 (长度、宽度和深度) 而变化; 驱动器的输出阻抗必须与特性阻抗匹配。

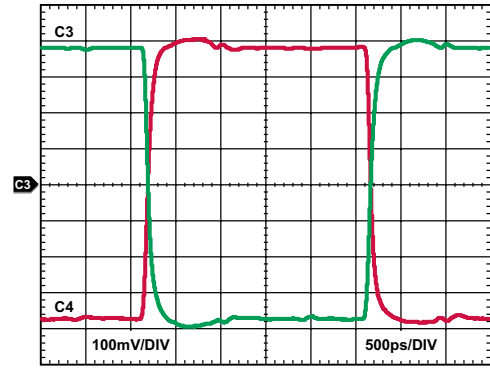


图 2. 采用 3.3V 电源供电时 ADCLK954 时钟缓冲器的输出波形

输出端接

时钟信号衰减会增加抖动, 因此对驱动器输出的端接很重要, 这可以避免信号反射, 并可通过相对较大的带宽实现最大能量传输。确实, 反射会造成下冲和过冲, 严重降低信号和整体时钟的性能, 或者在极端情况下, 可能会损坏接收器或驱动器。反射因阻抗不匹配而引起, 在走线没有适当端接时发生。由于反射系数本身具有高通特性, 因此这对具有快速上升和下降时间的高速信号更重要。反射脉冲与主时钟信号相叠加, 削弱了时钟脉冲。如图 3 所示, 它对上升沿和下降沿增加了不确定的延时或者抖动, 从而影响时钟信号的边沿。

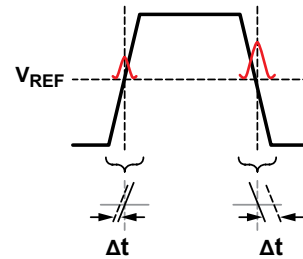


图 3. 由端接不当引起的反射信号抖动

端接不当使回声的幅度随着时间而变化, 因此 Δt 也会随时间变化。端接的时间常数也会影响回声脉冲的形状和宽度。基于以上原因, 反射引起的附加抖动, 从形状上看类似增加经典抖动的高斯特性。为了避免抖动和时钟质量降低的不利影响, 需要使用表 1 中总结的恰当信号端接方法。 Z_0 是传输线的阻抗; Z_{OUT} 是驱动器的输出阻抗, Z_{IN} 是接收器的输入阻抗。仅显示 CMOS 和 PECL/LVPECL 电路。

参考文献

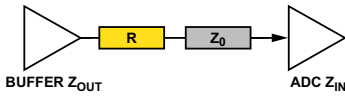
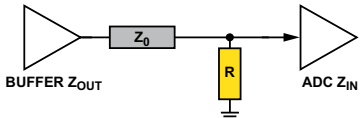
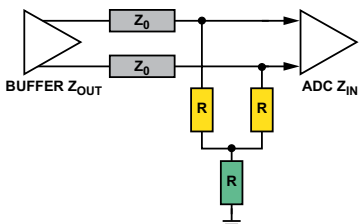
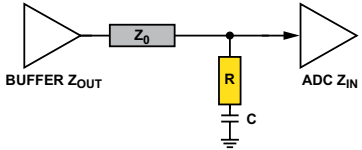
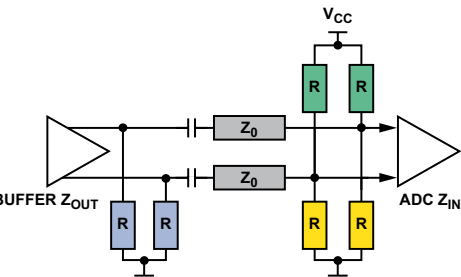
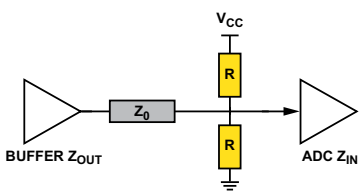
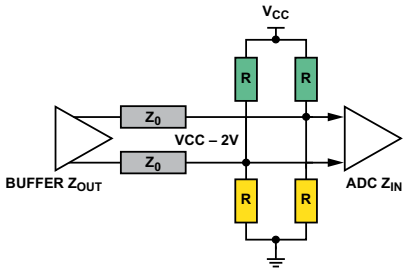
- ¹ www.analog.com/en/clock-and-timing/clock-generation-and-distribution/products/index.html.
- ² www.analog.com/en/clock-and-timing/clock-generation-and-distribution/adclk954/products/product.html.
- ³ www.analog.com/en/clock-and-timing/clock-generation-and-distribution/adclk914/products/product.html.

作者简介

Jerome Patoux [jerome.patoux@analog.com] 是位于北卡罗来纳州格林斯博罗的 ADI 公司时钟和信号合成组的产品营销工程师。2002 年, 他毕业于法国 Avon 的巴黎计算机及电信工程高等工程师学院, 并获得电子及通信工程硕士学位。他还拥有位于加拿大赫尔-加蒂诺的魁北克大学和位于法国勒芒的材料及机械高等工程师学院的国际项目管理专业硕士学位。在 2005 年加入 ADI 之前, Jerome 曾在 SFR 集团任无线电工程师, 在法国国家铁路公司 (SNCF) 担任部门经理。



表 1. 时钟端接

方法	描述	优势	弱点	备注
串行端接	CMOS  实际上，因为阻抗会随频率动态变化，难以达到阻抗匹配，所以缓冲器输出端可以省去电阻(R)。	低功耗解决方案（没有对地的吸电流） 很容易计算 R 的值 ($Z_0 - Z_{OUT}$)。	上升/下降时间受 RC 电路的影响，增加抖动。 只对低频信号有效。	CMOS 驱动器 不适合高频时钟信号。 适合低频时钟信号和非常短的走线。
下拉电阻	CMOS 	非常简单 ($R = Z_0$)	高功耗	不推荐
	LVPECL 	简单的 3 电阻解决方案。 就节能而言稍好一点，相对于 4 电阻端接来说节省一个电阻。		推荐。 端接电阻尽可能靠近 PECL 接收器放置。
交流端接	CMOS 	没有直流功耗。		为避免较高功耗，C 应该很小，但也不能太小而导致吸电流。
	LVPECL 	交流耦合允许调整偏置电压。避免电路两端之间的能量流动。	交流耦合只推荐用于平衡信号（50% 占空比的时钟信号）。	交流耦合电容的 ESR 值和容值应该很低。
电阻桥	CMOS 	功耗实现合理的权衡取舍。	单端时钟用两个器件。	
	LVPECL 		差分输出逻辑用 4 个外部器件。	3.3V LVPECL 驱动器广泛应用端接。