

# 逐次逼近型 ADC：确保首次转换有效

作者：Steven Xie

## 简介

最高 18 位分辨率、10 MSPS 采样速率的逐次逼近型模数转换器(ADC)可以满足许多数据采集应用的需求，包括便携式、工业、医疗和通信应用。本文介绍如何初始化逐次逼近型 ADC 以实现有效转换。

## 逐次逼近型架构

逐次逼近型 ADC 由 4 个主要子电路构成：采样保持放大器(SHA)、模拟比较器、参考数模转换器(DAC)和逐次逼近型寄存器(SAR)。由于 SAR 控制着转换器的运行，因此，逐次逼近型转换器一般称为 SAR ADC。

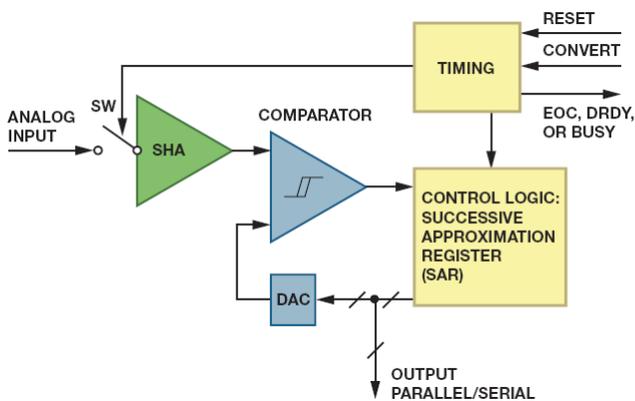


图 1 基本 SAR ADC 架构

在上电和初始化之后，CONVERT 上的一个信号会启动转换。开关闭合，将模拟输入连接至 SHA，后者获得输入电压。当开关断开时，比较器将确定模拟输入（此时存储于保持电容）是大于还是小于 DAC 电压。开始时，最高有效位(MSB)开启，将 DAC 输出电压设为中间电平。在比较器输出建立之后，如果 DAC 输出大于模拟输入，逐次逼近寄存器将关闭 MSB；如果输出小于模拟输入，则会使其保持开启。下一个最高有效位会重复这一过程，如果比较器确定 DAC 输出大于模拟输入，则关闭 MSB；如果输出小于模拟输入，则会使其保持开启。这个二进制搜索过程将持续下去，直到寄存器中的每一位都测试完毕为止。结果得到的 DAC 输入是采样输入电压的数字近似值，并由 ADC 在转换结束时输出。

## 与 SAR 转换代码相关的因素

本文将讨论与有效首次转换相关的下列因素：

- 电源顺序(AD765x-1)
- 访问控制(AD7367)

- RESET (AD765x-1/AD7606)
- REF<sub>IN</sub>/REF<sub>OUT</sub> (AD765x-1)
- 模拟输入建立时间(AD7606)
- 模拟输入范围(AD7960)
- 省电/待机模式(AD760x)
- 延迟 (AD7682/AD7689、AD7766/AD7767)
- 数字接口时序

## 电源序列

有些采用多个电源的 ADC 拥有明确的上电序列。AN-932 应用笔记电源序列为这些 ADC 电源的设计提供了良好的参考。应该特别注意模拟和参考输入，因为这些一般不得超过模拟电源电压 0.3 V 以上。因此， $AGND - 0.3 V < V_{IN} < V_{DD} + 0.3 V$  且  $AGND - 0.3 V < V_{REF} < V_{DD} + 0.3 V$ 。模拟电源应在模拟输入或基准电压之前开启，否则，模拟内核可能会以闩锁状态上电。类似地，数字输入应在  $DGND - 0.3 V$  和  $V_{IO} + 0.3 V$  之间。I/O 电源必须在接口电路之前（或与其同时）开启，否则，这些引脚上的 ESD 二极管可能变成正偏，而且数字内核可能以未知状态上电。

## 电源斜坡过程中的数据访问

在电源稳定之前不得访问 ADC，因为这样可能使其进入未知状态。在图 2 所示例子中，主机 FPGA 正在尝试从 AD7367 读取数据，而 DV<sub>CC</sub> 正在斜升，结果可能使 ADC 进入未知状态。

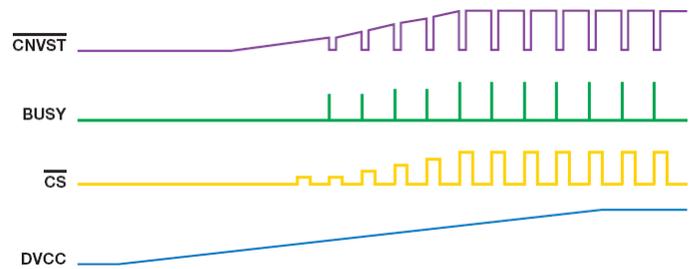


图 2 在 DV<sub>CC</sub> 斜升过程中读取数据

## 通过复位实现 SAR ADC 初始化

许多 SAR ADC（如 AD760x 和 AD765x-1）在上电后需要通过 RESET 来实现初始化。在所有电源都稳定之后，应施加一个指定的 RESET 脉冲，以确保 ADC 以预期状态启动，同时使数字逻辑控制处于默认状态，并清除转换数据寄存器。上电时，电压开始在 REF<sub>IN</sub>/REF<sub>OUT</sub> 引脚上建立，ADC 进入采集模式，同时配置用户指定模式。完全上电后，AD760x 应看到一个上升沿 RESET 将其配置为正常工作模式。RESET 高脉冲宽度典型值为 50ns。

## 建立基准电压

ADC 将模拟输入电压转换成指向基准电压的数字代码，因此，基准电压必须在首次转换前稳定下来。许多 SAR ADC 都有一个 REF<sub>IN</sub>/REF<sub>OUT</sub> 引脚和一个 REF 或 REFCAP 引脚。外部基准电压可能会通过 REF<sub>IN</sub>/REF<sub>OUT</sub> 引脚过驱内部基准电压源，或者，内部基准电压源可能会直接驱动缓冲。REFCAP 引脚上

的电容会使内部缓冲输出耦合，而这正是用于转换的基准电压源。图3所示为AD765x-1数据手册中的参考电路示例。

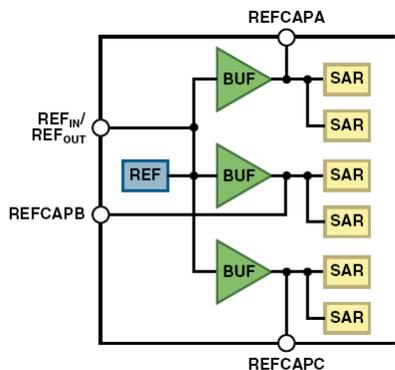


图3 AD765x-1 参考电路

确保REF或REFCAP上的电压在首次转换之前已建立。压摆率和建立时间因不同的储能电容而异，如图4所示。

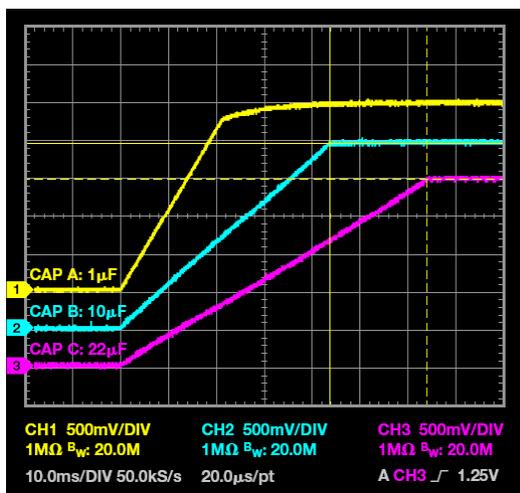


图4 AD7656-1 REFCAPA/B/C 引脚在不同电容下的电压斜坡

另外，设计不佳的参考电路可能导致严重的转换错误。参考电路问题最常见的表现是“粘连”代码，其原因可能是储能电容的尺寸和位置、驱动强度不足或者输入存在大量噪声。[精密逐次逼近型ADC的基准电压源设计](#)作者：Alan Walsh（*模拟对话*第47卷第2期，2013年）详细讨论了SAR ADC的基准电压源设计。

### 模拟输入建立时间

对于多通道、多路复用应用，驱动器放大器和ADC的模拟输入电路必须使内部电容阵列以16位水平(0.00076%)建立满量程阶跃。不幸的是，放大器数据手册一般将建立精度指定为0.1%或0.01%。指定的建立时间可能与16位精度的建立时间显著不同，因此选择驱动器之前应进行验证。

要特别注意多路复用应用中的建立时间。在多路复用器切换之后，要确保留出足够的时间，以便模拟输入能在转换开始之前建立至指定的精度。在配合AD7606使用多路复用器时，应为±10-V输入范围留出至少80 μs的时间，为±5-V范围留出至少88 μs，以便给选定通道足够的时间来建立至16位分辨

率。[面向精密SAR模数转换器的前端放大器和RC滤波器设计](#)作者：Alan Walsh（*模拟对话*第46卷第4期，2012年）为放大器的选择提供了更多细节。

### 模拟输入范围

确保模拟输入处于指定的输入范围之内，要特别注意指定共模电压的差分输入范围，如图5所示。

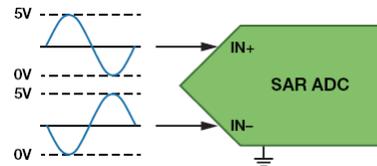


图5 共模电压下的全差分输入

例如，AD7960 18位、5 MSPS SAR ADC的差分输入范围为 $-V_{REF}$ 至 $+V_{REF}$ ，但折合到地的 $V_{IN+}$ 和 $V_{IN-}$ 都应该处于 $-0.1V$ 至 $V_{REF} + 0.1V$ 的范围内，且共模电压应为 $V_{REF}/2$ 左右，如表1所示。

表1 AD7960 的模拟输入规格

参数	测试条件/注释	最小值	典型值	最大值	单位
电压范围	$V_{IN+} - V_{IN-}$	$-V_{REF}$		$+V_{REF}$	V
工作输入电压	$V_{IN+}$ 、 $V_{IN-}$ 至 GND	-0.1		$V_{REF} + 0.1$	V
共模输入范围		$V_{REF}/2 - 0.05$	$V_{REF}/2$	$V_{REF}/2 + 0.05$	V

### 使 SAR ADC 退出关断或待机模式

为了节能，有些SAR ADC会在空闲时进入关断或待机模式。在首次转换开始前，要确保ADC退出该低功耗模式。例如，AD7606系列即提供了两种节能模式：完全关断和待机。这些模式由GPIO引脚 $\overline{STBY}$ 和RANGE进行控制。

根据图6所示，当 $\overline{STBY}$ 和RANGE返回高电平时，AD7606从完全关断进入正常工作模式，并配置为±10-V的范围。此时，REGCAPA、REGCAPB和REGCAP引脚上电至数据手册所述的正确电压。在进入待机模式时，上电时间约为100 μs，但在外部基准电压源模式下，这需要大约13 ms。从关断模式上电时，经过所需的上电时间后，必须施加RESET信号。数据手册将上电与RESET上升沿之间所需时间规定为 $t_{WAKE-UP SHUTDOWN}$ 。

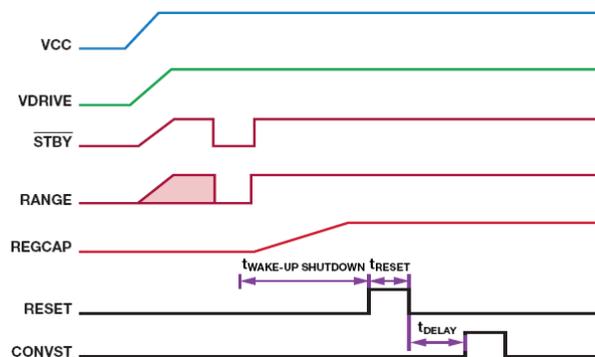


图6 AD7606 初始化时序

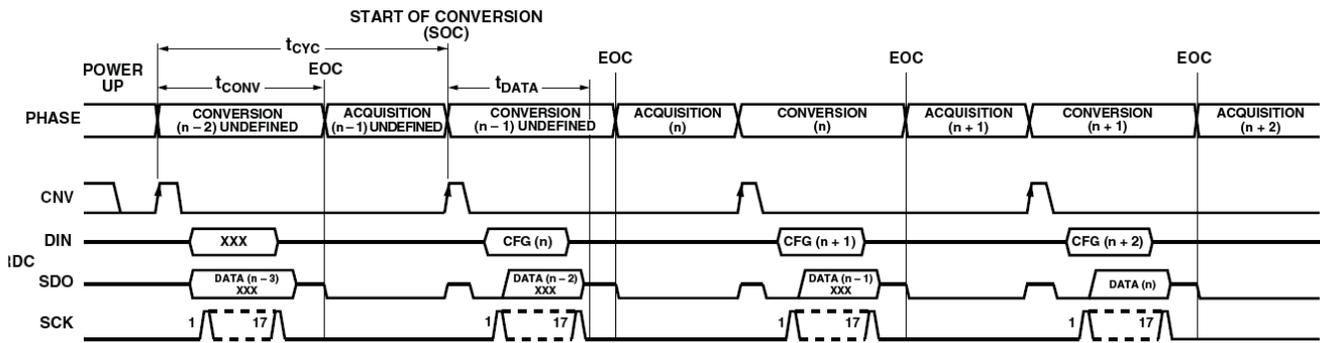


图 7 AD7682/AD7689 的通用时序

## 带延迟的 SAR ADC

人们普遍认为，SAR ADC 没有延迟，但有些 SAR ADC 确实存在延迟以便更新配置，因此，在经过延迟时间（可能为数个转换周期）之前，第一个有效转换代码可能未定义。

例如，AD7985 拥有两种转换工作模式：turbo 和正常。Turbo 模式（支持最快的转换速率，最高可达 2.5 MSPS）不会在转换间关断。turbo 模式下的第一次转换含有无意义的数，应该予以忽略。另一方面，在正常模式下，第一次转换是有意义的。

对于 AD7682/AD7689，上电后的前三个转换结果未定义，因为在第二个 EOC 之前，不会出现有效的配置。因此，需要两次伪转换，如图 7 所示。

当在硬件模式下使用 AD765x-1 时，在 BUSY 信号下降沿对 RANGE 引脚的逻辑状态进行采样，以决定下一次同步转换的模拟输入范围。在有效的 RESET 脉冲之后，AD765x-1 将默认在  $\pm 4 \times V_{REF}$  范围内工作，无延迟问题。然而，如果 AD765x-1 工作于  $\pm 2 \times V_{REF}$  范围内，则必须利用伪转换周期在 BUSY 的第一个下降沿选择范围。

另外，有些 SAR ADC（如 AD7766/AD7767 过采样 SAR ADC）有后数字滤波器，结果会导致更多延迟。当将模拟输入多路复用至这类 ADC 时，主机必须等到数字滤波器完全建立后才能获得有效转换结果；经过该建立时间后，方可切换通道。

如表 2 所示，AD7766/AD7767 的延迟为 74 除以输出数据速率 (74/ODR) 的商值。在运行于最高输出数据速率 128 kHz 时，AD7766/AD7767 支持 1.729 kHz 的多路复用器开关速率。

表 2 AD7766/AD7767 的数字滤波器延迟

参数	测试条件/注释	最小值	典型值	最大值	单位
群延迟			37/ODR		$\mu\text{s}$
建立时间（延迟）	完全建立		74/ODR		$\mu\text{s}$

## 数字接口时序

最后，但同样重要的是，主机可以通过一些常见的接口选项（如并行、并行 BYTE、IIC、SPI 和菊花链模式下的 SPI）来访问 SAR ADC 的转换结果。要得到有效的转换数据，必须确保遵循数据手册中的数字接口时序规格。

## 结论

为了获得 SAR ADC 的第一个有效转换代码，务必遵循本文讨论的建议。可能还需要其他具体配置支持；请查看目标 SAR ADC 数据手册或者应用笔记，了解关于第一个转换周期开始之前初始化的相关内容。

## 参考文献

- Kester, Walt. *Data Converter Support Circuits*. Chapter 7, *Data Conversion Handbook*.
- Kester, Walt. "Which ADC Architecture Is Right for Your Application?" *Analog Dialogue*, Volume 39, Number 2, 2005.
- Walsh, Alan. "Front-End Amplifier and RC Filter Design for a Precision SAR Analog-to-Digital Converter." *Analog Dialogue*, Volume 46, Number 4, 2012.

## 作者简介

Steven Xie [steven.xie@analog.com] 2011 年 3 月加入 ADI 北京分公司，担任 ADI 中国设计中心的 ADC 应用工程师。他负责中国市场精密 ADC 产品的技术支持工作。在此之前，他曾在 Ericsson CDMA 团队做过四年的硬件设计人员。2007 年，Steven 毕业于北京航空航天大学，并获得通信与信息系统硕士学位。

