

应用工程师问答—41

LDO的运行困境：低裕量和最小负载

LDO裕量及其对输出噪声和PSRR的影响

作者：Glenn Morita

基于深亚微米工艺的新型千兆级模拟电路需要的电源电压越来越低，在某些情况下要低于1 V。这些高频电路通常需要较大的电源电流，因此，热管理可能会变得困难。设计目标是将功耗降至电路性能所必需的水平。

开关式DC-DC转换器可提高电源效率，有些器件的效率可超过95%，但是以增加电源噪声为代价，通常在较宽带宽范围内都存在噪声问题。低压差线性稳压器(LDO)常用于清除供电轨中的噪声，但也需要进行一些权衡考量，其功耗会增加系统的热负载。为了缓解这些问题，使用LDO时，可使输入和输出电压之间存在较小的压差（裕量电压）。本文旨在讨论低裕量电压对电源抑制和总输出噪声的影响。

LDO电源抑制与裕量

LDO电源抑制比(PSRR)与裕量电压高度相关——裕量电压指输入与输出电压之差。对于固定裕量电压，PSRR随着负载电流的增加而降低；大负载电流和小裕量电压条件下尤其如此。图1显示了超低噪声、2.5V线性稳压器ADM7160在200 mA负载电流和200 mV、300 mV、500 mV和1 V裕量电压条件下的PSRR。随着裕量电压的减小，PSRR也会减小，压差可能变得非常大。例如，在100 kHz下，裕量电压从1V变为500 mV，将会使PSRR减少5 dB。然而，裕量电压的较小变化，从500 mV变为300 mV，会导致PSRR下降18 dB以上。

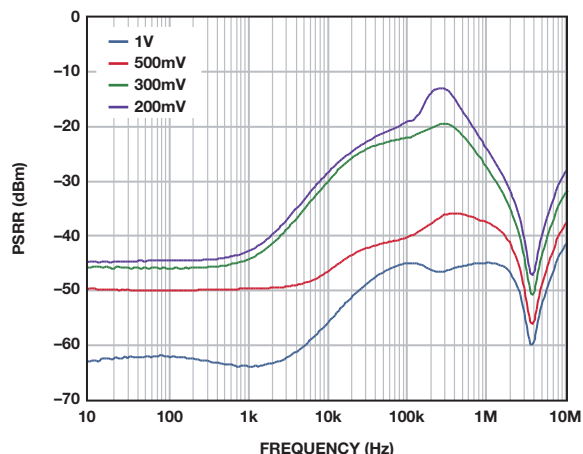
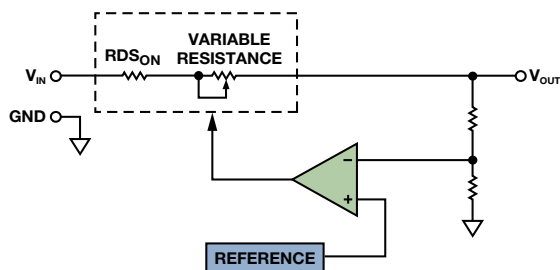


图1. ADM7160 PSRR与裕量。

图2显示了LDO的框图。随着负载电流的增加，PMOS调整元件的增益会减小，随后脱离饱和状态进入三极工作区。这会使总环路增益减小，从而导致PSRR下降。裕量电压越小，增益降幅越大。随着裕量电压继续减小，会达到一个点，在该点控制环路的增益降至1，PSRR降至0 dB。

导致环路增益减小的另一个因素是调整元件的电阻，包括FET的导通电阻、片内互连电阻和焊线电阻。可以根据压差推算出该电阻。例如，采用WLCSP封装的ADM7160在200 mA下的最大压差为200 mV。利用欧姆定律，调整元件的电阻约为1 Ω 。调整元件可近似为一个固定电阻加上可变电阻。

流过该电阻的负载电流会导致与FET的漏源工作电压之间产生压差。例如，在1 Ω FET条件下，200 mA的负载电流会使漏源电压下降200 mV。在估算裕量为500 mV或1 V的LDO的PSRR时，必须考虑调整元件上的压差，因为调整FET的工作电压实际上只有300 mV或800 mV。



NOTES

1. ERROR AMP CONTROLS VALUE OF VARIABLE RESISTOR TO REGULATE OUTPUT VOLTAGE.
2. AT LOW HEADROOM VOLTAGE, THE VARIABLE RESISTOR IS NEARLY 0 Ω .

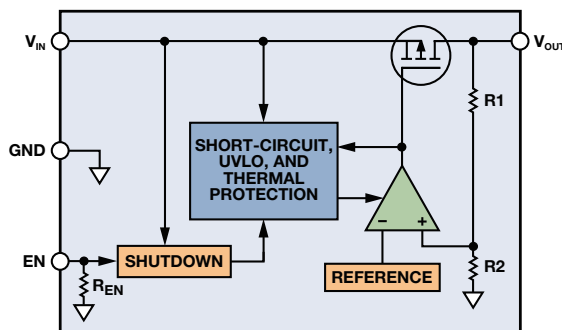


图2. 低压差稳压器的框图。

容差对LDO裕量的影响

客户通常会要求应用工程师帮助他们选择合适的LDO，以便在负载电流为 I 时，从输入电压 V 产生低噪声电压 X ，但当设置这些参数时，往往会忽略的一个因素是输入和输出电压的容差。随着裕量电压值变得越来越小，输入和输出电压的容差会极大地影响工作条件。输入和输出电压的最差条件容差始终会导致裕量电压下降。例如，最差条件下的输出电压可能高1.5%，输入电压可能低3%。当通过一个3.8 V源驱动3.3 V的稳压器时，最差条件下的裕量电压为336.5 mV，远低于预期值500 mV。在最差条件负载电流为200 mA时，调整FET的漏源电压只有136.5 mV。在这种情况下，ADM7160在10mA时的PSRR可能远远低于标称值他，即55 dB。

压差模式下LDO的PSRR

客户经常向应用工程师请教LDO在压差模式下的PSRR。起初，这似乎是个合理的问题，但只要看看简化的框图，就知道这个问题毫无意义。当LDO工作在压差模式时，调整FET的可变电阻部分为零，输出电压等于输入电压减去通过调整FET的 $R_{DS(on)}$ 的负载电流而引起的压降。LDO不进行调节，也没有用来抑制输入噪声的增益；它仅充当一个电阻。FET的 $R_{DS(on)}$ 与输出电容形成RC滤波器，可提供少量的残余PSRR，但简单的电阻或铁氧体磁珠可以更经济有效地完成同一任务。

在低裕量工作模式下维持性能

在低裕量工作模式下，需要考虑裕量电压对PSRR的影响，否则将导致输出电压噪声水平高于预期的情况。数据手册中通常会提供PSRR与裕量电压的关系曲线，如图3所示，其可用来确定给定条件下可能的噪声抑制程度。

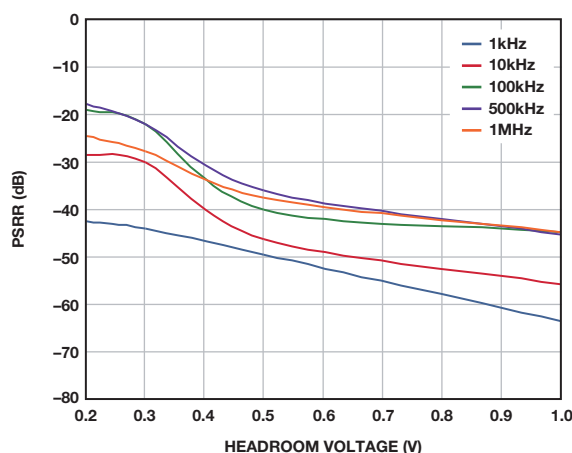


图3. PSRR与裕量电压的关系。

然而，通过展示LDO的PSRR是如何有效滤除源电压中的噪声，可以很容易地看到这种信息的利用价值。下图显示了LDO在不同裕量电压下工作时，对总输出噪声的影响。

图4展示的是2.5 V ADM7160在500 mV裕量和100 mA负载条件下，相对于E3631A台式电源的输出噪声，该台式电源在20 Hz至20 MHz范围内的额定噪声低于350 $\mu\text{V-rms}$ 。1 kHz以下的许多杂散都是与60 Hz线路频率整流相关的谐波。10 kHz以上的宽杂散来自产生最终输出电压的DC-DC转换器。1 MHz以上的杂散源于环境中与电源噪声不相关的RF源。在10 Hz至100 kHz范围内，这些测试所用电源的实测噪声为56 $\mu\text{V rms}$ ，含杂散为104 $\mu\text{V-rms}$ 。LDO抑制电源上的所有噪声，输出噪声约为9 $\mu\text{V-rms}$ 。

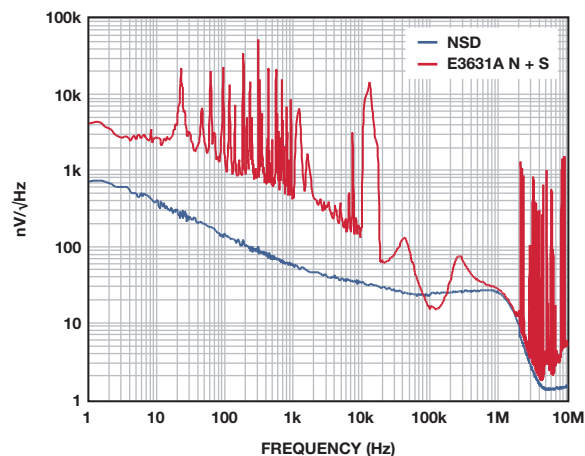


图4. ADM7160噪声频谱密度（裕量为500 mV）。

当裕量电压降至200 mV时，随着高频PSRR接近0 dB，100 kHz以上的噪声杂散开始穿过噪底。噪声略升至10.8 $\mu\text{V rms}$ 。随着裕量降至150 mV，整流谐波开始影响输出噪声，即输出噪声上升至12 $\mu\text{V rms}$ 。在大约250 kHz处出现幅度适中的峰值，因此，尽管总噪声的增加量并不大，但敏感电路也可能受到不利影响。随着裕量电压进一步下降，性能将会受到影响，与整流相关的杂散开始在噪声频谱中显现出来。图5所示为100-mV裕量条件下的输出。噪声已上升至12.5 $\mu\text{V rms}$ 。谐波所含能量很少，因此，杂散噪声仅略有增加，为12.7 $\mu\text{V rms}$ 。

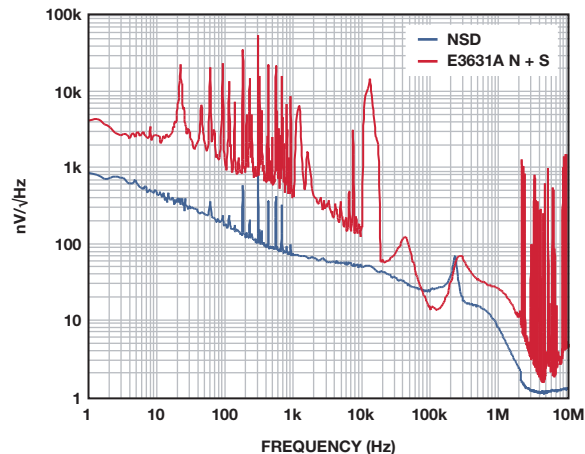


图5. ADM7160噪声频谱密度（裕量为100 mV）。

当裕量为75 mV时，输出噪声受到严重影响，整个频谱中都会出现整流谐波。Rms噪声升至18 $\mu\text{V rms}$ ，噪声加杂散升至27 $\mu\text{V rms}$ 。由于LDO环路无增益，并充当一个无源RC滤波器，因此超过~200 kHz的噪声会被衰减。当裕量为65 mV时，ADM7160采用压差工作模式。如图6所示，ADM7160的输出电压噪声实际上与输入噪声相同。rms噪声为53 $\mu\text{V rms}$ ，噪声加杂散为109 $\mu\text{V rms}$ 。因为LDO充当一个无源RC滤波器，所以超过~100 kHz的噪声会被衰减。

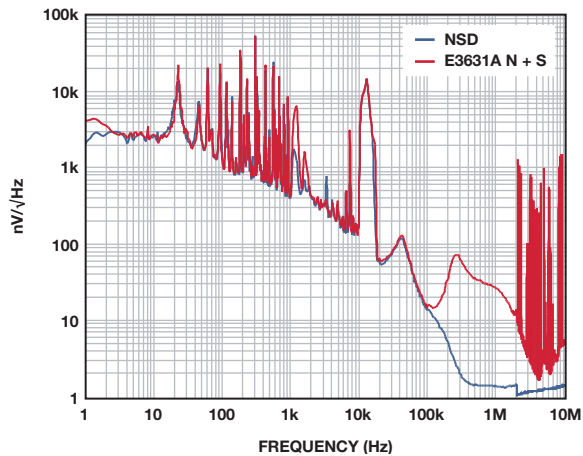


图6. ADM7160在压差模式下的噪声频谱密度。

高PSRR、超低噪声LDO

ADM7150超低噪声、高PSRR调节器等新型LDO实际上级联了两个LDO，因此，得到的PSRR约为单级PSRR之和。这些LDO要求略高的裕量电压，但能够在1 MHz时实现超过60 dB的PSRR，在较低频率下实现远超100dB的PSRR。

图7所示为5 V ADM7150的噪声频谱密度，其负载电流为500 mA，裕量为800 mV。10 Hz至100 kHz范围内，输出噪声为2.2 $\mu\text{V rms}$ 。随着裕量降至600 mV，整流谐波开始显现，输出噪声升至2.3 $\mu\text{V rms}$ ，其对噪声的影响很小。

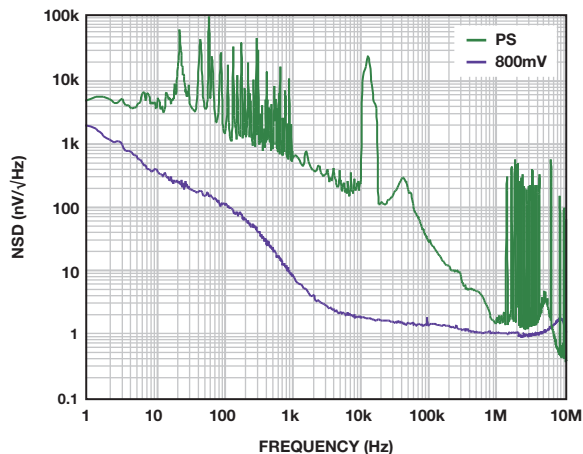


图7. ADM7150噪声频谱密度（裕量为800-mV）。

如图8所示，当裕量为500 mV时，整流谐波和12 kHz的峰值清晰可见。输出电压噪声升至3.9 $\mu\text{V rms}$ 。

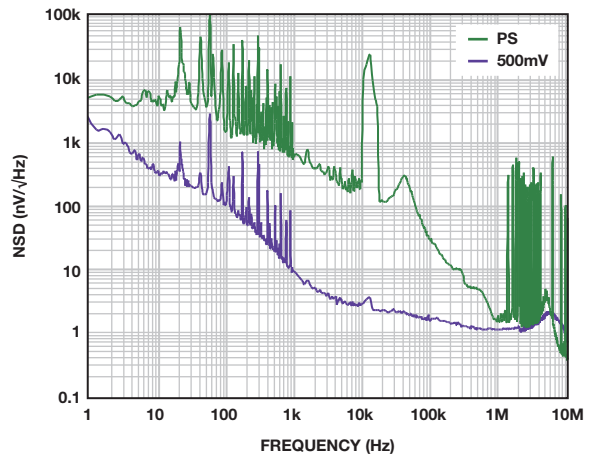


图8. ADM7150噪声频谱密度（裕量为500-mV）。

当裕量为350 mV时，LDO采用压差工作模式。此时，LDO再也不能调节输出电压，其作用类似于电阻，输出噪声升至近76 $\mu\text{V rms}$ ，如图9所示。输入噪声仅通过FET的 $R_{DS(on)}$ 和输出端电容形成的极点来衰减。

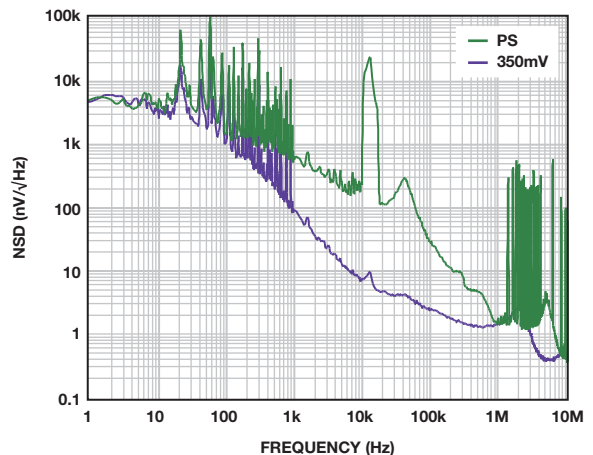


图9. ADM7150在压差模式下的噪声频谱密度。

结论

现代LDO越来越多地用于清除供电轨中的噪声，这些供电轨通常采用在较宽频谱下会产生噪声的开关稳压器来实现。开关稳压器以高效率创建这些电压轨，但高能耗LDO既会减少噪声，也会导致效率下降。因此，应尽量降低LDO的工作裕量电压。

如前所述，LDO的PSRR是负载电流和裕量电压的函数，会随负载电流的增加或裕量电压的减少而减少，因为在调整管的工作点从饱和工作区移至三极工作区时，环路增益会下降。

考虑到输入源噪声特性、PSRR和最差条件容差，设计人员可同时优化功耗和输出噪声，为敏感型模拟电路构建高效的低噪声电源。

裕量电压非常低时，输入和输出电压的最差条件容差可能会对PSRR产生影响。在设计时充分考虑最差条件容差可以确保设计的鲁棒性，否则，得到的电源解决方案将具有较低的PSRR，其总噪声也会高于预期。

作者简介

Glenn Morita [glenn.morita@analog.com] 1976年毕业于华盛顿州立大学，获得电气工程学士(BSEE)学位。随即加入Texas Instruments公司，期间参与研发旅行者号太空探测用红外分光仪。之后，Glenn一直从事仪器仪表、军用和航空航天以及医疗行业的装置设计工作。2007年，他加入ADI公司，成为华盛顿州贝尔维尤电源管理产品团队的一名应用工程师。他拥有25年以上的线性和开关模式电源设计经验，所设计电源的功率范围从微瓦到千瓦不等。Glenn拥有两项利用体热能量给植入式心脏除颤器供电方面的专利，以及另外一项延长外部心脏除颤器电池使用寿命的专利。闲暇时，他喜欢收集矿石、雕琢宝石、摄影和逛国家公园。

参考资料

线性稳压器

Morita, Glenn. “可调节输出低压差稳压器的降噪网络。”《模拟对话》，第48卷，第1期，2014年。

Morita, Glenn. “低压差稳压器——为什么选择旁路电容很重要。”《模拟对话》，第45卷，第1期，2011年。

Morita, Glenn. AN-1120应用笔记。低压差(LDO)稳压器的噪声源。ADI公司，2011年。

FET的R_{DS(on)}与输出电容形成RC滤波器，可提供少量的残余PSRR，但简单的电阻或铁氧体磁珠可以更经济有效地完成同一任务。



Glenn Morita

该作者的其他文章：
[可调节输出低压差稳压器的降噪网络](#)
第48卷，第1期