

ADC 建模工具加快评估过程

作者：Umesh Jayamohan

简介

消费者对更快、更智能和更好产品的需求将创新推到了前所未有的高度。因此，系统设计人员面临着共同的困境：在已知平台上设计新产品，只进行递增改变；或者使用全新平台和最先进的产品和功能。前者可能设计速度较快，风险较小，但收益较低；而后者用途更广泛、功能更佳且价值更高，但风险较高。

现在，一套新的仿真工具使得可在软件中快速地进行原型制作，从而最大程度地降低开发风险，让设计人员可以充满自信，相信其设计的新产品能按预期工作。该软件让设计人员可以深入了解各个产品（例如数模转换器、时钟 IC 和放大器）的能力，并且可整合各个器件（ADC 和时钟等），而不必获取实际元件。设计人员可先进行软件评估，然后再决定是否要采购硬件，从而节省了时间和金钱。

本文说明了 ADIsimADC™、ADIsimCLK™和 VisualAnalog® 软件套件的多功能特性，该套件可预测与采样时钟结合时 ADC 的性能。示例采用 16 位、250 MSPS 数模转换器 AD9467 和低抖动时钟发生器 AD9523-1。第一部分说明了软件评估，其中模拟了 ADC 性能随频率的变化情况并展示了如何在软件中连接各器件。第二部分详细说明了如何使用评估板和 SPIController 软件进行实际硬件设置。示例中为 AD9467 提供的时钟速率是 245.76 MSPS。AD9523-1 评估板采用交互式图形用户界面（GUI）来配置时钟输出。

使用 ADIsimADC 和 ADIsimCLK 进行协同仿真

首先，下载并安装 VisualAnalog 和 AD9523-1 评估软件。ADIsimADC 随 VisualAnalog 一起提供。启动 VisualAnalog 时，将出现弹出窗口，要求用户选择画布，如图 1 所示。

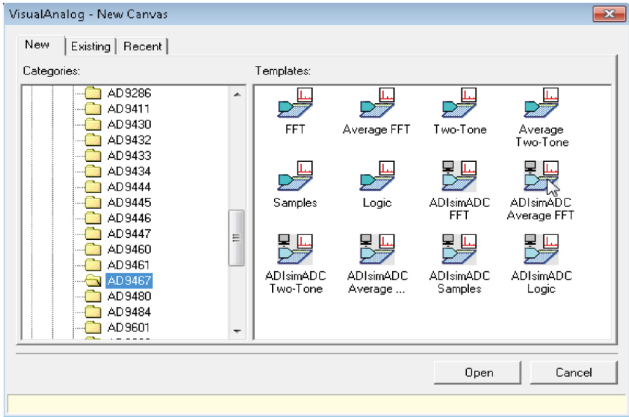


图 1. VisualAnalog 的“New Canvas”（新建画布）窗口

AD9467 的 ADIsimADC 模型位于 ADC→Single（单通道）→AD9467 菜单选项中。图 2 显示了 ADIsimADC 的 FFT 均值画布。

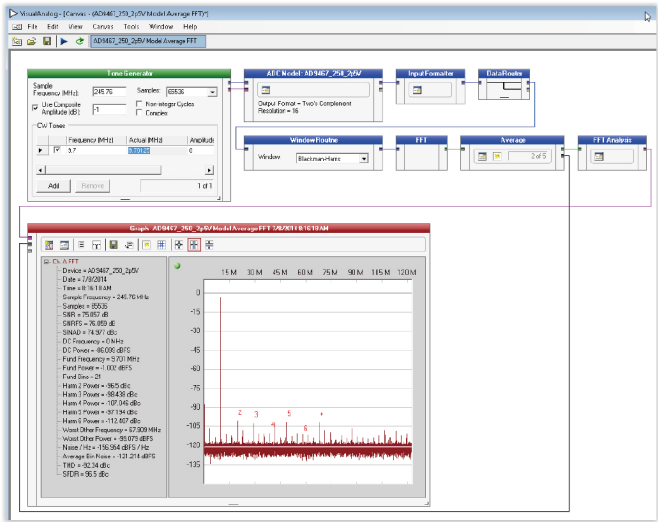


图 2. ADIsimADC 画布，所示为 9.7 MHz 时 AD9467 的单音 FFT。

设置 ADIsimADC 以预测 ADC 行为

在单音发生器（Tone Generator）模块上输入频率，然后点击制表（Tab）键。ADIsimADC 会自动根据采样速率和采样大小，将该频率转换为相干频率。图 3 显示了采用默认设置时 9.7 MHz 单音输入的 FFT。

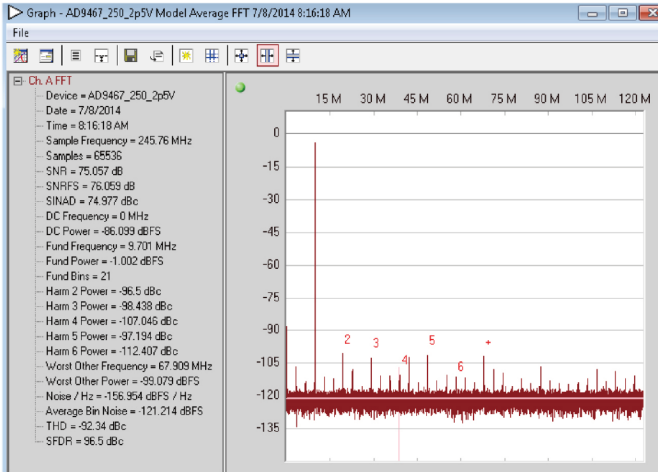


图 3. ADIsimADC 中 9.7 MHz 时的单音 FFT。

设置 ADIsimCLK 以预测 AD9523-1 行为

接着，下载并安装 ADIsimCLK 软件。安装完成后，打开程序并选择文件 (File) →新建 (New)。将出现一个窗口，用来选择各器件，如图 4 所示。

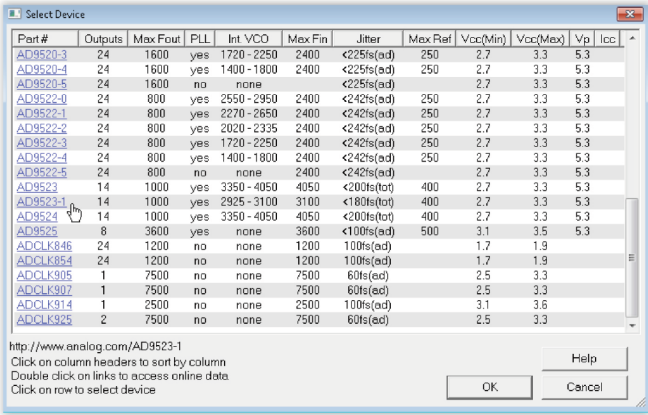


图 4. ADIsimCLK 的器件选择。

遵循与实际目标系统实施最为相似的设置方法。本例中使用一个外部 30.72 MHz 时钟来为第一个 PLL 提供了参考时钟。Crystek CVHD-950 用作双环路 PLL 中第一个环路的 VCXO。内部 VCO 频率设定为 2949.12 MHz，并且在内部进行 3 分频。OUT7 上的 4 分频提供 245.76 MHz 时钟。该设置如图 5 所示。

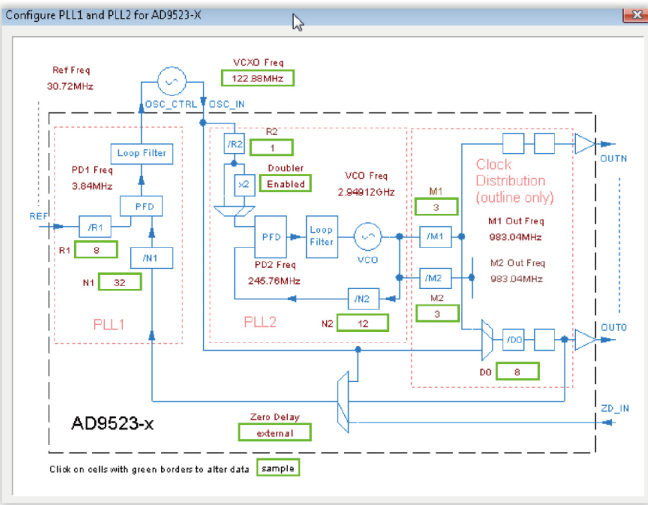


图 5. ADIsimCLK 内的 AD9523-1 设置。

ADIsimCLK 还会生成关于时钟输出的报告，包括不同积分范围内的输出相位噪声和抖动。这些报告可从各个输出所对应的选项卡上进行查看。在该设置中，OUT7 用来为 AD9467 评估板提供时钟。报告页如图 6 所示。图中高亮显示了主要规格**宽带抖动**。

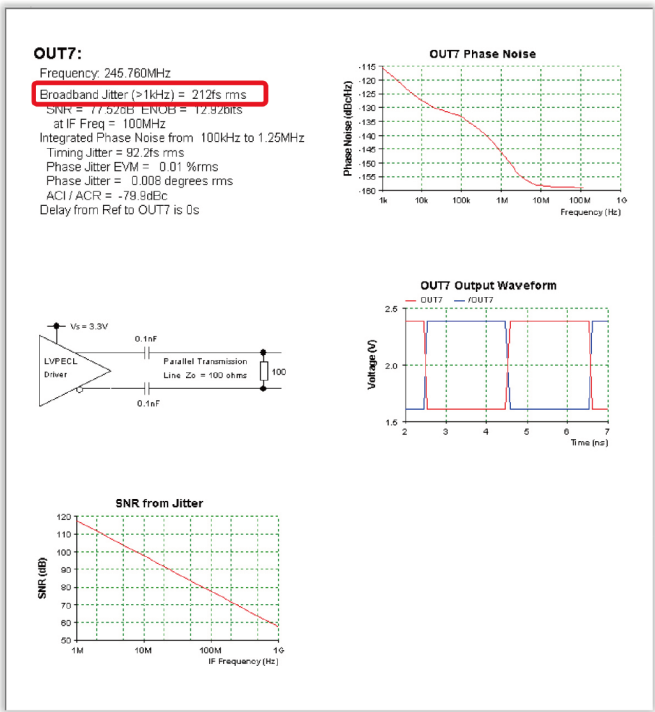


图 6. ADIsimCLK 中的 OUT7 报告。

仿真带有 AD9523-1 的 AD9467

ADIsimADC 可以预测使用 AD9523-1 提供时钟时 AD9467 的性能。ADIsimCLK 报告中的宽带抖动规格可传递到 ADIsimADC 画布上。在 FFT 画布上，ADC Model (ADI 模型) 模块使用户能够更新总抖动规格，如图 7 所示。

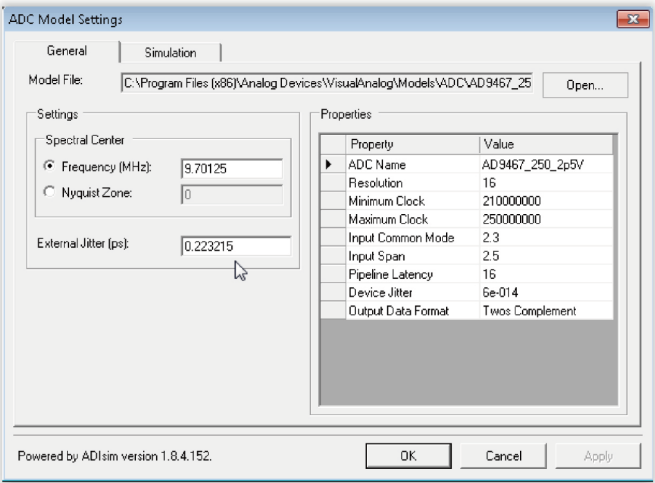


图 7. 更新 ADIsimADC 模型中的抖动。

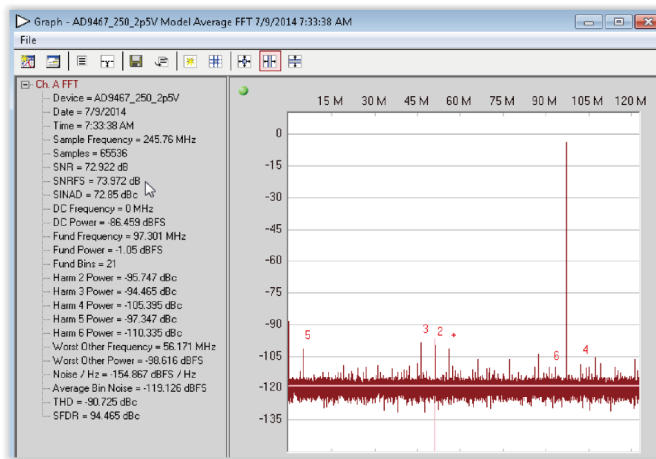


图 8. ADIsimADC 中 97 MHz 输入的单音 FFT 和更新后的抖动规格。

总抖动可通过对各个抖动分量求取方和根而计算得出。这里，孔径抖动为 60 fs，宽带抖动为 215 fs。传递到 ADIsimADC 的 rss 抖动为 223.2 fs，这会产生 97 MHz 的单音 FFT，如图 8 所示。使用更新后的抖动，ADIsimADC 可预测任何输入频率下的预期性能。

关于抖动的简短说明

ADC 必须定期对模拟信号进行采样。这要求具有稳定的采样时钟，因为任何不理想的时钟源都将产生一定相位噪声。抖动是指采样时钟载波上两个指定频率偏移之间的时段上的相位噪声积分。对于 ADC，一般认为宽带噪声是最重要的因素。ADIsimCLK 可计算宽带抖动，即对 1 kHz 偏移以上的相位噪声进行积分。该宽带抖动会传递到 ADIsimADC 模型上，以供了解该抖动对 ADC 性能的影响。有关采样时钟抖动对影响 ADC 性能有何影响的更多详细信息，请参阅 AN-756 应用笔记“采样系统及时钟相位噪声和抖动的影响”。

实测性能

ADIsimADC 的预测结果可使用 AD9467 评估板和 AD9523-1 评估板进行测试。AD9523-1 配置为在 OUT7 上产生 245.76 MHz LVPECL 时钟。该输出耦合到 AD9467 评估板，该评估板已修改为可在 J200 和 J201 上接受差分时钟输入。该设置如图 9 所示。

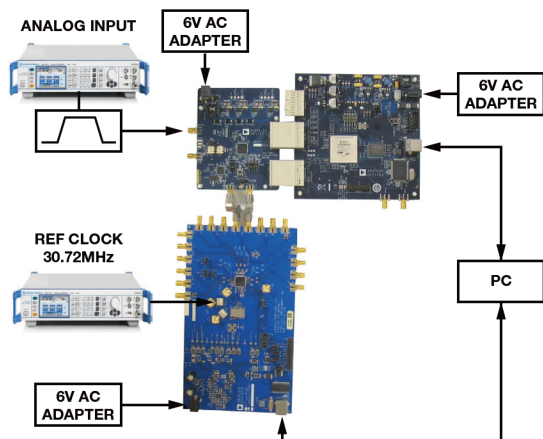


图 9. 带有 AD9523-1 评估板和 AD9467 评估板的硬件设置。

该设置采用 2 MHz 至 400 MHz 的模拟输入频率来采集数据。由 VisualAnalog 采集单音 FFT，并结合 ADIsimADC 的预测来编译模拟对话，48-11，2014 年 11 月

数据并绘制成曲线图。图 10 显示了信噪比(SNR)与频率之间的关系曲线图。注意，仿真结果完美地匹配实际测量结果。

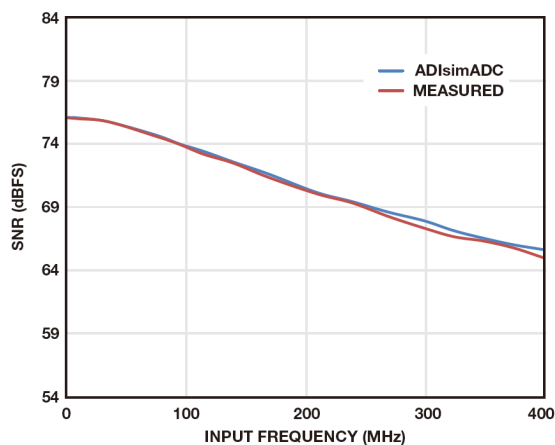


图 10. SNR 与模拟输入频率之间的关系曲线图 (ADIsimADC 预测结果和实测数据比较)。

图 11 显示了无杂散动态范围(SFDR)数据。这些数字并不完全一致，但模拟数据和实测数据之间的总体趋势在整个频率范围内都匹配得相当好。SFDR 主要取决于 PCB 布局、元件、时钟幅度，这些就是差异由来。

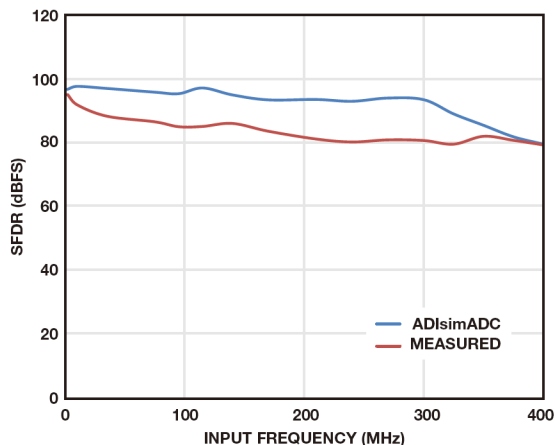


图 11. SFDR 与模拟输入频率之间的关系曲线图 (ADIsimADC 预测结果和实测数据比较)。

要更好地测量失真，可比较二次谐波失真和三次谐波失真的模拟数据和实测数据，如图 12 和图 13 所示。如果输入评估板上 ADC 中的差分信号在幅度和相位上均衡，并且评估板的布局良好而不会明显影响差分信号平衡，那么模拟和实测的 HD2 性能将匹配得非常好。

另一方面，HD3 性能与频率的关系可能比较难以预测。ADIsimADC 模型是在表征过程中通过观察 ADC 性能和 DNL 数据而开发出的。算法使用插值和外推技术，以便预测特定频率时的动态范围，但不能准确预测所有点上的 HD3 性能。

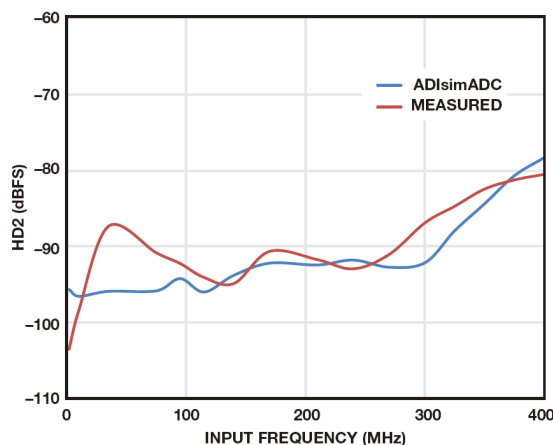


图 12. HD2 与模拟输入频率之间的关系曲线图 (ADIsimADC 预测结果和实测数据比较)。

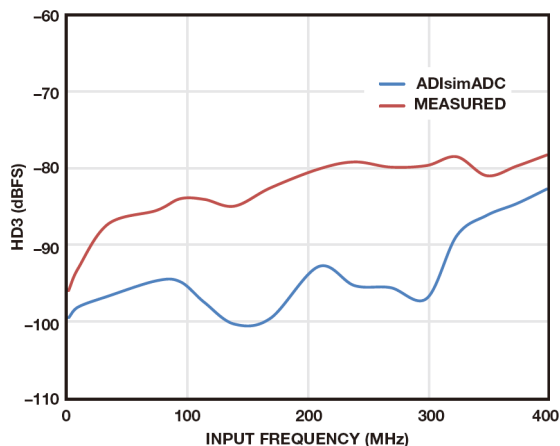


图 13. HD3 与模拟输入频率之间的关系曲线图 (ADIsimADC 预测结果和实测数据比较)。

实际的 HD3 性能很大程度上取决于各种现实因素，例如电源电压、元件选择、ADC 输入缓冲器和时钟信号质量。

HD3 预测并非总是完全正确，但在频率上的总体趋势表明了模拟数据和实测数据之间的良好一致。

在很多系统设计中，主要性能指标为 SNR。SFDR 和动态范围取决于很多其他因素。模拟结果和实测数据之间的 SNR 数字匹配得非常好，这让系统设计人员在选择 ADC 和时钟时可以充满自信。

结论

期望缩短设计周期的需求给系统设计人员在其设计中评估新产品带来了巨大压力。硬件评估几乎是必不可少的，但选择错误的硬件组合可能会造成金钱和时间浪费。软件评估可用于对 ADC 产品进行快速而简便的初始测评。ADIsimADC 和 ADIsimCLK 为系统设计人员提供了一种简单而有效的方式，让他们可以合理地选择 ADC 和时钟 IC。借助这些软件工具，系统设计人员可混搭使用不同的 ADC 和时钟 IC，以此获得足够信心来选择各元件进行硬件评估。

致谢

非常感谢 Jillian Walsh 在实验室努力工作，为本论文收集了大量数据，并感谢 Kyle Slightom 在 AD9523-1 评估板和软件设置方面的帮助。

参考文献

AN-737 应用笔记“如何利用 ADIsimADC 完成 ADC 建模”，Brad Brannon 和 Tom MacLeod，ADI 公司，2009 年。

AN-756 应用笔记“采样系统以及时钟相位噪声和抖动的影响”，Brad Brannon，ADI 公司，2004 年。

ADI 公司高速转换器部，AN-878 应用笔记“高速 ADC SPI 控制软件”。ADI 公司，2007 年。

AN-905 应用笔记“VisualAnalog™转换器评估工具 1.0 版用户手册”

MT-003 指南“了解 SINAD、ENOB、SNR、THD、THD + N 和 SFDR，不在噪声中迷失”。

“测试高速 ADC 的模拟输入相位不平衡”，Rob Reeder，《Test & Measurement World》，2011 年。

“双环路时钟发生器可清除抖动并提供多个高频输出”，Kyle Slightom，《模拟对话》，第 48 卷第 1 期，2014 年。



Umesh Jayamohan [umesh.jayamohan@analog.com] 是 ADI 公司高速转换器部（北卡罗来纳州格林斯博罗）的一名应用工程师。Umesh 于 1998 年获得印度喀拉拉大学电气工程学士学位，于 2002 年获得美国亚利桑那州立大学电气工程硕士学位，担任设计和应用工程师已逾 7 年。



Umesh Jayamohan

该作者的其他文章：

了解放大器噪声对于 ADC 信号链总噪声的影响

第 47 卷第 1 期