

射频集成电路的电源管理

作者: Qui Luu

随着射频集成电路(RFIC)中集成的元件不断增多,噪声耦合源也日益增多,使电源管理变得越来越重要。本文将描述电源噪声可能对 RFIC 性能造成的影响。虽然本文的例子是集成锁相环(PLL)和电压控制振荡器(VCO)的 ADRF6820 正交解调器,但所得结果也适用于其他高性能 RFIC。

电源噪声会在解调器中形成混频积,因而可能导致线性度下降,并对 PLL/VCO 中的相位噪声性能造成不利影响。本文将详细描述电源评估方案,同时提供采用低压差调节器(LDO)和开关调节器的推荐电源设计。

凭借双电源和超高 RF 集成度,ADRF6820 是适合讨论的一款理想器件。它使用的有源混频内核与 ADL5380 正交解调器相似,PLL/VCO 内核与 ADRF6720 相同,因此,本文所提供信息也可用于这些器件。另外,电源设计也可用于要求 3.3 V 或 5.0 V 电源、功耗相似的新型设计。

ADRF6820 正交解调器和频率合成器(如图 1 所示)非常适合新一代通信系统。该器件功能丰富,包括一个高线性度宽带 I/Q 解调器、一个集成小数 N 分频 PLL 和一个低相位噪声多核 VCO。另外集成一个 2:1 RF 开关、一个可调谐 RF 巴伦、一个可编程 RF 衰减器和两个 LDO。这款高度集成的 RFIC 采用 6 mm × 6 mm LFCSP 封装。

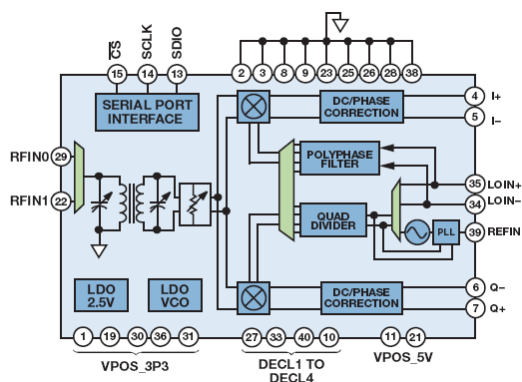


图 1. ADRF6820 简化功能框图

电源灵敏度

受电源噪声影响最大的模块为混频器内核和频率合成器。耦合至混频器内核的噪声会形成无用信号,结果会导致线性度和动态范围下降。这对正交解调器尤其重要,因为低频混频积在目标频带之内。类似地,电源噪声可能导致 PLL/VCO 相位噪声性能下降。无用混频产物和相位噪声性能下降是多数混频器和频率合成器的常见问题,但确切的下降幅度取决于芯片的架构和

布局。了解这些电源灵敏度有利于设计出更加鲁棒的电源,使性能和效率达到最优。

正交解调器灵敏度

ADRF6820 采用一个双平衡吉尔伯特单元有源混频器内核,如图 2 所示。双平衡意味着 LO 和 RF 端口都采用差分驱动方式。

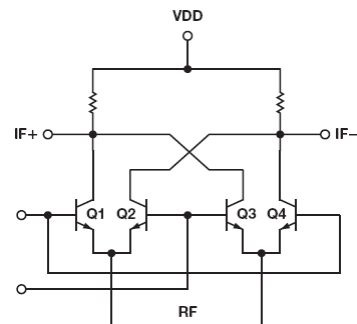


图 2. 吉尔伯特单元双平衡有源混频器

在滤波器抑制高阶谐波以后,所得到的混频器输出为 RF 和 LO 输入的和与差。差项(也称为 IF 频率)在目标频带之内,是所需信号。和项在频带之外,要进行滤波处理。

$$V(t) = \frac{2V_{RF}}{\pi} [\cos(w_{RF}t - w_{LO}t) + \cos(w_{RF}t + w_{LO}t)]$$

理想情况下,只有所需 RF 和 LO 信号会输入混频器内核,但很少是这种情况。电源噪声可能耦合到混频器输入中并表现为混频杂散。根据噪声耦合源的不同,混频杂散的相对幅度可能不同。图 3 所示为一种示例混频器输出频谱,其中,由于电源噪声的耦合,其与有用信号的混频产物也出现在输出频谱上。在图中,CW 对应于耦合到供电线路的连续波或正弦信号。比如,噪声可能是来自 600 kHz 或 1.2 MHz 开关调节器的时钟噪声。电源噪声可能导致两个不同的问题;如果噪声耦合到混频器输出,CW 音将没有经过任何频率转换,出现在输出端。如果耦合发生在混频器输入端,则 CW 音会调制 RF 和 LO 信号,并在 $IF \pm CW$ 产生积。

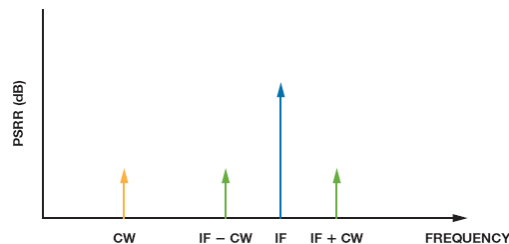


图 3. 电源噪声耦合条件下的示例混频器输出频谱

这些混频积可能接近目标 IF 信号，因此，要滤除它们是很困难的，动态范围损失是不可避免的。正交解调器尤其如此，因为它们的基带是复数且以直流为中心。ADRF6820 的解调带宽范围为直流至 600 MHz。如果用噪声频率为 1.2 MHz 的开关调节器驱动混频器内核，则无用混频积会出现在 $IF \pm 1.2$ MHz。

频率合成器灵敏度

本文末尾的参考文献针对电源噪声如何影响集成 PLL 和 VCO 提供了非常有价值的信息。其原理适用于采用相同架构的其他设计，但不同的设计需要单独进行电源评估。例如，ADRF6820 VCO 电源上的集成 LDO 比不采用集成 LDO 的 PLL 电源具有更强的噪声抑制能力。

ADRF6820 电源域和功耗

要设计电源管理解决方案，首先要考察 RFIC 的电源域，以确定哪些 RF 模块由哪个域驱动、各个域的功耗、影响功耗的工作模式以及各个域的电源抑制性能。利用这些信息，可以收集到 RFIC 的灵敏度数据。

ADRF6820 的每个主要功能模块都有自己的电源引脚。两个域由 5 V 电源供电。VPMX 驱动混频器内核，VPRF 驱动 RF 前端和输入开关。其他域由 3.3 V 电源供电。VPOS_DIG 驱动一个集成 LDO，后者输出 2.5 V 以驱动 SPI 接口、PLL 的 $\Sigma\Delta$ 调制器和频率合成器的 FRAC/INT 分压器。VPOS_PLL 驱动 PLL 电路，包括参考输入频率(REFIN)、相位频率检测器(PFD)和电荷泵(CP)。VPOS_LO1 和 VPOS_LO2 驱动 LO 路径，包括基带放大器和直流偏置基准电压源。VPOS_VCO 驱动另一个集成 LDO，后者输出 2.8 V 以驱动多核 VCO。该 LDO 对降低对电源噪声的灵敏度十分重要。

ADRF6820 可配置为多种工作模式。正常工作模式下，采用 2850 MHz LO 时，功耗小于 1.5 mW。降低偏置电流会同时降低功耗和性能。增加混频器偏置电流会提高混频器内核的线性度并改善 IIP3，但会降低噪声系数，增加功耗。如果噪声系数非常重要，可以降低混频器偏置电流，结果可减少混频器内核中的噪声并降低功耗。类似地，输出端的基带放大器对低阻抗输出负载具有可变电流驱动能力。低输出阻抗负载要求较高的电流驱动，功耗也更高。数据手册列出了一些数据表，其中展示了各种工作模式下的功耗。

测量步骤和结果

供电轨上的噪声耦合会在 CW 和 $IF \pm CW$ 时产生无用噪声。要模拟该噪声耦合情形，在每个电源引脚上施加一个 CW 音，测量所形成的混频积相对于输入 CW 音的幅度。把该测量值记为电源抑制能力，单位为 dB。电源抑制因频率而异，因此，要对 30 kHz 至 1 GHz 的 CW 频率进行扫描，以捕捉到具体的行为数据。目标频带内的电源抑制能力决定了是否需要滤波。PSRR 计算方法如下：

$CW \text{ PSRR (单位: dB) = 输入 CW 幅度(dBm) - I/Q 输出端测得的 CW 馈通(dBm)}$

$(IF \pm CW) \text{ PSRR (单位: dB) = 输入 CW 幅度(dBm) - I/Q 输出端测得的 } IF \pm CW \text{ 馈通(dBm)}$

$(IF + CW) \text{ (单位: dBm) = } (IF - CW) \text{ dBm}$ ，因为在载波周围调制的 CW 音具有相等的幅度。

实验室设置

图 4 所示为实验室设置。向网络分析仪施加一个 3.3 V 或 5 V 直流源，以产生失调为 3.3 V 或 5 V 的扫频连续正弦信号。将该信号施加到 RFIC 上的各个供电轨。两个信号发生器提供 RF 和 LO 输入信号。测量频谱分析仪的输出。

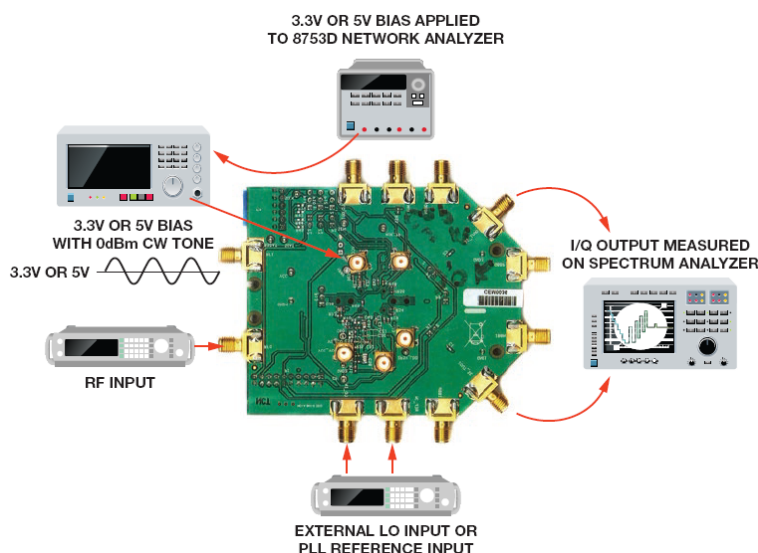


图 4. ADRF6820 PSRR 测量设置

测量步骤

无用混频积的幅度取决于芯片的电源抑制性能,以及评估板上去耦电容的大小和位置。图5所示为输出端(IF + CW)音的幅度,其中,电源引脚上给定0 dB的正弦信号。无去耦电容时,无用音的幅度在-70 dBc和-80 dBc之间。数据手册建议在板正面器件旁边设置一个100 pF的电容,在背面设置一个0.1 μ F的电容。从图中可以看到这些外部去耦电容的谐振。16 MHz处的瞬变是0.1 μ F电容谐振的结果(寄生电感为1 nH)。356 MHz处的瞬变是100 pF电容谐振的结果(两个电容的寄生电感均为2 nH)。500 MHz处的瞬变是100 pF电容谐振的结果(寄生电感为1 nH)。

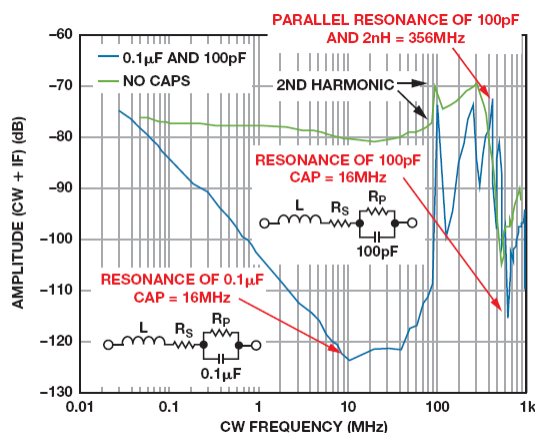


图5. IF $\pm$ CW 去耦电容谐振的影响

结果

测量了基带输出端的供电轨上干扰信号(CW)和调制信号(IF $\pm$ CW)的幅度。在被测供电轨上引入了噪声,其他电源则保持洁净。图6所示为在电源引脚上注入0 dB正弦信号并在30 kHz至1 GHz范围内扫频时(IF $\pm$ CW)音的幅度。图7所示为从CW音到基带输出的馈通。

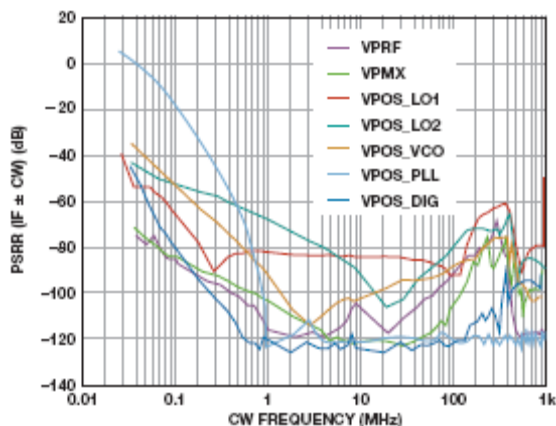


图6. (IF $\pm$ CW)音的PSRR

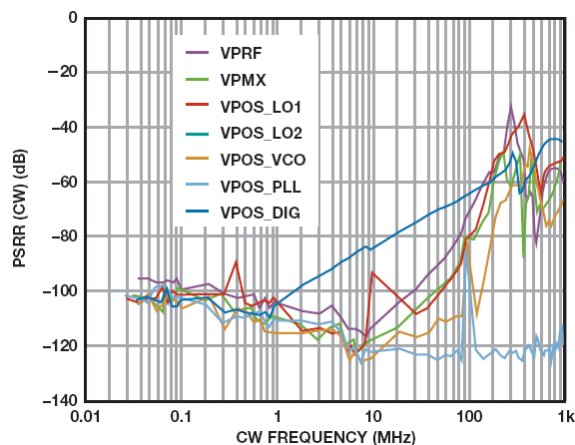


图7. CW 音的PSRR

分析

图中提供了各电源引脚处的电源灵敏度数据,这些数据非常有用。VPOS_PLL 具有最差电源抑制性能,因此,是最灵敏的电源节点。该电源引脚驱动PLL电路,包括参考输入频率、相位频率检测器和电荷泵。这些敏感的功能模块决定着LO信号的精度和相位性能,因此,其上耦合的任何噪声都会直接传播到输出端。

同理,可以认为VCO电源也是一个非常重要的节点。从图中可以看出,VPOS_VCO的抑制性能远远优于VPOS_PLL。这是实际驱动VCO的内置LDO造成的结果。LDO将VCO与外部引脚上的噪声隔离开,同时为其提供固定噪声频谱密度。PLL电源无LDO,因而是最敏感的供电轨。可见,将其与潜在噪声耦合相隔离对于获得最佳性能至关重要。

PLL环路滤波器会衰减高CW频率,因此,VPOS_PLL在低频下的灵敏度较差,当频率从30 kHz扫描至1 GHz时会缓慢改善。在较高频率下,干扰音的幅度会衰减,注入PLL的功率水平显著降低。可见,VPOS_PLL的高频电源抑制性能优于其他电源域。环路滤波器组件是针对20 kHz配置的,如图8所示。

供电轨(从灵敏度最高到最低)为:VPOS_PLL、VPOS_LO2、VPOS_VCO、VPOS_LO1、VPOS_DIG、VPMX和VPRF。

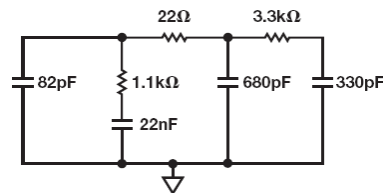


图8. 针对20 kHz 环路带宽配置的PLL环路滤波器

电源设计

经过前面的讨论,我们对 ADRF6820 在各种模式下的最大功耗以及各电源域的灵敏度有了较好的理解,我们利用开关调节器和 LDO 来设计电源管理解决方案,以决定两种电源解决方案的可行性。首先,把一个 6 V 源调节至 5 V 和 3.3 V,供 ADRF6820 供电轨使用。图 9 所示为针对 VPMX 和 VPRF 的 5 V 电源设计。ADP7104 CMOS LDO 最多可以提供 500 mA 的负载电流。ADP2370 低静态电流降压开关调节器可以在 1.2 MHz 或 600 kHz 下工作。在开关调节器输出端增加了额外的滤波处理,

以衰减开关噪声。ADP2370 最高可以提供 800 mA 的负载电流。ADRF6820 的 5 V 供电轨可以由 ADP7104 或 ADP2370 驱动。在每个电源引脚上施加额外的去耦和滤波处理。

图 10 所示为 3.3 V 电源设计。源电压仍为 6.0 V,但一个额外的 LDO 使源电压降至中间电压,然后,源电压进一步降至 3.3 V。需要一个额外级以减少功率损耗,因为一个直接降压至 3.3 V 的 6 V 源电压工作时的最大效率为 55%。开关调节器路径不需要中间级,因为其脉冲宽度调制(PWM)架构可降低功率损耗。

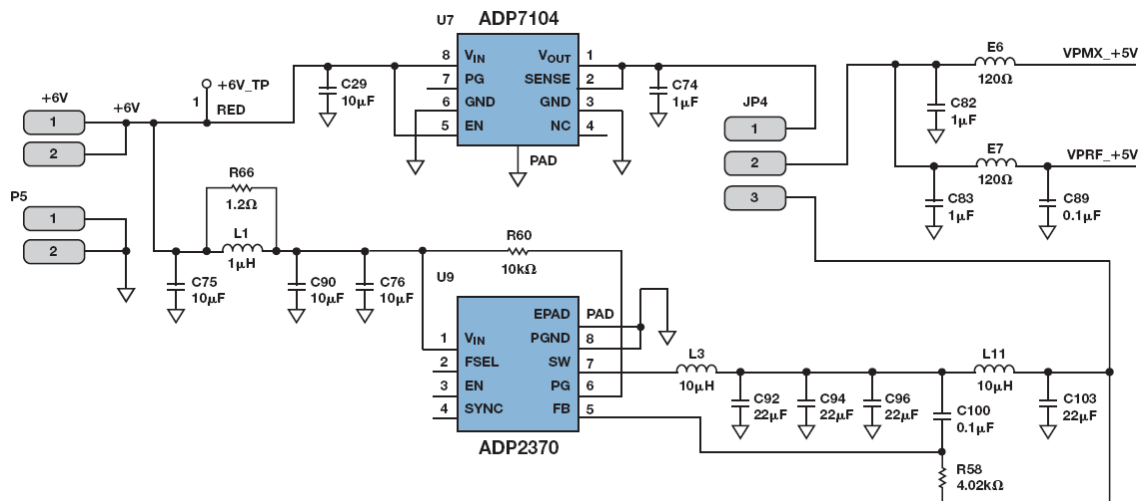


图 9. 5 V 电源设计

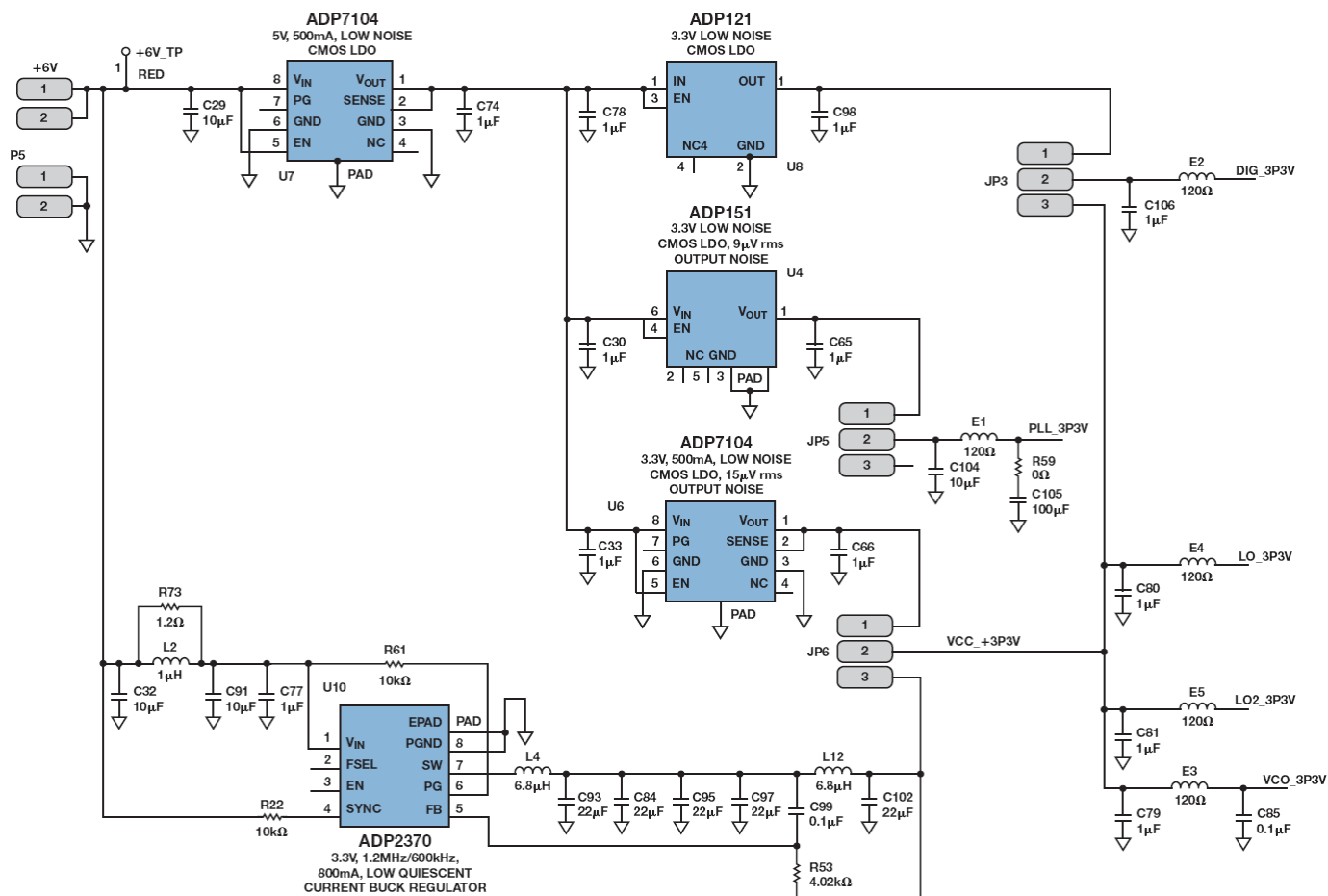


图 10. 3.3 V 电源设计

3.3 V 设计允许进行更多实验。除了用一个 LDO 或开关调节器驱动 3.3 V 供电轨以外, VPOS_PLL 供电轨有额外 LDO 选项, VPOS_DIG 供电轨有一个可选的隔离式 LDO。由于 PLL 电源灵敏度最高, 因此, 我们尝试了三种电源解决方案, 每一种都有不同的输出噪声: ADP151 3.3 V 超低噪声 CMOS LDO, 输出噪声为 9 μV ; ADP7104 3.3 V 低噪声 CMOS LDO, 输出噪声为 15 $\mu\text{V rms}$; ADP2370 3.3 V 降压调节器。我们希望确定仍能维持所需相位噪声性能的最高电源噪声。最高性能、最低噪声 LDO 是不可或缺的吗?

另外还尝试在 VPOS_DIG 供电轨上采用 ADP121 3.3 V 低噪声 CMOS LDO, 以确定数字噪声是否会影响性能。受 SPI 接口开关影响, 数字供电轨的噪声一般高于模拟电源。我们希望确定 3.3 V 数字电源是需要自己的 LDO, 还是可以直接耦合到模拟电源。我们选择 ADP121 作为低成本解决方案。

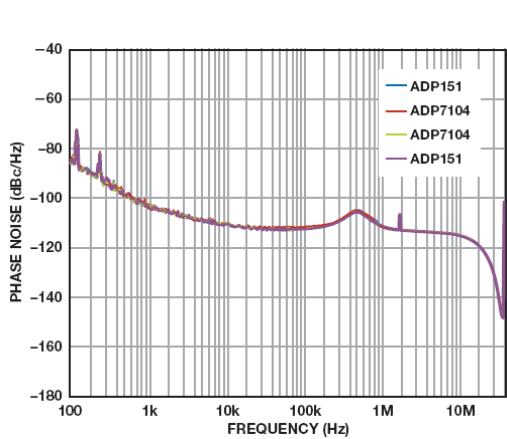


图 11. 使用 ADP151 和 ADP7104 时的集成相位噪声

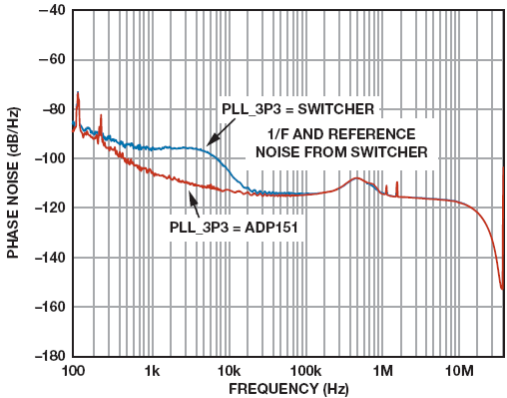


图 12. 使用 ADP151 和 ADP2370 时的集成相位噪声

结论和推荐电源设计

对于 VPOS_PLL (最灵敏的供电轨), 低成本的 ADP151 LDO 可以实现与 ADP7104 高性能、低噪声 LDO 相同的相位噪声, 如图 11 所示。然而, 在采用 ADP2370 开关调节器时, 性能下降, 如图 12 所示。噪声波峰由开关调节器导致, 在其输出端可见, 如图 13 所示。因此, VPOS_PLL 最多可以承受 15 $\mu\text{V rms}$ 的噪声而不造成集成相位噪声性能下降, 但不能使用开关调节器来驱动该引脚。使用性能更高、噪声更低的 LDO 并未带来好处。

在用开关调节器或 LDO 驱动剩余供电轨时, 可维持良好的相位噪声性能, 如图 14 所示。5 V 供电轨引脚 VMPX 和 VPRF 可以相连并用单电源供电。3.3 V 电源引脚 VPOS_LO1、VPOS_LO2 和 VPOS_VCO 也可相连并用单电源供电。VPOS_DIG 不需要独立的 LDO, 可以连接模拟 3.3 V 电源。

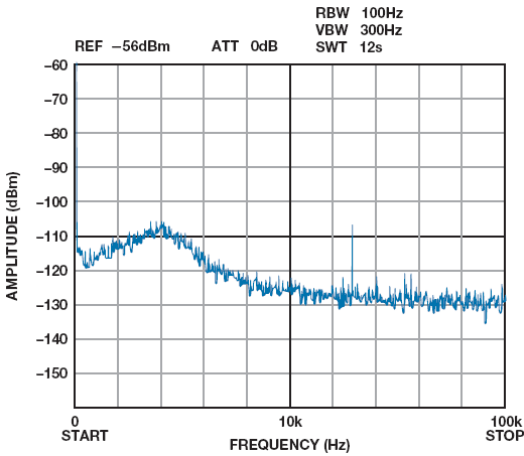


图 13. ADP2370 的输出频谱

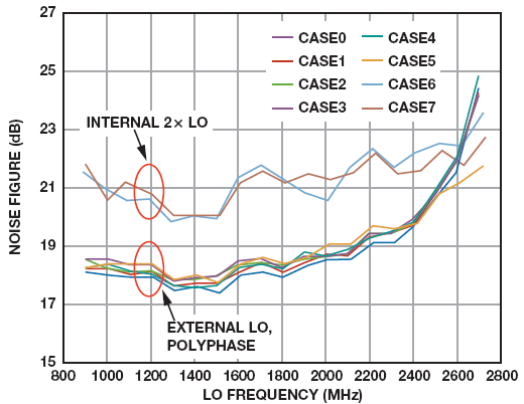


图 14. 开关与 LDO 噪声系数

推荐电源设计（如图 15 所示）采用 6 V 源电压，包括 ADP7104 5.0 V 和 ADP7104 3.3 V LDO。该解决方案只使用了 LDO，因为源电压接近所需的电源电压。功效处于可接受水平，因此，无需额外增添滤波元件和开关调节器。

推荐的电源设计（如图 16 所示）采用 12 V 源电压，包括两个开关调节器和一个 LDO。源电压远远大于所需电源电压，因此使用了开关调节器来提高功效。除灵敏的 VPOS_PLL 电源以外的所有电源引脚都可用开关调节器供电。ADP7104 或 ADP151 均可用于 VPOS_PLL。

参考文献

电路笔记 CN0147, *利用低噪声 LDO 调节器为小数 N 分频压控振荡器(VCO)供电，以降低相位噪声*，ADI 公司，2010 年。

Collins, Ian, *集成 PLL 和 VCO[第 2 部分]*, Radio-Electronics.com, 2010 年 11 月。

调制器/解调器

线性稳压器

开关稳压器

