

分析、优化和消除带 VCO 的锁相环在高达 13.6 GHz 处的整数边界杂散

作者: Robert Brennan

锁相环 (PLL) 和压控振荡器 (VCO) 输出特定频率的 RF 信号, 理想情况下此信号应当是输出中的唯一信号。但事实上, 输出中存在干扰杂散信号和相位噪声。本文讨论最麻烦的杂散信号之一——整数边界杂散——的仿真与消除。

仅可工作在鉴频鉴相器参考频率整数倍的 PLL 和 VCO 组合 (PLL/VCO) 称为整数 N 分频 PLL。具有更精细频率步进的 PLL/VCO 称为小数 N 分频 PLL。小数 N 分频 PLL/VCO 灵活性更高, 使用更广。小数 N 分频 PLL 能以参考速率调制 PLL 中的反馈路径, 从而实现该目标。小数 N 分频 PLL/VCO 相比鉴相器参考频率虽然具有更为精细的频率步进, 但它会产生称为整数边界杂散 (IBS) 的杂散输出。整数边界杂散发生在 PLL 鉴频鉴相器参考 (或比较) 频率 (f_{PFD}) 的整数倍 (1、2、3 ... 20、21 ...) 之处。例如, 假设 $f_{\text{PFD}} = 100$ MHz, 则整数边界杂散将位于 100 MHz、200 MHz、300 MHz ... 2000 MHz、2100 MHz。在所需 VCO 输出信号为 2001 MHz 的系统中, IBS 将位于 2000 MHz——相比所需信号偏移 1 MHz。由于 PLL 系统的有效采样, 这种偏移 1 MHz 的 IBS 混叠至所需信号的两侧。因此, 当所需输出为 2001 MHz 时, 杂散信号将位于 2000 MHz 和 2002 MHz。

整数边界杂散不受欢迎的两个主要原因:

- 如果它们距离载波 (期望信号) 频偏小, 则 IBS 功率会对相位噪声积分产生贡献。
- 如果它们距离载波 (期望信号) 频偏大, 则 IBS 将调制/解调相邻通道至目标通道, 导致系统失真。

在某些系统中, 高整数边界杂散会导致部分输出通道无法使用。如果某个系统在特定频谱带宽内有 1000 个通道, 并且 10% 通道内的杂散信号高于某个功率水平, 那么这 100 个通道可能无法使用。在频谱带宽成本高昂的协议中, 如果有 10% 的通道不可用, 那么这将是一种浪费。

当整数边界离开目标输出频率而落在 PLL 带宽内的时候, 整数边界杂散最强。也就是说, 如果输出频率为 2000.01 MHz, 并且环路带宽为 50 kHz, 则 IBS 最大。随着输出频率远离整数边界, IBS 功率也随之可以计算和可重复的形式下降。ADI 公司的全新免费仿真器——ADIsimFrequencyPlanner™——采用这种可预测的特性来精确仿真整数边界杂散功率 (及其它)。

图 1 显示了最差情况下的整数边界杂散功率, 此时各输出频率范围为 1900 MHz 至 2150 MHz (1 MHz 步进频率)。可以看到, 在 2001 MHz 时, 最差情况 IBS 功率为 -70 dBc (载波功率以下 70 dB)。在 2000 MHz 处没有 IBS, 因为输出频率落在整数边界上。IBS 功率随着载波远离整数边界而下降,

直到载波开始接近下一个整数边界。

落在两个整数边界 (图 1 中的 2049 MHz 和 2051 MHz) 之间的一半处的杂散信号, 属于二阶整数边界杂散。二阶整数边界杂散出现在整数边界之间的一半位置。通常情况下, 二阶 IBS 比一阶 IBS 低 10 dB 至 20 dB。ADIsimFrequencyPlanner 可以仿真一阶、二阶、三阶、四阶和五阶整数边界杂散。

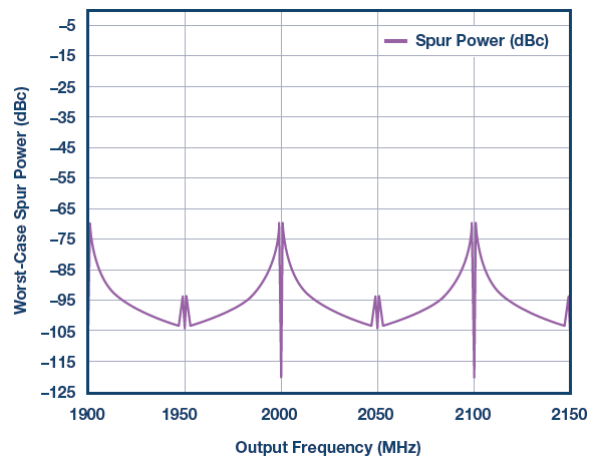


图1. 1900 MHz 至 2150 MHz 范围内各输出频率的最差情况整数边界杂散功率 (1 MHz 频率步进; 100 kHz 环路带宽; HMC830)。

假设某个调制方案声明整数边界杂散功率高于 -80 dBc 的通道不可用; 那么, 图 1 中大约有 10% 的通道将不再可用。为了解决这个问题, ADIsimFrequencyPlanner 可以优化 PLL/VCO 配置以便降低 (并且在大多数情况下消除) 整数边界杂散。前文提到整数边界杂散发生在 PFD 频率的整数倍之处, 并且在靠近载波频率时最大。如果可以改变 PFD 频率, 使 PFD 频率的整数倍落在足够大的载波频率偏移频率处, 那么 IBS 功率将下降至不会产生问题的水平。这就是 ADIsimFrequencyPlanner 算法所做的事情——ADIsimFrequencyPlanner 计算一阶到五阶整数边界杂散的相对功率, 并找到最优解决方案, 使 VCO 输出的整数边界杂散最低。

如何改变 PFD 频率? 一般而言, 在 PLL/VCO 系统中, PFD 频率是固定的。然而, 对于大部分可编程时钟分配源、PLL 参考输入分频器和 PLL 小数 N 分频调制器架构来说, 现在可以轻松改变每个输出通道的 PFD 频率了。

在推荐的解决方案中, 我们采用新型时钟生成和分配芯片 [HMC7044](#)。HMC7044 具有 14 个超低噪声输出, 每个输出均集成可编程分频器。通过将这些输出之一连接到 PLL 参考输

入，然后对输出分频器按需进行编程，则参考频率阵列便可用于 PLL。

HMC7044 是时钟分配系统，可用于针对 ADC、DAC 和其它系统元件采用多种同步时钟的应用。无需那么多输出的较简单应用可以使用更为简单的替代方案，比如 [HMC832](#) 或 [ADF4351](#)——这两款器件均为集成式 PLL 和 VCO 芯片。

然后，在 PLL 参考输入端，参考输入分频器（R 分频器）可按需编程，将可用参考频率阵列分为更大的 PFD 频率阵列（PFD 频率是 R 分频器输出端的频率）。多亏了 PLL 内置的高阶小数 N 分频调制器，改变 PFD 频率不会妨碍得到所需的输出频率。此外，PLL 的可编程电荷泵电流可用来补偿 PFD 频率的变化，因此可以保持恒定环路带宽。

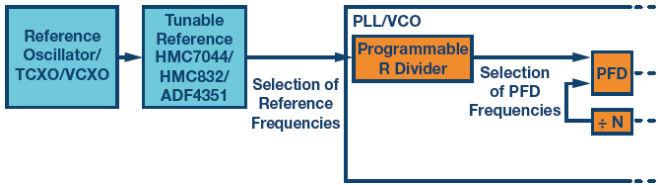


图 2. PFD 频率选择框图。

示例：

f_{PFD} (MHz)	N	I_{CP}	$f_{PFD} \times N = RF_{OUT}$ (MHz)	注释
100	20.01	2.08	2001	IBS (± 1 MHz 时)
75	26.68	1.88	2001	IBS (± 24 MHz 时)

其中：

I_{CP} = 可编程电荷泵电流；

f_{PFD} = PLL PFD 频率；

N = PLL 小数 N 分频值；

RF_{OUT} = VCO 输出频率/载波频率/目标信号

可编程电荷泵电流的变化方向与 PFD 频率相反——PFD 频率增加则电荷泵电流下降。这是为了保持环路滤波器的动态恒定。

使用 ADIsimFrequencyPlanner 时，用户输入所需的输出频率范围、步进大小、PFD 频率和参考频率限制条件，以及环路滤波器参数。用户还可选择可用的时钟发生器输出分频器和 PLL 参考输入分频器。随后，ADIsimFrequencyPlanner 逐一目标频率进行分析，并根据可用 PFD 频率阵列计算最优 PFD 频率。然后，ADIsimFrequencyPlanner 将所需的分频器设置和电荷泵电流返回至用户。数据可轻松导出至查找表中，供最终应用的固件读取，然后相应编程 HMC7044 和 PLL/VCO。ADIsimFrequencyPlanner 还可生成一系列照片，向用户显示发生了什么。

在图 3 中，用户使用了与图 1 相同的配置，不同的是这次 PFD 频率通过改变 HMC7044 输出分频器和 PLL 参考输入分频器而优化。未优化的仿真如图中灰色部分所示，供对比。

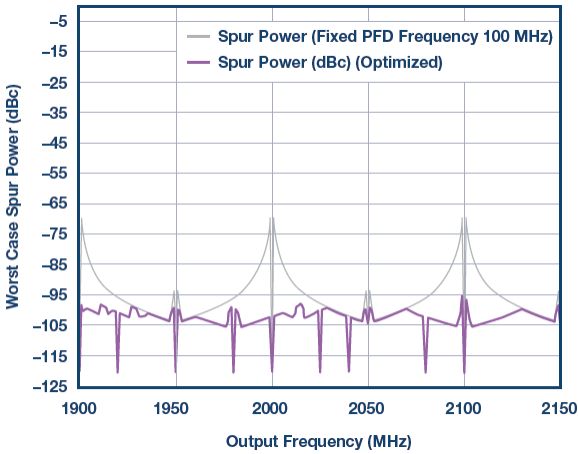


图 3. 与图 1 相同的输出配置，不过这次优化了 PFD 频率。

由图 3 可见，在输出范围内（1900 MHz 至 2150 MHz，1 MHz 步进），所有整数边界杂散功率现在都低于 -95 dBc。这表示性能有了大幅提升，并且目标输出有极高的百分比具有相同的高质量。

将 ADIsimFrequencyPlanner 应用到宽带 VCO

在测量 ADIsimFrequencyPlanner 精度和有效性的实验中，将部分 ADI 高性能器件放在一起，并在实验室中进行评估。该实验需要用到下列器件：

- HMC7044 时钟生成和分配：
 - 高达 3.2 GHz 输出。
 - J 符合 JESD204B 标准。
 - 超低噪声（抖动低于 50 fs，12 kHz 至 20 MHz）。
 - -142 dBc/Hz（偏移 983.04 MHz 输出 800 kHz）。
 - 16 个可编程输出。
- 集成式 PLL 和 VCO [ADF5355](#)：
 - 55 MHz 至 13.6 GHz 输出。
 - 5 mm × 5 mm LFCSP 封装。
 - -138 dBc/Hz（1 MHz 偏移、3.4 GHz 输出）。
- 超低噪声 PLL [HMC704](#)：
 - RF 输入高达 8 GHz。
 - 100 MHz 最大 PFD 频率。
 - -233 dBc/Hz 归一化相位噪底。

虽然 ADF5355 内部集成 PLL，但是使用 HMC704 从外部锁定 ADF5355 VCO。这样做有两个主要好处：

1. 总相位噪声得益于 ADF5355 业界先进的 VCO 相位噪声性能，以及得益于 HMC704 业界领先的 PLL 相位噪声性能。
2. 隔离 VCO 和 PLL 可减少干扰信号耦合，从而降低杂散信号的功率。

ADIsimFrequencyPlanner 用来优化 4800 MHz 至 6300 MHz 范围的输出，步进为 250 kHz（6000 次步进）。在每个步进处，最优分频器设置（因而 PFD 频率也最优）和电荷泵电流编程至 HMC7044、ADF5355 和 HMC704。一旦器件编程并产生步进，频谱分析仪便测量载波功率、一阶和二阶整数边界杂散的功率。频谱分析仪采用极为狭窄的频率范围和分辨率带宽——即便如此，在大部分通道中仅测量噪声，因为整数边界杂散功率低于仪器的噪声。

以下测量为 PFD 频率限制在 60 MHz 至 100 MHz 范围内的時候测得。环路带宽和相位裕量分别为 17 kHz 和 49.6°。

图 4 显示了 HMC7044、ADF5355 和 HMC704 解决方案的测量和仿真结果。

- 仿真和测量 6000 个输出通道。
- 大部分整数边界杂散都在 -120 dBc 附近仿真。这低于频谱分析仪的噪声底，因而仅测量噪声。
- 大部分频率的杂散低于 -100 dBc！典型要求是 -70 dBc 至 -80 dBc。
- 优化不改进 IBS 的唯一区域是低于 2 MHz 宽的部分，并且发生在 $2 \times \text{HMC7044}$ 主机时钟处——在该频率下，没有任何分频器组合可以改善 IBS 性能。下文提供替代解决方案。

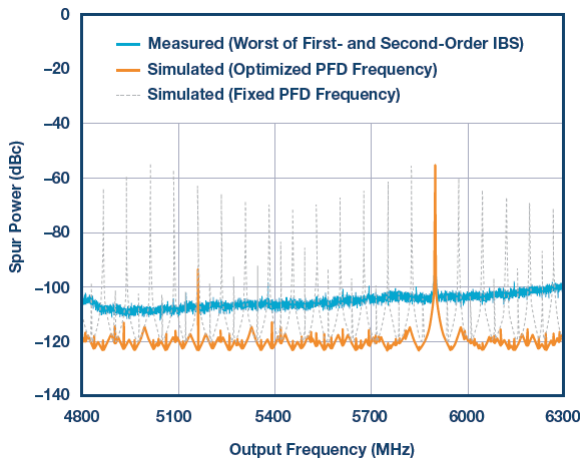


图 4. HMC7044、ADF5355 和 HMC704 的测量与仿真结果。注意 ADIsimFrequencyPlanner 正确仿真了不可优化的较窄频率范围。在其它大部分频率处，测量受限于频谱分析仪的噪声底。

只有在一个非常窄的频率范围内，优化 PFD 频率才无法改善 IBS 性能。该频率范围是系统主时钟的两倍（本例中为 $2949.12 \text{ MHz} \times 2 = 5898.24 \text{ MHz}$ ）。在此频率下，如果应用可行的话，建议将载波频率转换至附近更为干净的频率，然后将基带频率转换至数字 (NCO) 以补偿。例如，载波频率偏移 2 MHz，然后将数字基带频率偏移 2 MHz 以补偿。此外，如果系统可行的话，可改变主机时钟频率，创造干净的输出频率。

如果采用上述较为简单的解决方案（使用 HMC832 或 ADF4351 而非 HMC7044），那么就不会产生任何有问题的频率！

由图 4 可以看出，ADIsimFrequencyPlanner 可以：

- 精确仿真整数边界杂散。
- 成功优化参考源和 PLL/VCO 系统，以便实现出色的整数边界杂散性能。
- 这样可以在某个范围内使更多通道可用，从而提升昂贵频谱的成本价值。
- 快速仿真宽频率范围。如进行手动处理的话，可能需要数天或数周。上文中的 6000 个步进在 ADIsimFrequencyPlanner 中处理只需花不到 1 分钟的时间。

资源

[ADF5355](#)。

[ADIsimFrequency Planner](#)。

[HMC704](#)。

[HMC7044](#)。

致谢

Mark Cloutier, ADI RF 和微波部门高级科学家。Don Young, ADI RF 和微波部门应用经理。



Robert Brennan [robert.brennan@analog.com] 毕业于爱尔兰利默里克大学，拥有电子工程学士学位，并于 2010 年加入 ADI 公司。Robert 在 ADI 公司利默里克办公室工作了数年，之后重新分配到美国办公室，目前担任 RF 和微波部门的高级应用工程师，工作地点在麻省州。他主要研究 PLL、VCO 和集成式 PLL/VCO。在 ADI 中文技术论坛社区中与 Robert 互动：<https://ez.analog.com/people/rbrennan>。



Robert Brennan