精密 ADC 用滤波器设计的实际挑战和考虑

作者：Steven Xie

简介

精密模数转换器应用广泛，如仪器仪表和测量、电力线继电保护、过程控制、电机控制等。目前，SAR 型 ADC 的分辨率可达 18 位甚至更高，采样速率为数 MSPS；Σ-Δ 型 ADC 的分辨率则达到 24 位甚至 32 位，采样速率为数百 kSPS。为了充分利用高性能 ADC 而不限制其能力，用户在降低信号链噪声方面（例如实现滤波器）面临的困难越来越多。

本文讨论在 ADC 信号链中实现模拟和数字滤波器以便达到最佳性能所涉及到的设计挑战和考虑。如图 1 所示，数据采集信号链可以使用模拟或数字滤波技术，或两者的结合。精密 SAR 型和 Σ-Δ 型 ADC 一般在第一奈奎斯特区进行采样，因此，本文将着重讨论低通滤波器。本文的意图不是讨论低通滤波器的具体设计技术，而是讨论其在 ADC 电路中的应用。

图 1. 一般数据采集信号链

理想滤波器和实际滤波器

理想低通滤波器应当具有很陡的过渡带，其通带应具有出色的增益平坦度，如图 2 中的砖墙虚线所示。此外，阻带衰减应将任何残余带外信号降低至 0。某些常用实际滤波器的响应如图 2 中的彩色线条所示。如果通带增益不平坦或有纹波，这种响应可能会影响基频信号。阻带衰减不是无限的，会限制对带外噪声的筛选。过渡带也可能没有陡峭的滚降，导致对截止频率周围的噪声衰减不佳。另外，所有非理想滤波器都会引入相位延迟或群延迟。

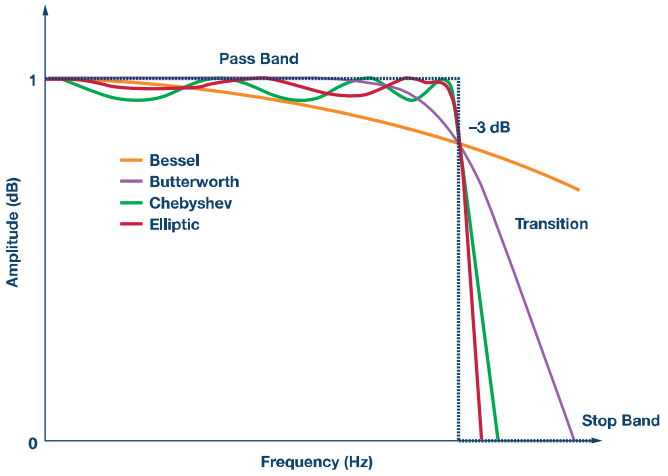


图 2. 理想滤波器与实际滤波器的幅度响应对比

模拟滤波器与数字滤波器

模拟低通滤波器可以在 ADC 转换之前消除信号路径中的高频噪声和干扰，帮助避免混叠噪声污染信号。它还能消除滤波器带宽之外的过驱信号的影响，避免调制器饱和。发生输入过压时，模拟滤波器还能限制输入电流，衰减输入电压。因此，它能保护 ADC 输入电路。叠加于接近满量程信号上的噪声尖峰可能会让 ADC 的模拟调制器饱和，必须利用模拟滤波器将其衰减。

由于数字滤波发生在转换之后，因而可以移除转换过程中注入的噪声。在实际应用中，采样速率远高于奈奎斯特理论指出的两倍基频信号频率。因此，后置数字滤波器可以利用针对更高信噪比和更高分辨率的滤波技术来降低转换过程中注入的噪声，例如：信号带宽之外的输入噪声、电源噪声、基准源噪声、数字接口馈通噪声、ADC 芯片热噪声或量化噪声。

表1简要列出了模拟滤波器与数字滤波器的优点和缺点。

表1.模拟滤波器与数字滤波器

	模拟滤波器	数字滤波器
设计复杂度	高（对于高性能滤波器）	低
成本	高（取决于所选模拟元件）	低（可用CPU时间）
延迟	低	高
加性噪声	增加带内元件热噪声	量化可能会引入数字噪声
ADC输入保护	是	否
可编程	否	是
漂移误差	是	否
陈化	是	否
多通道匹配误差	是	否

模拟滤波器考虑

抗混叠滤波器放在 ADC 之前，因此这些滤波器必须为模拟滤波器。理想抗混叠滤波器具有如下特性：通带内具有单位增益，无增益变化，混叠衰减水平与所用数据转换系统的理论动态范围一致。

根据架构不同，ADC 会有不同的输入电阻，这会影响输入滤波器设计。以下考虑关系到 ADC 模拟输入滤波器的设计。

与 ADC 前端接口的 RC 抗混叠滤波器的限制

在 Alan Walsh 为 Analog Dialogue 杂志撰写的文章“精密 SAR 型模数转换器的前端和放大器和 RC 滤波器设计”中，有一个针对 AD7980 ADC 的 RC 滤波器应用示例，如图 3 所示。

算出的 RC 滤波器是一个低通滤波器，截止带宽为 3.11 MHz。但是，某些设计人员可能会意识到，3.11 MHz 远大于 100 kHz 的输入信号频率，因此，该滤波器无法有效降低带外噪声。为实现更高动态范围，可以换用 590 Ω 电阻，以获得 100 kHz 的 –3 dB 带宽。这种方法主要有两个问题。由于通带中会有更多衰减，对于 AD7980 ADC 示例，100 kHz 附近的幅度衰减最高可达 30%，因此，信号链精度会大大降低。带宽越小，则建立时间越长，这使得 AD7980 的内部采样保持电容无法在指定的采集时间内完成充电，因而无法执行下一次有效转换。这导致 ADC 转换精度降低。

设计人员应当确保 ADC 之前的 RC 滤波器能在目标采集时间内完全建立。这对需要较大输入电流或具有等效的较小输入阻抗的精密 ADC 来说异常重要。某些 Σ-Δ 型 ADC 在无缓冲输入模式下对输入 RC 值的要求最高。可以将具有较大电阻或电容的超窄低通滤波器放在一般具有较大输入阻抗的输入放大器之前。或者可以选择具有极高输入阻抗的 ADC，例如 ADAS3022，其输入阻抗为 500 MΩ。

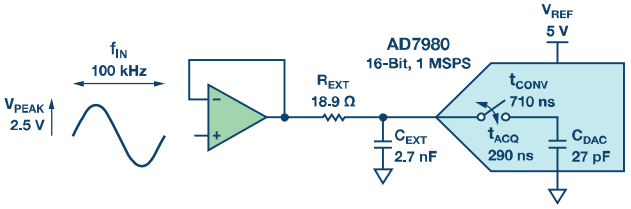


图 3.采用 16 位 1 MSPS ADC AD7980 的 RC 滤波器

1. 多路复用采样信号链的滤波器建立时间

在通道间切换时，多路复用输入信号通常含有较大的阶跃。最差情况下，一个通道处于负满量程，而下一个通道则处于正满量程（见图 4）。这种情况下，当多路复用器切换通道时，输入阶跃大小将是 ADC 的满量程。

对于这些通道，可以在多路复用器之后使用一个单通道滤波器，使得设计更简单，成本更低。如上所述，模拟滤波器必定会引入建立时间。每次多路复用器在通道间切换时，该单通道滤波器都必须充电到所选通道的值，因而会限制吞吐速率。为提高吞吐速率，可以在多路复用器之前为每个通道添加一个滤波器，但这样做会提高成本。

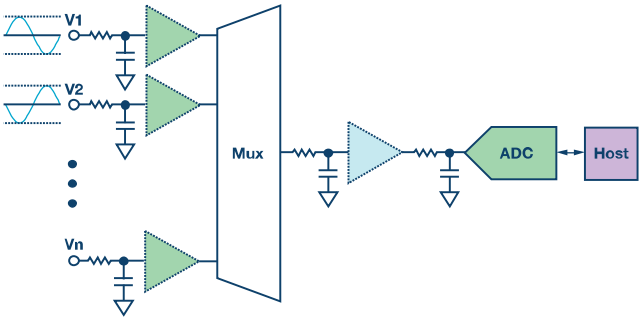


图 4.多路复用输入信号链

2. 通带平坦度和过渡带限制与噪声的关系

遭遇高噪声的应用，尤其是在接近第一奈奎斯特区边缘处发生很高干扰的应用，需要滚降厉害的滤波器。

然而，人们已从实际模拟低通滤波器得知：从低频到高频，幅度会滚下来，并有一个过渡带。增加滤波器级数或阶数可以改善带内信号的平坦度，并使过渡带收窄。然而，这些滤波器的设计很复杂，因为它们对增益匹配非常敏感，以至于无法实现数阶的衰减幅度。此外，在信号链中增加任何元件（如电阻或放大器）都会引入带内噪声。

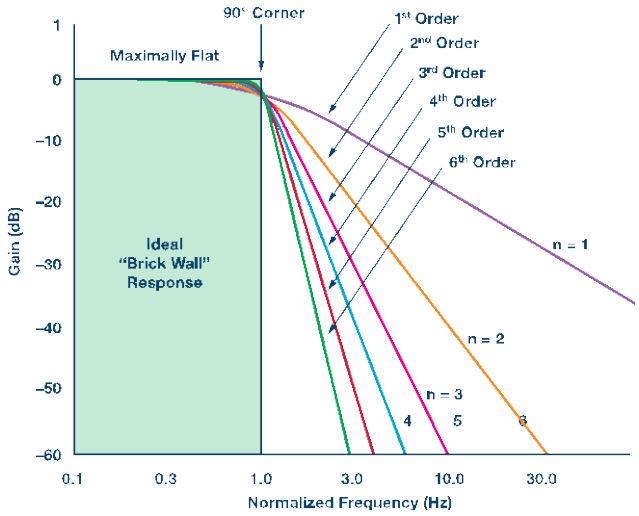


图 5. 不同阶数的理想巴特沃兹滤波器过渡带

对于某些具体应用，模拟滤波器设计的复杂度和性能需要进行取舍。例如，在采用 AD7606 的电力线继电器保护应用中，对于 50 Hz/60 Hz 基频输入信号及其相关前五次谐波，保护通道的精度要求低于测量通道。保护通道可以使用一个一阶 RC 滤波器，而测量通道使用二阶 RC 滤波器，以便提供更好的带内平坦度和更急剧的滚落过渡。

3. 同步采样的相位延迟和匹配误差

滤波器设计不仅仅关系到频率设计，用户可能还需要考虑模拟滤波器的时域特性和相位响应。在某些实时应用中，相位延迟可能非常重要。如果相位随输入频率而变化，那么相位变动将更糟糕。滤波器的相位变化一般用群延迟来衡量。对于非常数群延迟，信号会在时间中扩散，导致脉冲响应变得很差。

对于多通道同步采样应用，例如电机控制或电力线监控中的相电流测量，还应考虑相位延迟匹配误差。确保滤波器在多个通道上引起的额外相位延迟匹配误差可以忽略不计，或者在工作温度范围的信号链误差预算范围内。

4.低失真和低噪声应用的元件选择挑战

对于低谐波失真和低噪声应用，用户必须为信号链设计选择合乎要求的元件。模拟电子元件不是完全线性的，会引起谐波失真。Walsh 的文章中讨论了如何选择低失真放大器和如何计算放大器噪声。放大器等有源元件需要低 THD + N，同时也要考虑普通电阻和电容等无源元件的失真和噪声。

电阻的非线性有两个来源：电压系数和功率系数。根据具体应用，高性能信号链可能需要使用由特定技术制造的电阻，如薄膜或金属电阻。如果选择不当，输入滤波电容可能会造成显著失真。如果成本预算允许，聚苯乙烯和 NP0/C0G 陶瓷电容是很好的备选元件，可以改善 THD。

除放大器噪声外，电阻和电容也会有电子噪声，后者是由处于均衡态的电导体内部的电荷载子的热扰动产生的。RC 电路的热噪声有一个简单的表达式，电阻 R 是满足滤波要求所需要的，同时 R 越高，相应的热噪声也越大。RC 电路的噪声带宽为 1/(4RC)。

利用下面两个公式可估算电阻和小电容的均方根热噪声。

$$vn = \sqrt{4k_BTRf}$$

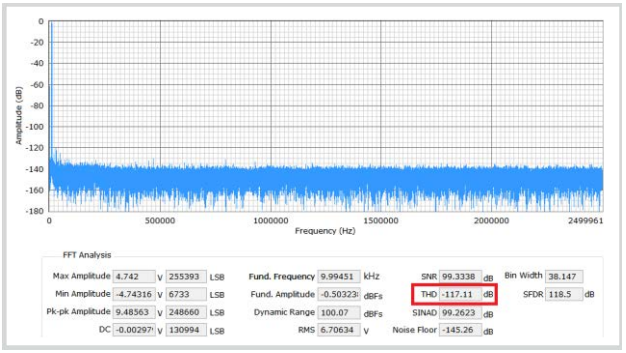
$$vn = \sqrt{k_BT/C}$$

k_B（玻尔兹曼常数）= $1.38065 \times 10^{-23} m^2 kgs^{-2} K^{-1}$

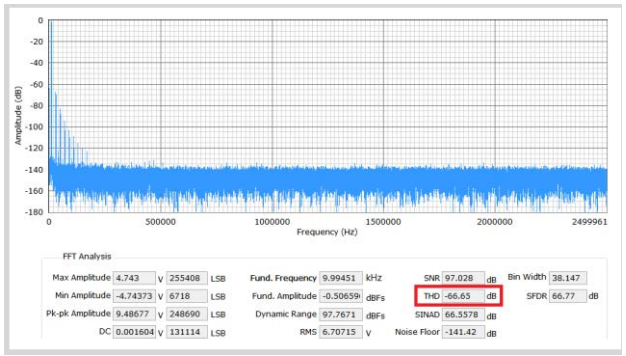
T 为温度（K）

f 为砖墙滤波器近似带宽

图 6 显示在 EVAL-AD7960FMCZ 评估板上，NP0 电容和 X7R 电容对 THD 性能的影响：(a) 显示一个 10 kHz 正弦波信号音的频谱，C76 和 C77 为 1 nF 0603 NP0 电容，而 (b) 显示使用 1 nF 0603 X7R 电容时的频谱。



(a) 0603 1nF NP0 电容



(b) 0603 1nF X7R 电容

图 6. 在 EVAL-AD7960FMCZ 评估板上 NP0 和 X7R 电容对 THD 的影响

了解前面的设计考虑之后，便可利用 ADI 公司的模拟滤波器向导设计有源模拟滤波器。它会根据应用要求计算电容和电阻值，并选择合适的放大器。

数字滤波器考虑

SAR 型和 Σ-Δ 型 ADC 正在稳步实现更高的采样速率和输入带宽。以两倍奈奎斯特速率对一个信号过采样，会将 ADC 量化噪声能量均匀扩散到两倍频段中。这样便很容易设计数字滤波器来限制数字化信号的频带，然后通过抽取来提供所需的最终采样速率。这种技术可降低带内量化误差并提高 ADC SNR。它还能放宽滤波器滚降要求，从而减轻抗混叠滤波器的压力。过采样降低了对滤波器的要求，但需要更高采样速率 ADC 和更快的数字处理。

1. 对 ADC 使用过采样速率所取得的实际 SNR 改善

利用过采样和抽取滤波器所取得的 SNR 改善，可从 N 位 ADC 的理论 SNR 求得：SNR = 6.02 × N + 1.76 dB + 10 × log10[OSR]，OSR = f_S/(2 × BW)。注意：此公式仅适用于只存在量化噪声的理想 ADC。

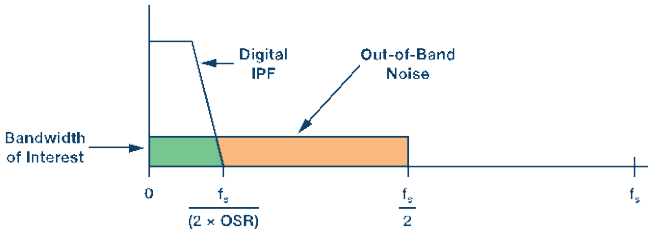


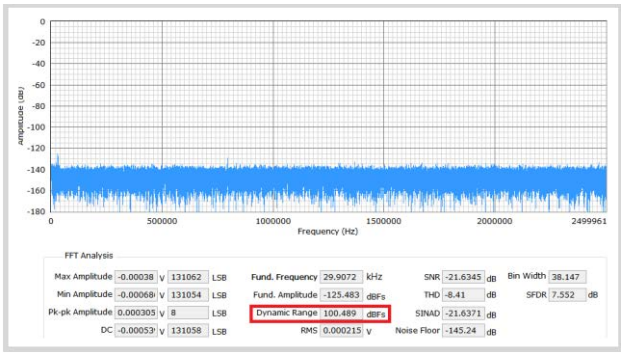
图 7.奈奎斯特转换器过采样

还有很多其他因素会将噪声引入 ADC 转换代码中。例如：信号源和信号链器件的噪声，芯片热噪声，散粒噪声，电源噪声，基准电压噪声，数字馈通噪声，以及采样时钟抖动引起的相位噪声。这种噪声可能会均匀分布在信号频段中，表现为闪烁噪声。因此，实际实现的 ADC SNR 改善幅度一般低于用公式计算出的值。

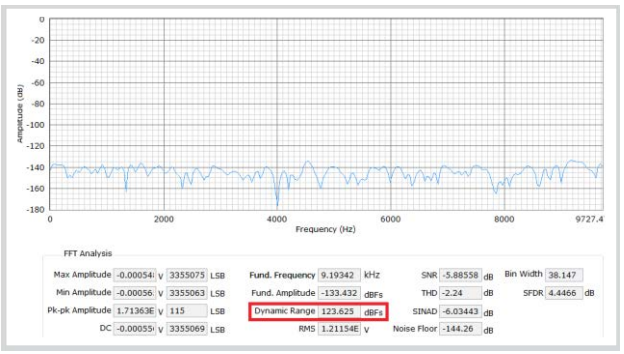
2. EVAL-AD7960FMCZ 评估板上利用过采样实现的动态改善

在应用笔记 AN-1279 中，256×过采样下 18 位 AD7960 ADC 的实测动态范围为 123 dB。这是用于高性能数据采集信号链，如光谱分析、磁共振成像 (MRI)、气相色谱分析、振动、石油/天然气勘探和地震系统等。

如图 8 所示，与理论 SNR 改善幅度计算相比，测得的过采样动态范围低 1 dB 至 2 dB。原因是来自信号链器件的低频噪声限制了总体动态范围性能。



(a) 无 OSR 的动态范围



(b) OSR = 256 的动态范围

图 8.OSR 256 时的动态范围改善

3. 充分利用 SAR 型和 Σ-Δ 型 ADC 中的集成数字滤波器

数字滤波器通常位于 FPGA、DSP 或处理器中。为了减少系统设计工作，ADI 公司提供了一些集成后置数字滤波器的精密 ADC。例如，AD7606 集成了一个一阶后置数字 sinc 滤波器用于过采样。它很容易配置，只需上拉或下拉 OS 引脚。Σ-Δ 型 ADC AD7175-x 不仅有传统 sinc3 滤波器，还有 sinc5 + sinc1 和增强型 50 Hz/60 Hz 抑制滤波器。AD7124-x 提供快速建立模式（sinc4 + sinc1 或 sinc3 + sinc1 滤波器）功能。

4.多路复用采样 ADC 的延迟取舍

延迟是数字滤波器的一个缺点，它取决于数字滤波器阶数和主时钟速率。对于实时应用和环路响应时间，应当限制延迟。数据手册所列的输出数据速率是指在单一通道上执行连续转换时转换结果有效的速率。当用户切换到另一通道时，建立 Σ-Δ 调制器和数字滤波器还额外需要些时间。与这些转换器相关的建立时间是指通道变更之后输出数据反映输入电压所需的时间。通道变更之后，为精确反映模拟输入，必须清除数字滤波器中与前一模拟输入相关的全部数据。

以前，Σ-Δ 型 ADC 的通道切换速度比数据输出速率要小得多。因此，在多路复用数据采集系统等切换应用中，必须明白：获得转换结果的速率要比对单一通道连续采样时可达到的转换速率低好几倍。

ADI 公司的某些新型 Σ-Δ ADC（如 AD7175-x）内置优化的数字滤波器，可减少通道切换时的建立时间。AD7175-x 的 sinc5 + sinc1 滤波器主要用于多路复用应用，在 10 kSPS 和更低的输出数据速率时，可实现单周期建立。

5.数字滤波器通过抽取避免混叠

很多文章都讨论过，过采样频率越高，模拟滤波器设计就越容易。当采样速率高于满足奈奎斯特准则所需的速率时，便可使用较简单的模拟滤波器来避免受到极高频率所产生的混叠影响。很难设计一个能够衰减所需频段而不失真的模拟滤波器，但很容易设计一个利用过采样抑制较高频率的模拟滤波器。这样便很容易设计数字滤波器来限制转换信号的频带，然后通过抽取来提供所需的最终采样速率，但又不会丢失所需信息。

实施抽取之前，需要确保这种重新采样不会引入新的混叠问题。抽取之后，确保输入信号符合奈奎斯特关于采样速率的理论。

EVAL-AD7606/EVAL-AD7607/EVAL-AD7608EDZ 评估板可以每通道 200 kSPS 的速率运行。在下面的测试中，配置其采样速率为 6.25 kSPS，过采样比为 32。然后，将一个 3.5 kHz –6 dBFS 正弦波施加于 AD7606。图 9 显示 2.75 kHz (6.25 kHz – 3.5 kHz) 处有一个–10 dBFS 混叠镜像。因此，若 ADC 之前没有合格的抗混叠模拟滤波器，当使用过采样时，数字滤波器就可能会因为抽取而引起混叠镜像。应使用模拟抗混叠滤波器来消除这种叠加于模拟信号上的噪声尖峰。

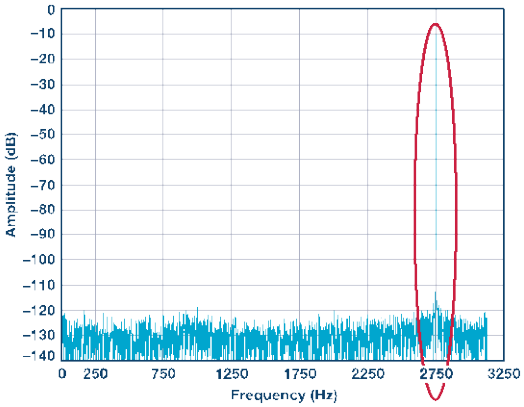


图 9.OSR 抽取采样率小于奈奎斯特频率时的混叠

结论

本文讨论的挑战和考虑可帮助设计人员设计出实用的滤波器以实现精密采集系统的目标。模拟滤波器必须在不违反系统误差预算的条件下与 SAR 型或 Σ-Δ 型 ADC 的非理想输入结构接口，数字滤波器不应在处理器端引起误差。这不是简单的任务，必须在系统规格、响应时间、成本、设计工作量和资源等方面做出权衡。

参考文献

Holdaway，Mark。“ADC 用抗混叠滤波器设计”。*EDN*，2006 年。

Walsh，Alan。精密 SAR 型模数转换器的前端放大器和 RC 滤波器设计。*Analog Dialogue*，第 46 卷第 4 期，2012 年。

Wescott，Tim；Wescott 设计服务。“采样：奈奎斯特没说什么以及怎么办”。Wescott 研讨会，2015 年。

巴特沃兹滤波器设计。

模拟和数字抗混叠滤波。

Steven Xie [steven.xie@analog.com]2011 年 3 月加入 ADI 北京分公司，担任 ADI 中国设计中心的产品应用工程师。他负责中国市场 SAR 型 ADC 产品的技术支持工作。在此之前，他曾在无线通信基站领域做过四年的硬件设计人员。2007 年，Steven 毕业于北京航空航天大学，并获得通信与信息系统硕士学位。

Steven Xie

该作者的其它文章：

为逐次逼近型 ADC 设计可靠的数字接口

第 49 卷，第 1 期