

轻松构建交流和直流数据 采集信号链

Wasim Shaikh, 应用工程师
Srikanth Nittala, 首席技术专家

简介

模数转换器(ADC)中的采样会产生混叠和电容反冲问题, 为此设计人员使用滤波器和驱动放大器来解决, 但这又带来了一系列相关挑战。尤其是在中等带宽应用中, 实现精密直流和交流性能面临挑战, 设计人员最终不得不降低系统目标。

本文介绍连续时间 $\Sigma\Delta$ ADC, 通过简化信号链来有效解决采样问题。采用这种方法无需使用抗混叠滤波器和缓冲器, 并可解决与额外组件相关的信号链失调误差和漂移问题。进而可缩小解决方案尺寸, 简化设计, 并改善系统的相位匹配和整体延迟。

本文还将连续时间转换器与离散时间转换器进行了比较, 并着重介绍使用连续时间 $\Sigma\Delta$ ADC的系统优势和存在的限制。

采样基本原理

数据数字化包含采样和量化两个基本过程, 如图1所示。采样是第一步, 其中使用采样频率 f_s 将连续时间可变模拟信号 $x(t)$ 转换为离散时间信号 $x(n)$ 。最终得到以 $1/T_s$ ($f_s = 1/T_s$)间隔的信号。

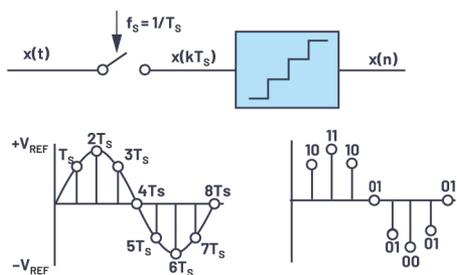


图1. 数据采样。

第二步是量化, 将这些离散时间样本值估算为一个有限可能值, 并用数字代码表示, 如图1所示。这种量化为一组有限值的操作会导致数字化误差, 称为量化噪声。

采样过程也会导致混叠, 可以看到有输入信号折返以及采样保持时钟频率周围出现谐波。奈奎斯特准则要求采样频率必须至少是最高信号频率的两倍。如果采样频率小于最大模拟信号频率的两倍, 将会出现一种称为“混叠”的现象。

为了理解混叠在时域和频域中的含义, 首先来看图2所示的单信号音正弦波采样信号的时域表示。在本例中, 采样频率 f_s 不是 f_a 的至少2倍, 只是稍微高于模拟输入频率 f_a , 因此不符合奈奎斯特准则。注意, 实际样本图案会产生较低频率 $f_s - f_a$ 的混叠正弦波。

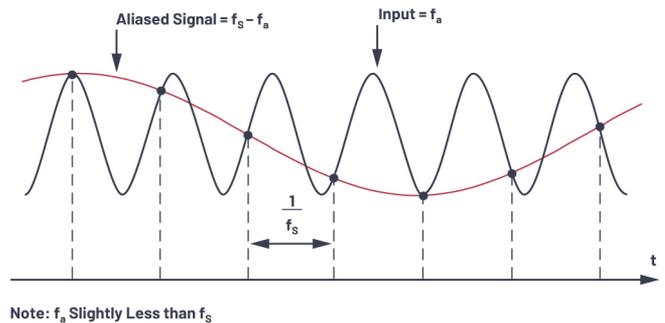


图2. 混叠: 时域表示。

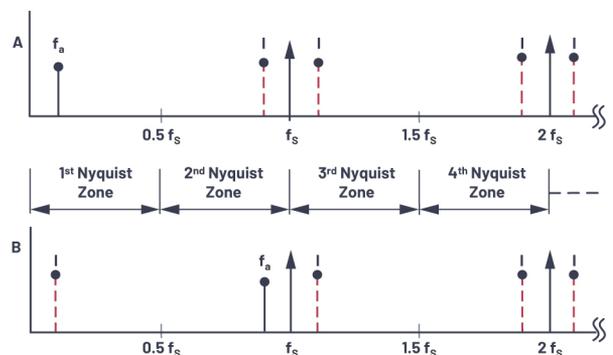


图3. 混叠: 频域表示。

这种情况的相应频域表示如图3所示。

奈奎斯特带宽定义为从DC到 $f_s/2$ 的频谱。该频谱可细分为无数个奈奎斯特区，每个区的宽度为 $0.5f_s$ 。在实际应用中，可以将理想采样器用ADC后接FFT处理器来代替。FFT处理器仅提供DC到 $f_s/2$ 范围内的输出；即第一奈奎斯特区出现的信号或混叠。

如果采用理想的脉冲采样器，在 f_s 频率下对 f_s 频率的单频正弦波进行采样（见图1）。另外假定 $f_s > 2f_a$ 。采样器的频域输出显示，每个 f_s 倍数频率附近均会出现原始信号的混叠或镜像；即在 $\pm Kf_s \pm f_a$ 频率处， $K=1,2,3,4$ 等。

接下来，我们考虑第一奈奎斯特区之外的信号（图3）。信号频率仅略小于采样频率，就是图2中时域表示的情形。注意，即使信号位于第一奈奎斯特区之外，其镜像（或混叠） $f_s - f_a$ 仍位于该区内。回到图3。很明显，如果任何镜像频率 f_a 处出现干扰信号，那么也将会出现在 f_s ，因而会在第一奈奎斯特区内产生杂散频率成分。

解决挑战，实现精密性能

对于高性能应用，系统设计人员需要解决采样过程导致的量化噪声、混叠和开关电容输入采样问题。两种类型的精密ADC都采用基于开关电容的采样技术构建，这两种ADC分别是行业中常见的逐次逼近寄存器(SAR)和 Σ - Δ ADC。

量化噪声

在理想的奈奎斯特ADC中，ADC的LSB大小将决定进行模数转换时带到输入中的量化噪声。这些量化噪声都分布在 $f_s/2$ 带宽范围内。为了解决量化噪声问题，首先需要采用过采样技术，即以大幅高于奈奎斯特频率的速率对输入信号进行采样，以提高信噪比(SNR)和分辨率(ENOB)。过采样期间，选择使用的采样频率为奈奎斯特频率的 N 倍($2 \times f_{in}$)，因此必须让相同的量化噪声分布在 N 倍奈奎斯特频率范围内。这也会放宽对抗混叠滤波器的要求。过采样率(OSR)定义为 $f_s/2f_{in}$ ，其中 f_{in} 是目标信号带宽。一般来说，对ADC进行4倍过采样可额外提供1位分辨率，或增加6 dB的动态范围。提升过采样率可降低整体噪声并增加动态范围(DR)，因为过采样为 $\Delta DR = 10 \log_{10} OSR$ ，单位dB。

过采样可以与集成数字滤波器和抽取功能一起使用和实现。 Δ - Σ 型ADC基本过采样调制器对量化噪声进行整形，使其大部分出现在目标带宽以外，从而增加低频下的整体动态范围，如图4所示。然后，数字低通滤波器(LPF)滤除目标带宽以外的量化噪声，抽取器降低输出数据速率，使其回落至奈奎斯特速率。

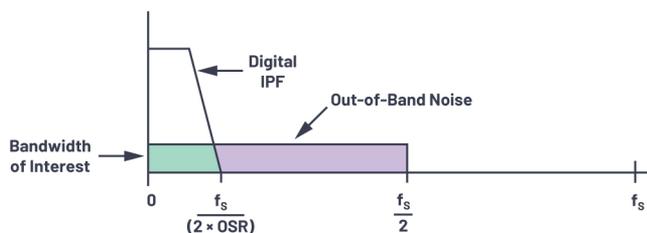


图4. 过采样示例。

噪声整形是另一种用于降低量化噪声的技术。在 Σ - Δ ADC中，在环路滤波器之后的环路内使用低分辨率（一位至五位）量化器。DAC用作反馈，用于提取输入中的量化信号，如图5所示。

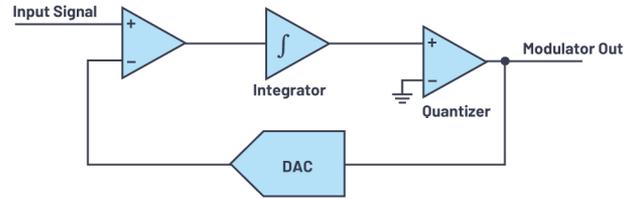


图5. 噪声整形。

积分器将累加量化误差，将量化噪声整形至更高频率，然后使用数字滤波器进行滤波。图6所示为典型的 Σ - Δ ADC输出 $x[n]$ 的功率谱密度(PSD)。噪声整形斜率取决于环路滤波器的阶数 $H(z)$ （见图11），每十倍频程为 $(20 \times n)$ dB，其中 n 表示环路滤波器的阶数。 Σ - Δ ADC通过结合使用噪声整形和过采样，可实现带内高分辨率。带内带宽等于 $f_{ODR}/2$ （ODR表示输出数据速率）。通过提高环路滤波器的阶数或提高过采样率，可以获得更高的分辨率。

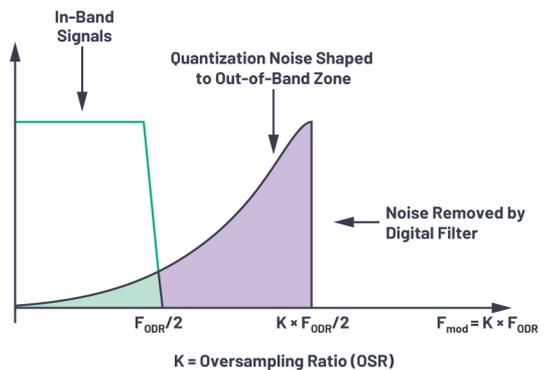


图6. 过采样和噪声整形图。

混叠

为了解决高性能应用中的混叠，可使用更高阶的抗混叠滤波器来避免任何数量的混叠。抗混叠滤波器是一款低通滤波器，其带宽会限制输入信号，并确保信号中不含可以折返的目标带宽以外的频率分量。滤波器性能将取决于带外信号与 $f_s/2$ 的接近程度和所需的衰减量。

对于SAR ADC，输入信号带宽和采样频率之间的差距并不大，所以我们需要使用更高阶的滤波器，这要求采用更复杂、更高阶的滤波器设计，且功率更高，失真更大。例如，如果采样速度为200 kSPS的SAR的输入带宽为100 kHz，则抗混叠滤波器需要抑制 >100 kHz的输入信号，以确保不会产生混叠。这就需要使用极高阶的滤波器。图7显示了陡峭的需求曲线。

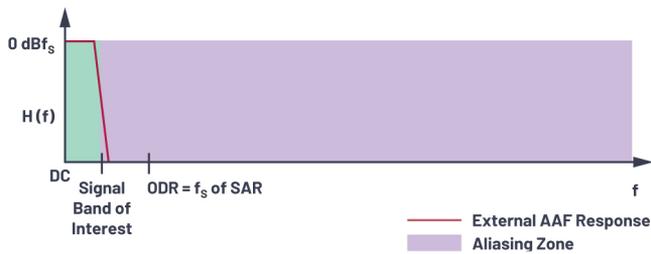


图7. 混叠要求。

如果选择使用400 kSPS采样速度来降低滤波器的阶数，则需要抑制>300 kHz的输入频率。提高采样速度会增加功率，如果实现双倍速度，需要的功率也会翻倍。由于采样频率远高于输入带宽，因此以功率为代价进一步提高过采样会进一步放宽抗混叠滤波器的要求。

在 Σ - Δ ADC中，以更高的OSR对输入过采样，由于采样频率远高于输入带宽，因而放宽了抗混叠滤波器的要求，如图8所示。

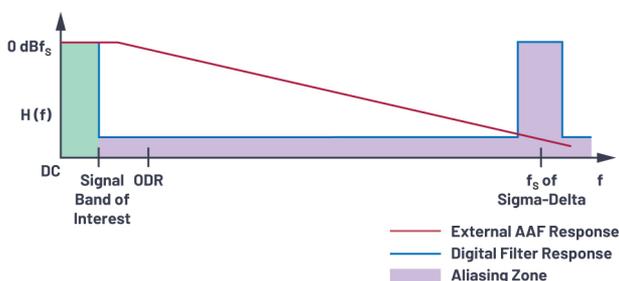


图8. Σ - Δ 架构中的抗混叠滤波器要求。

图9显示了SAR和离散时间 Σ - Δ (DTSD)架构中AAF的复杂程度。如果我们使用100 kHz -3 dB输入带宽在采样频率 f_s 下实现102 dB衰减，则DTSD ADC将需要使用二阶抗混叠滤波器；而采用SAR ADC时在 f_s 下获得相同衰减，则需要使用五阶滤波器。

对于连续时间 Σ - Δ (CTSD) ADC，它本身具有衰减功能，所以我们无需使用任何抗混叠滤波器。

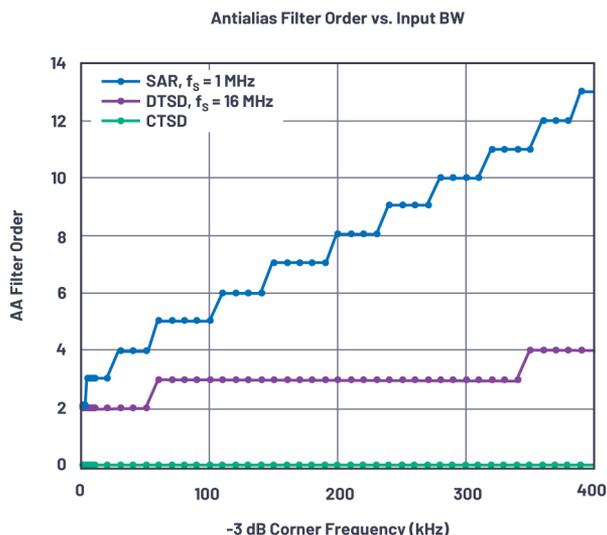


图9. 各种架构的AAF滤波器要求。

这些滤波器对系统设计人员来说都是难题，他们必须优化这些滤波器，以便在目标频带内提供衰减，并且尽可能提供更高的抑制性能。它们还会增加许多其他误差，例如失调、增益、相位误差和系统噪声，进而降低其性能。

而且，高性能ADC本身是差分式，所以我们需要使用双倍数量的无源组件。要在多通道应用中实现更好的相位匹配，信号链中的所有组件也必须匹配。因此，需要使用公差更严格的组件。

开关电容输入

开关电容输入采样取决于电容上采样输入的建立时间，因此在开关采样开关时，需要充电/放电瞬态电流。这称为输入反冲，要求使用支持这些瞬态电流的输入驱动放大器。此外，要求在采样时间结束时建立输入，而且采样输入的精度决定ADC的性能，意味着驱动放大器需要在反冲事件后快速稳定建立。因此需要使用支持快速建立并能吸收开关电容操作反冲的高带宽驱动器。在开关电容输入中，每当采样开启，驱动器必须立即为保持电容提供电源。只有当驱动器具备足够的带宽能力时，才能及时提供这种电流激增。由于开关寄生，采样时驱动器上会出现反冲。如果反冲在下一次采样前未能稳定下来，会导致采样误差，从而影响ADC输入。

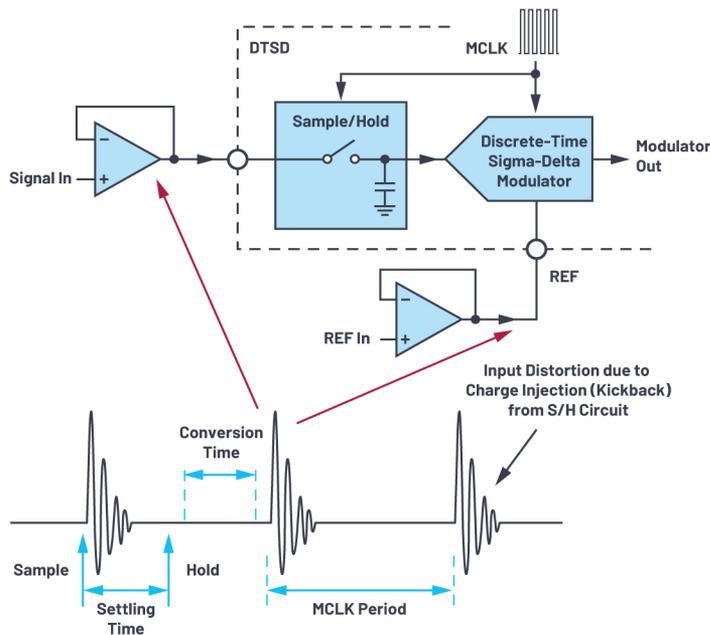


图10. 采样反冲。

图10显示了DTSD ADC上的反冲。例如，如果采样频率为24 Mhz，那么数据信号需要在41 ns内建立。因为基准也是一个开关电容输入，所以基准输入引脚上也需要一个高带宽缓冲器。这些输入信号和基准电压缓冲器也会增加噪声，使信号链的整体性能下降。此外，输入信号驱动器的失真分量（在S&H频率附近）会进一步提高抗混叠要求。对于开关电容输入，采样速度的变化会导致输入电流变化。这可能导致重新调谐系统，以减少驱动ADC时驱动器或前一级产生的增益误差。

连续时间 Σ - Δ ADC

CTSD ADC是另一种 Σ - Δ ADC架构，利用过采样和噪声整形等原理，但提供另一种实施采样的方法，具有显著的系统优势。

图11将DTSD架构和CTSD架构进行了比较。可以看到，DTSD架构在环路之前对输入采样。环路滤波器 $H(z)$ 在时间上是离散的，并使用开关电容积分器实现。反馈DAC也是基于开关电容。由于进行输入采样会导致 f_s 中产生混叠问题，所以对输入采样之前需要在输入端使用抗混叠滤波器。

CTSD未在输入端配置采样器，而是在环路内的量化器上采样。环路滤波器使用连续时间积分器实现了时间连续性，反馈DAC也是如此。与量化噪声受到整形一样，因采样导致的混叠也会被整形。由此得出了几乎无采样混叠的ADC，使其自成其类。

CTSD的采样频率是固定的，这与DTSD不同，后者的调制器采样频率可以轻松扩展。此外，CTSD ADC对抖动的容忍程度也低于开关电容ADC。现成的晶体或CMOS振荡器为ADC提供本地低抖动时钟，有助于避免在隔离状态下传输低抖动时钟，并降低EMC。

CTSD具有两大优势，它本身具有混叠抑制能力，并且为信号和基准提供阻性输入。

固有的抗混叠能力

把量化器移到环路内会产生固有的混叠抑制。如图12所示，输入信号在采样前通过环路滤波器，在量化器上产生的折返（混叠）误差也会经此滤波器去除。信号和混叠误差与 Σ - Δ 环路具有相同的噪声传递函数，并且在 Σ - Δ 架构中实施与量化噪声相似的噪声整形。因此，CTSD环路的频率响应自然会抑制约为采样频率整数倍的输入信号，充当抗混叠滤波器的作用。

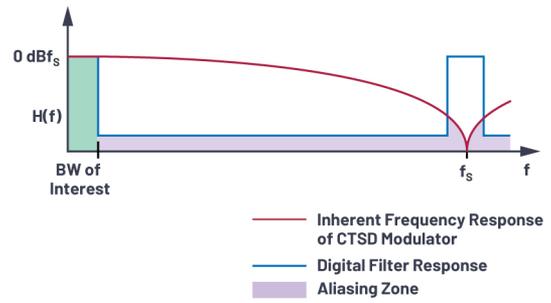


图12. CTSD调制器的频率响应。

阻性输入

与采样保持配置相比，在信号和基准输入中采用阻性输入会更易于驱动。提供恒定阻性输入时，不会产生反冲，可以完全移除驱动器。输入不会产生失真，如图13所示。而且因为输入阻抗恒定不变，也无需因增益误差重新调谐系统。

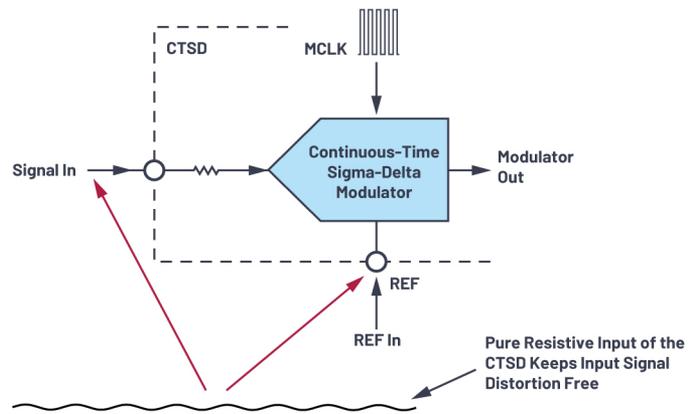


图13. CTSD的输入建立。

即使ADC提供单极性电源，模拟输入也可能是双极性的。因此无需在双极前端和ADC之间实施电平转换。ADC的直流性能可能与输入电阻现在具有输入共模相关电流和输入电流时的情况不同。

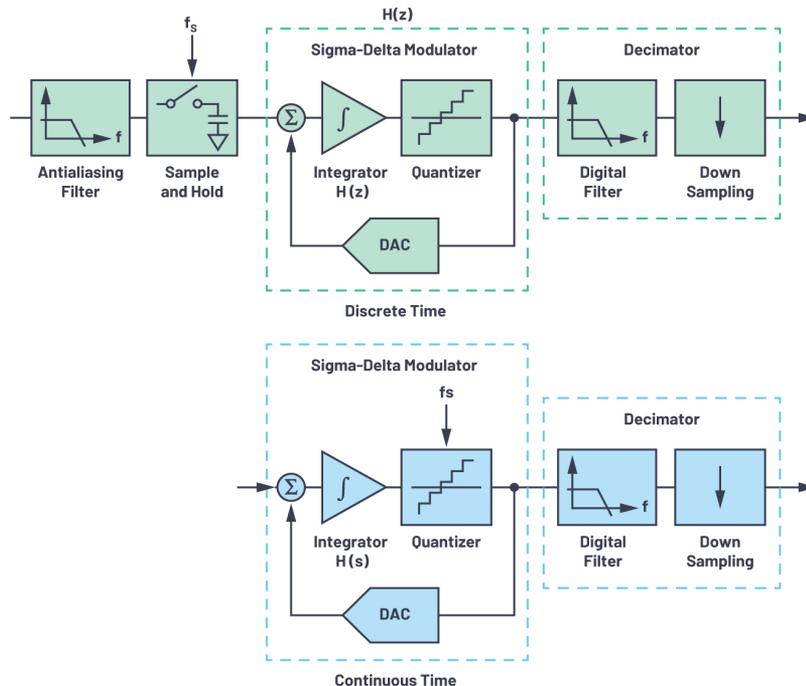


图11. 离散时间和连续时间调制器框图。

基准负载也具有阻性，可以减少开关反冲，因此无需使用单独的基准电压缓冲器。低通滤波器的电阻可以在片上，以便随片上电阻负载一起跟踪（因为它们的材料可能相同），以减少增益误差温度偏移。

CTSD架构并非新生事物，但工业和仪器仪表市场的大趋势要求在更高带宽下具有直流和交流精度性能。此外，客户更喜欢适用于大部分解决方案的单一平台设计，以帮助他们缩短上市时间。

CTSD架构相对于其它类型ADC具有多方面优势，成为高性能音频和蜂窝式手机射频前端等众多应用的首选。这些优势包括更容易集成和功耗更低，但更重要的是，使用CTSD能够解决多个重要的系统问题。由于存在许多技术缺陷，CTSD的使用以前局限于音频/带宽和较低的动态范围。因此，高精度、高性能/中等带宽应用的主流解决方案一直是高性能奈奎斯特速率转换器，例如逐次逼近型ADC和过采样DTSD转换器。

然而，ADI公司最近取得的技术突破能克服之前的许多限制。AD7134是首款基于CTSD的高精度直流至400 kHz带宽ADC，可以实现更高的性能规格，同时提供直流精度，进而能够解决高性能仪器仪表应用中的多个关键的系统级问题。AD7134也集成了一个异步采样速率转换器(ASRC)，能够通过CTSD的固定采样速度，以不同的数据速率提供数据。输出数据速率可以不受调制器采样频率影响，且可以确保成功使用CTSD ADC实现不同程度的吞吐量。还可以在粒度级别灵活改变输出数据速率，从而支持用户使用相干采样。

AD7134的信号链优势

无混叠

固有的混叠抑制消除了对抗混叠滤波器的需求，由此减少了组件数量，且使解决方案尺寸更小。更重要的是，与抗混叠滤波器相关的性能问题都不复存在，例如下降、失调、增益误差、相位误差，以及系统中的噪声等。

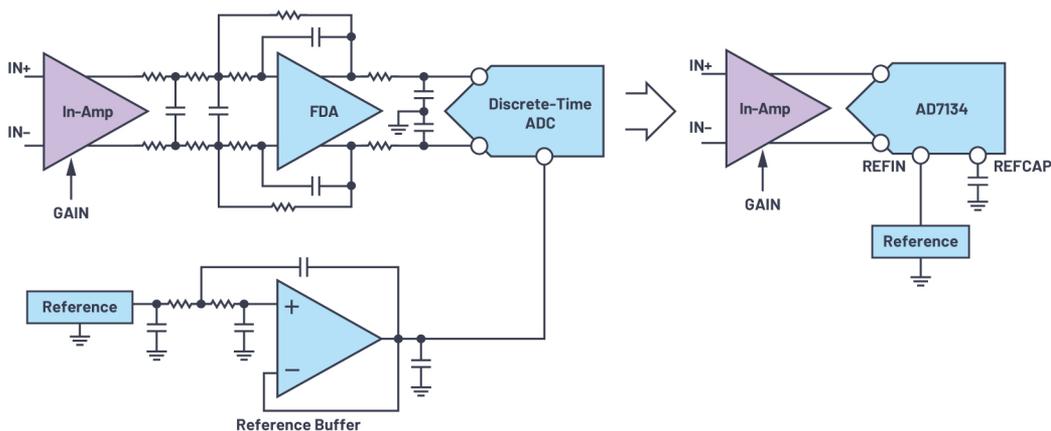


图14. 离散时间（左）信号链和连续时间（右）信号链比较。

低延迟信号链

抗混叠滤波器会根据抑制需求显著增加信号链的整体延迟。移除滤波器可以完全消除这种延迟，并在嘈杂的数控环路应用中实施精密转换。

出色的相位匹配

无需在系统级配备抗混叠滤波器，使多通道系统的相位匹配性能得到了大幅提升。非常适合要求提供通道间低失配的应用，例如振动监测、功率测量、数据采集模块和声呐等。

可靠抵御干扰

因为本身具有滤波功能，所以CTSD ADC不受任何系统级干扰，以及IC内部干扰影响。对于DTSD ADC和SAR ADC，则必须注意减少ADC采样时的干扰。此外，因为本身具有滤波功能，所以电源线路也不会受干扰。

阻性输入

因为具备恒定的阻性模拟输入和基准输入，所以完全无需再使用专用的驱动器。此外，所有与性能相关的问题，例如失调、增益、相位误差和系统噪声误差等都不复存在。

易于设计

因为设计元件的数量大幅减少，所以实现精密性能的难度也大大降低。从而可缩短设计时间，加快产品上市，简化BOM管理，并提高可靠性。

尺寸

无需使用抗混叠滤波器、驱动器和基准缓冲器，使系统电路板的尺寸大幅减小。可以使用仪器仪表放大器来直接驱动ADC。对于AD7134，因为它只是一个差分输入ADC，所以可以使用差分仪表放大器（例如LTC6373）作为驱动器。图14中比较了离散时间信号链和连续时间信号链。实验结果显示，与等效离散时间信号链相比，连续时间信号链可以节省70%的面积，因而非常适合高密度多通道应用。



图15. 离散时间信号链和连续时间信号链尺寸比较。

总之，AD7134可以轻松实现设计导入，大幅缩小系统尺寸，简化信号链设计，提高系统的可靠性，并缩短整体上市时间，且不会降低精密仪表应用的性能参数要求。

参考资料

Kester, Walt. “MT-002: 奈奎斯特准则对数据采样系统设计有何意义。” ADI公司，2009年。

Pavan, Shanti. “连续时间 $\Delta\Sigma$ 调制器使用开关电容反馈DAC实施混叠抑制。” *IEEE电路与系统论文集I: 正式论文*，第58卷第2期，2011年2月。

Schreier, Richard、Gabor C. Temes. *了解 $\Delta\Sigma$ 数据转换器*。John Wiley and Sons, 2005年。

致谢

作者感谢Abhilasha Kawle、Avinash Gutta和Roberto Maurino对本文提供的支持。



作者简介

Wasim Shaikh于2015年加入ADI公司，在精密转换器部门担任应用工程师，工作地点在印度班加罗尔。Wasim于2003年获得普纳大学学士学位。联系方式：wasim.shaikh@analog.com。



作者简介

Srikanth Nittala在ADI公司的精密转换器应用部门担任首席技术专家，工作地点在印度班加罗尔。Srikanth于2003年获得印度孟买技术学院硕士学位。联系方式：srikanth.nittala@analog.com。

