

# CTSD精密ADC—第1部分： 如何缩短精密ADC信号链 设计时间

Abhilasha Kawle, 高级模拟设计工程师  
Wasim Shaikh, 应用工程师

## 摘要

精密信号链设计人员面临着满足中等带宽应用中噪声性能要求的挑战, 最后往往要在噪声性能和精度之间做出权衡。缩短上市时间并在第一时间完成正确的设计则进一步增加了压力。持续时间 $\Sigma\Delta$  (CTSD) ADC本身具有架构优势, 简化了信号链设计, 从而缩减了解决方案尺寸, 有助于客户缩短终端产品的上市时间。在本系列文章中, 我们将说明CTSD ADC本身的架构优势及其如何适用于各种精密中等带宽应用。我们将深入分析信号链设计, 让设计人员了解CTSD技术的关键优势, 并探索AD4134精密ADC易于设计的特性。

## 简介

在许多数字处理应用和算法中, 在过去的20年里, 日益要求所有转换器技术都具有更高的分辨率和精度。通过使用外部数字控制器, 借助平均和优化的滤波方案等软件技术可提取并提供更精确的结果, 从而提高ADC受限的分辨率/精度。为了减少数字微控制器或DSP的大量后处理工作, 设计人员可使用高性能精密ADC。这将减少数字方面的优化时间, 也可以考虑使用成本较低的低微控制器或DSP。精密ADC的应用和市场很广泛:

- ▶ 工业仪器仪表: 振动分析、温度/压力/应力/流量测量、动态信号分析、声学分析

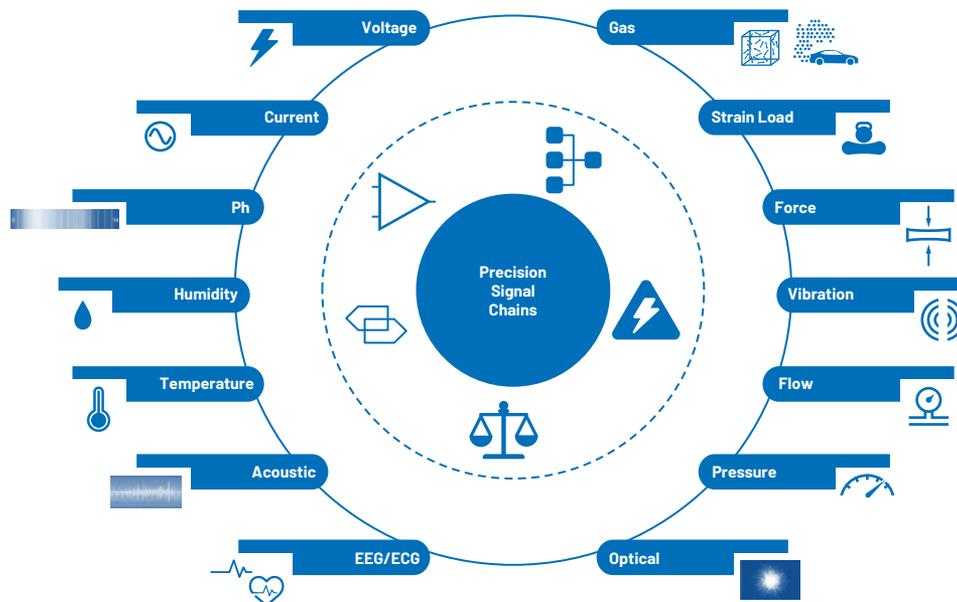


图1. 精密ADC信号链示例。

- ▶ 医疗仪器仪表: 电生理学、血液分析、心电图(EKG/ECG)
- ▶ 防务应用: 声纳、遥测
- ▶ 测试和测量: 音频测试、硬件循环、电能质量分析

由ADC处理的模拟输入信号可以是带有电压、电流输出的传感器信号,也可以是带宽范围从直流到几百kHz的反馈控制环路信号。ADC数字输出格式和速率取决于以下数字控制器所需的应用和后处理。一般而言,信号链设计人员遵循奈奎斯特采样准则,将数字控制器的ADC输出数据速率(ODR)设置为至少是输入频率的两倍。大多数ADC允许基于相关信号频带灵活地调整输出数据速率。

对于目前可用的ADC,在ADC可与输入信号交互前涉及到几个信号调理阶段。具有严格要求的信号调理电路需要围绕特定和单独的ADC技术进行设计和定制,确保能够实现ADC数据手册的性能。选择ADC后,信号链设计人员的工作并没有结束。通常需要花费大量时间和精力来设计外设并进行调整。ADI公司的设计仿真工具和模型库可为设计人员提供技术支持,帮助他们应对设计挑战。

## 新方法: 利用CTSD架构简化设计之旅

CTSD架构主要用于音频和高速ADC,现在针对精密应用量身定制,可实现高精度,同时利用其独特信号链简化特性。利用此架构可以减轻设计外设的工作量。图2显示了如何通过使用这种新的解决方案来实现高通道密度,将当前ADC信号链简化并缩减68%,图中只是其中的一小部分。

为了说明CTSD ADC技术如何简化信号链设计,本文重点介绍一般应用的现有信号链中涉及的一些关键挑战,并演示了CTSD ADC如何缓解这些挑战。

因此,我们首先介绍现有信号链中涉及的几个设计步骤,第一个任务是选择适合目标应用的正确ADC。

### 第1步: 选择ADC

从众多可用的ADC中进行选择时,分辨率和精度、信号带宽、ODR、信号类型和要处理的范围都是重要考虑因素。一般而言,在大多数应用中,数字控制器要求使用算法来处理输入信号的幅度、相位或频率。

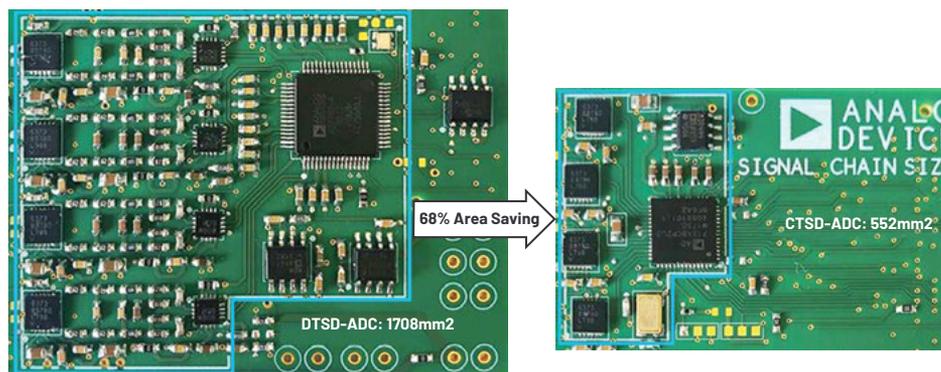


图2. 具有ADI易于使用的新CTSD ADC的小尺寸解决方案。

为了准确地测量前面的任何一个因素,需要尽量减小数字化过程中增加的误差。表1中详细列出了主要误差及其相应的测量术语,数据转换基本指南中提供了进一步详细说明。

表1. ADC误差和性能指标

ADC误差	数据手册中的相关测量
1 热和量化噪声	信噪比(SNR)、动态范围(DR)
2 失真	总谐波失真(THD)、交调失真(IMD)
3 干扰	串扰、混叠抑制、电源电压抑制比(PSRR)、共模抑制比(CMRR)
4 幅度和相位误差	目标频率下的增益误差、幅度和相位下降
5 从ADC输入到最终数字输出的延迟	延迟、建立时间

表1中的性能指标与信号幅度和频率有关,通常称为交流性能参数。

对于直流或近直流应用,如处理50 Hz至60 Hz输入信号的功率计量,必须考虑偏置、增益、INL和闪烁噪声等ADC误差。这些直流性能参数也需要针对应用预期用途具有一定的温度稳定性。

ADI提供各种行业领先的高性能ADC,以满足多个应用的系统需求,例如基于精度、速度或有限功耗预算的应用。仅比较两组ADC规格不足以正确选择ADC。还必须考虑整体系统性能和设计挑战,这才是选择ADC技术或架构的关键所在。传统上首选两大类ADC架构。常用的是逐次逼近寄存器(SAR)ADC,其遵循简单的奈奎斯特准则。它指出,如果以其频率的两倍采样,可重构信号。SAR ADC的优势在于出色的直流性能、小尺寸、低延迟以及通过ODR进行功耗调节。

第二种技术选项是离散时间 $\Sigma\Delta$ (DTSD)ADC,其工作原理是样本数越大,丢失的信息就越少。因此,采样频率远高于规定的奈奎斯特频率,这种方案称为过采样。此架构还有一个优势是,由于采样而增加的误差可在目标频带内最小化。因此,DTSD ADC兼具出色的直流和交流性能,但延迟较高。

图3展示了SAR和DTSD ADC的典型模拟输入带宽, 以及一些不同速度和分辨率的常用产品选择。也可使用**精密快速搜索功能**帮助您选择ADC。

此外, 现在还有一种新型精密ADC可用。这些ADC基于DTSD ADC, 与DTSD ADC性能相当, 但在简化整个信号链设计过程方面具有独特的优势。这个全新的ADC系列可以解决现有信号链后续几个设计步骤中比较突出的挑战。

## 第2步: 输入与ADC接口

由ADC处理其输出的传感器可能具有非常高的灵敏度。设计人员必须清楚地知道传感器将与之接口的ADC输入结构, 确保ADC误差不会影响实际传感器信号或使其失真。

在传统SAR、DTSD ADC中, 输入结构称为开关电容采样保持电路, 如图4所示。在每个采样时钟边缘, 当采样开关改变其ON/OFF状态时, 需要支持有限电流需求, 以便将保持电容充放电至一个新的采样输入值。此电流需要通过输入源提供, 在我们讨论的示例中, 这个输入源是传感器。此外, 开关本身有一些片内寄生电容, 会将一些电荷注入电源, 称为电荷注入反冲。由此增加的误差源也需要由传感器吸收, 以免对传感器信号造成不利影响。

大多数传感器无法提供这种电流幅度, 表明它们不能直接驱动开关电路。在另一种情况下, 即使传感器能够支持这些电流需求, 传感器的有限阻抗也会在ADC输入端增加误差。电荷注入电流

与输入成函数关系, 此电流将会在传感器阻抗上引起与输入相关的压降。如图4a所示, ADC的输入出错。在传感器和ADC之间放置一个驱动放大器可以解决这些问题, 如图4b所示。

现在我们需要为此放大器设定标准。首先, 放大器应支持充电电流并能够吸收电荷注入反冲。其次, 该放大器的输出需要在采样边缘的末端完全稳定, 使得对ADC输入采样时不会增加误差。这意味着放大器应能提供瞬时电流阶跃, 映射为具有高压摆率, 并对这些瞬态事件提供快速建立响应, 映射为具有高带宽。随着ADC的采样频率和分辨率的增加, 能否满足这些需求变得至关重要。

设计人员, 特别是处理中等带宽应用的设计人员所面临的一大挑战是为ADC确定合适的放大器。如前所述, ADI提供了一组仿真模型和**精密ADC驱动器工具**来简化此步骤, 但对于设计人员来说, 这是实现ADC数据手册性能的额外设计步骤。一些新时代的SAR和DTSD ADC通过使用新颖的采样技术来完全降低瞬态电流需求, 或采用集成放大器应对这一挑战。但这两种解决方案都限制了信号带宽的范围或削弱了ADC的性能。

**CTSD ADC的优势:** CTSD ADC通过提供易于驱动的电阻输入而非开关电容输入, 来解决这个问题。这表明对高带宽、大压摆率的放大器没有硬性要求。如果传感器可直接驱动此阻性负载, 则可直接与CTSD ADC接口; 否则可在传感器和CTSD ADC之间连接任何低带宽、低噪声放大器。

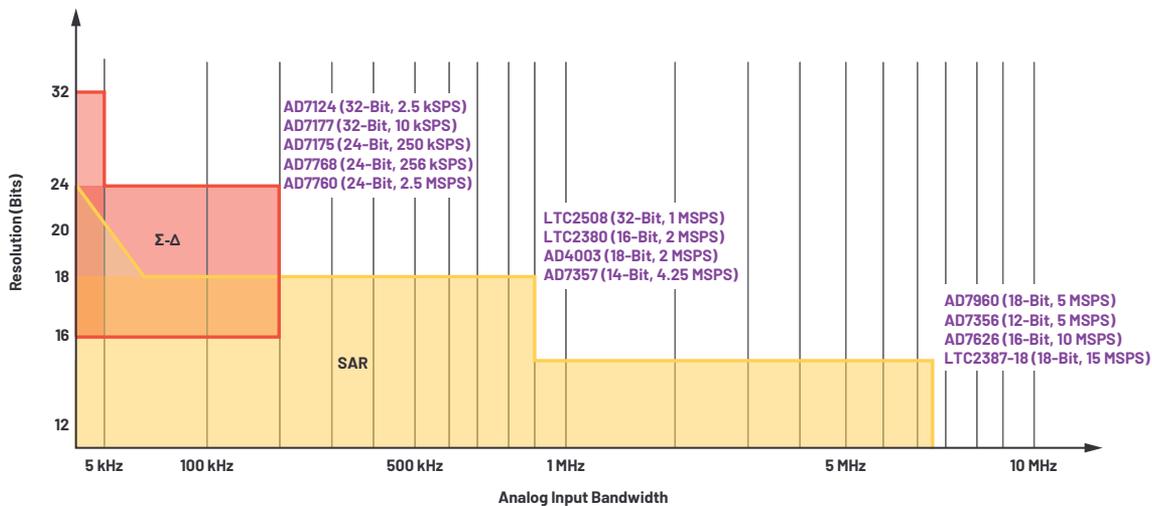


图3. 精密ADC架构定位。

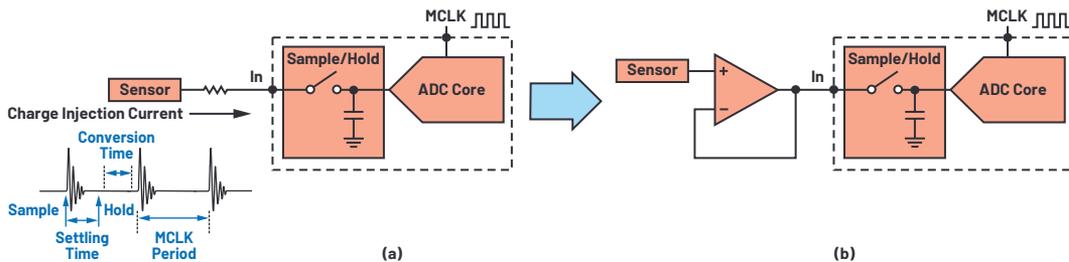


图4. (a)开关电容电荷注入反冲到传感器, (b)使用输入缓冲器隔离反冲效应。

### 第三步：基准电压源与ADC接口

与基准电压源接口涉及的挑战与输入接口类似。传统ADC的基准电压源输入也是开关电容。在每个采样时钟边缘，基准电压源需要对内部电容充电，因此需要具有良好建立时间的大开关电流。

可用的基准电压源IC不支持大开关电流需求，并且带宽有限。第二个接口挑战是来自这些基准电压源的噪声比ADC的噪声大。为了滤除这种噪声，使用了一阶RC电路。一方面，我们限制基准电压源的带宽以减少噪声，另一方面，我们需要快速建立时间。这是两个需要同时满足的相反要求。因此，使用低噪声缓冲器来驱动ADC基准引脚，如图5b所示。此缓冲器的压摆率和带宽基于ADC的采样频率和分辨率来决定。

同样，与我们的精密输入驱动器工具一样，ADI也提供针对ADC仿真和选择正确的基准电压源缓冲区的工具。与输入一样，一些新时代的SAR和DTSD ADC也提供集成基准电压源缓冲区选项，但具有性能和带宽限制。

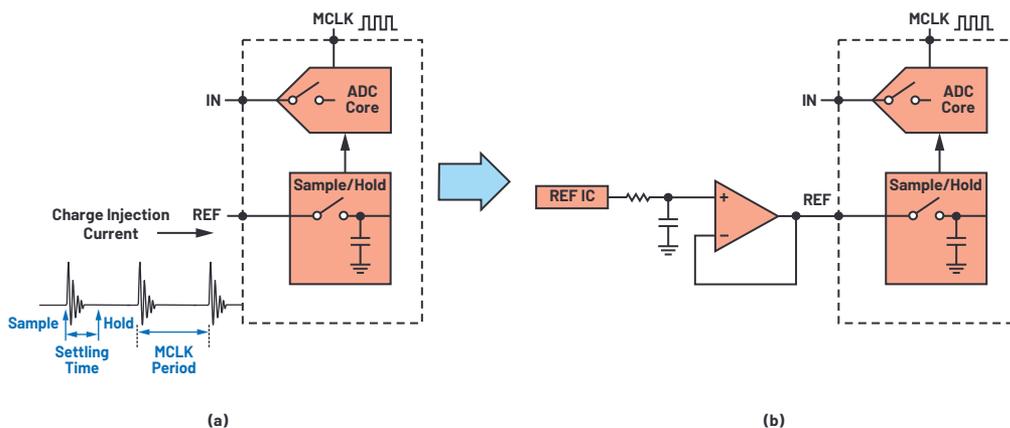


图5. (a)开关电容电荷注入反冲到基准电压源IC (b)使用基准电压源缓冲区隔离反冲效应。

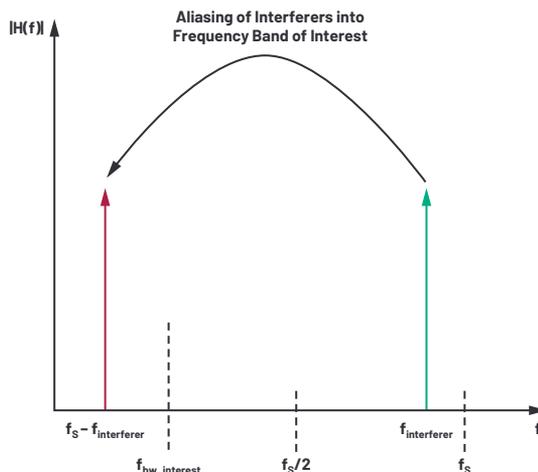


图6. 由于采样使带外干扰源混叠/折回进入目标频带。

**CTSD ADC的优势：**使用CTSD ADC可完全跳过此设计步骤，因为它为驱动阻性负载提供一种新的简便选项，而不需要此类高带宽、大压摆率的缓冲器。具有低滤波器的基准电压源IC可直接与基准引脚接口。

### 第四步：使信号链不受干扰影响

对连续信号进行采样和数字化处理会导致信息丢失，这称为量化噪声。采样频率和位数决定了ADC架构的性能限制。解决基准电压源和输入的性能和接口挑战之后，下一个难题是解决高频(HF)干扰源/噪声折叠到目标低频带宽的问题。这称为混叠或折回。这些进入目标带宽的高频或带外干扰源的反射图像导致信噪比(SNR)降低。根据采样准则，采样频率周围的任何信号音都会在带内折回，如图6所示，在目标频带内产生不必要的信息或错误。有关混叠的更多详细信息参见教程MT-002: 奈奎斯特准则对数据采集系统设计有何意义。

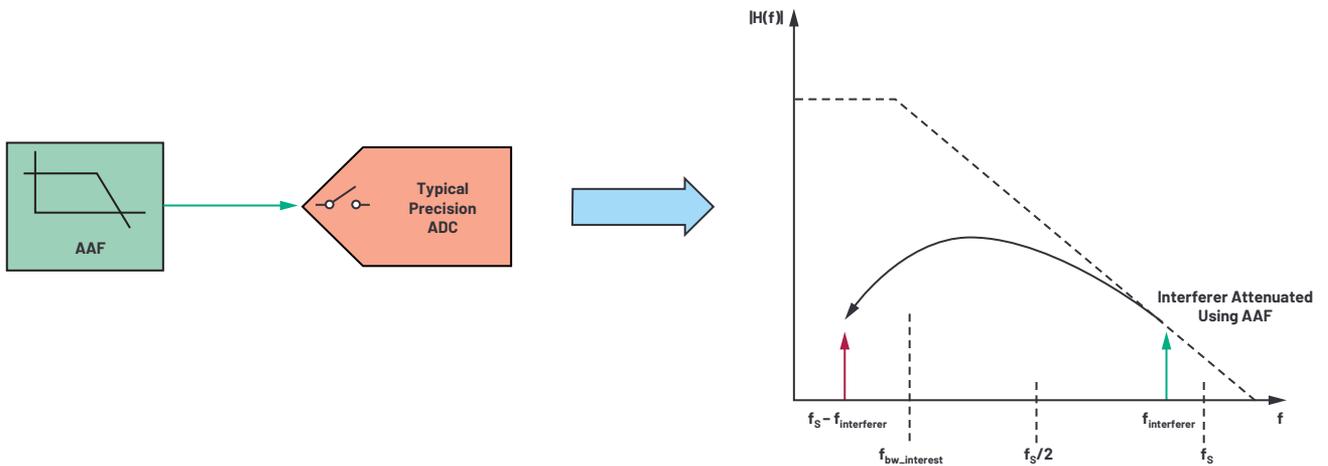


图7. 使用抗混叠滤波器缓解对带内性能造成的混叠效应。

缓解折回效应的一种解决方案是使用一种称为抗混叠滤波器(AAF)的低通滤波器来衰减不必要的干扰源幅度, 这样当衰减后的干扰源折回带内时, 可以保持所需的信噪比。该低通滤波器通常集成有驱动器放大器, 如图7所示。

设计此放大器时, 最大的挑战是在快速建立和低通滤波要求之间寻求平衡。另一个挑战是该解决方案需要针对每个应用需求进行微调, 这就对各个应用采用单个平台设计造成了限制。ADI有很多[抗混叠滤波器工具设计](#), 可帮助设计人员克服此挑战。

**CTSD ADC的优势:** 这种抗扰性可由CTSD ADC本身具有的混叠抑制特性解决, 这是CTSD ADC独有的特性。采用这种技术的ADC不需要AAF。因此, 我们有望直接将CTSD ADC轻松地连接到传感器, 向这个目标又近了一步。

### 第五步: 选择ADC时钟频率和输出数据速率

接下来, 我们来讨论两种传统ADC类型的时钟要求。DTSD是过采样的ADC, 这是指ADC以高于奈奎斯特采样速率进行采样的ADC。但是, 将ADC过采样数据直接提供给外部数字控制器, 大量的冗余信息会使其过载。在过采样系统中, 核心ADC输出使用片内数字滤波器进行抽取, 使最终ADC数字输出的数据速率更低, 通常是信号频率的两倍。

对于DTSD ADC, 设计人员需要计划为核心ADC提供高频采样时钟, 并设定所需的输出数据速率。ADC将在这个所需的ODR和ODR时钟上提供最终数字输出。数字控制器使用此ODR时钟输入数据。

接下来, 我们解决SAR ADC的时钟要求, 通常遵循奈奎斯特准则。这里, ADC的采样时钟由数字控制器提供, 时钟也充当ODR。但是, 由于需要有效地控制采样保持时序才能获得ADC的出色性能, 因此该时钟的时序灵活性较低, 这也表明数字输出时序需要尽可能与这些要求保持一致。

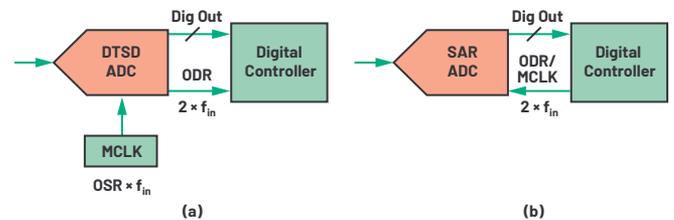


图8. (a) DTSD ADC和(b) SAR ADC的时钟要求。

了解这两种架构的时钟要求后, 可以看到ODR耦合到ADC的采样时钟, 这在ODR可以动态漂移或改变或需要调谐为模拟输入信号频率的许多系统中都是一个限制因素。

**CTSD ADC的优势:** CTSD ADC可与新型异步采样速率转换器(ASRC)耦合, 能够以任何所需的ODR对核心ADC进行重新采样。ASRC还使设计人员能够将ODR精确地设置为任意频率, 并突破了将ODR限制为采样频率倍数的旧限制。ODR的频率和时序要求现在完全属于数字接口的功能范围, 并且与ADC采样频率无关。该特性为信号链设计人员简化了数字隔离设计。

## 第六步：与外部数字控制器接口

传统上，ADC与数字控制器通信有两种类型的数据接口模式。一种类型将ADC用作主机，提供数字/ODR时钟，并决定数字控制器的时钟边缘，以便输入ADC数据。另一种类型为托管模式（接收器模式），其中数字控制器是主机，提供ODR时钟，并决定输入ADC数据的时钟边缘。

从第5步开始，如果设计人员选择DTSD ADC，该ADC将提供ODR时钟，因此充当后接的数字控制器的主机。如果选择了SAR ADC，则数字控制器需要提供ODR时钟，这意味着SAR ADC将始终配置为托管外设。因此，存在明显的限制：一旦选择ADC架构，数字接口就限制为主机模式或托管模式。目前，无论ADC架构如何，都无法灵活地选择接口。

**CTSD ADC的优势：**与CTSD ADC结合的新型ASRC使设计人员能够独立配置ADC数据接口模式。这为一些应用开启了全新的机会，在这些应用中，无论ADC架构如何，都可在适合数字控制器应用的任何模式中配置高性能ADC。

## 将器件连接起来

图9显示了传统信号链的构建模块，其模拟前端(AFE)包含一个ADC输入驱动器、一个混叠抑制滤波器和一个可通过CTSD ADC极大简化的基准电压源缓冲区。图10a显示了一个采用DTSD ADC的示例信号链，该信号链需要大量的设计工作来微调 and 确定ADC的数据手册性能。为了简化客户流程，ADI提供了[参考设计](#)，可针对这些ADC的各种应用重新使用或重新调整。

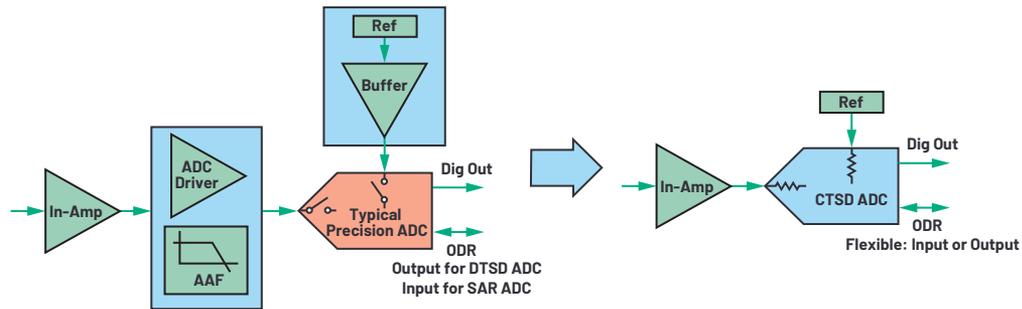


图9. 分别采用传统精密ADC与CTSD ADC的信号链构建模块。

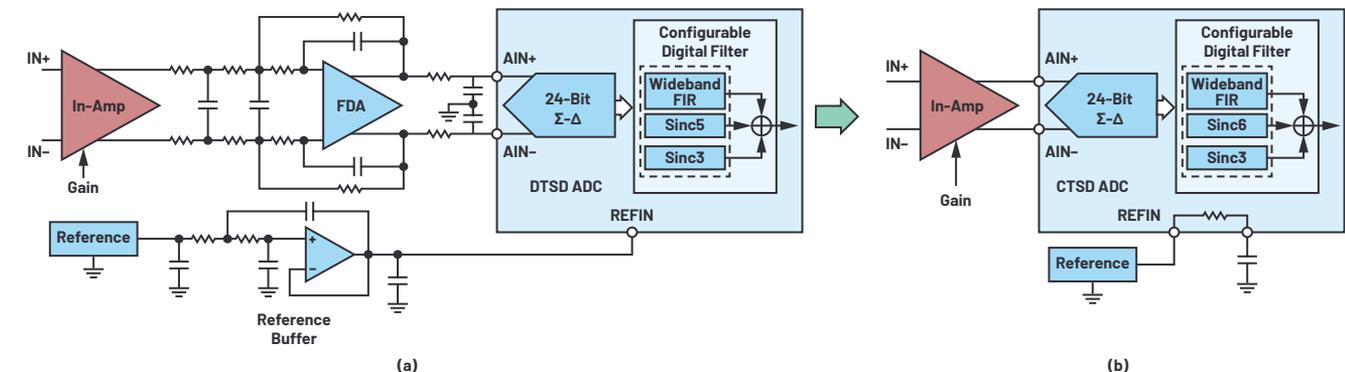


图10. 使用(a) DTSD技术与(b) CTSD技术的示例信号链。

图10b显示了具有CTSD ADC及其简化模拟输入前端(AFE)的信号链，因为其ADC核心在输入和基准电压源端没有开关电容采样器。开关采样器移至ADC核心的后一级，使信号输入和基准电压输入为纯阻性。由此得出了几乎无采样混叠的ADC，使其自成一类。此外，这类ADC的信号转换函数模拟抗混叠滤波器响应，这意味着它本身就能衰减噪声干扰源。利用CTSD技术，ADC可简化为一个简单的即插即用组件。

总之，CTSD ADC简化了信号链设计，同时实现了与传统ADC信号链具有相同性能水平的系统解决方案，并具有以下优势：

- ▶ 提供了具有出色通道间相位匹配的无混叠、低延迟信号链
- ▶ 简化了模拟前端，无需选择并微调高带宽输入和基准电压源驱动缓冲区的额外步骤，可实现更高的通道密度
- ▶ 打破了ODR与采样时钟成函数关系的障碍
- ▶ 独立控制与外部数字控制器的接口
- ▶ 提高了信号链可靠性评级，这是外设组件减少带来的好处
- ▶ 减小了尺寸，BOM减少68%，为客户缩短了产品上市时间

本系列接下来的几篇文章将更详细地介绍CTSD ADC和ASRC的概念，重点说明信号链的优势，最后介绍如何利用新产品AD4134的特性。敬请关注，进一步了解有助于简化设计的突破性CTSD和ASRC技术的更多信息！

## 致谢

作者感谢产品应用工程师Naiqian Ren和产品营销工程师Mark Murphy在撰写本文时提供的有用见解。

## 参考资料

“应用笔记AN-282: 采样数据系统基本原理。” ADI公司

驱动精密转换器: 选择基准电压源和放大器。 ADI公司

Kester, Walt. “MT-021教程: ADC架构II: 逐次逼近型ADC。” ADI公司, 2009年。

$\Sigma\Delta$  ADC指南。 ADI公司

Shaikh, Wasim和Srikanth Nittala. “轻松构建交流和直流数据采集信号链。” 模拟对话, 第54卷第3期, 2020年8月。



### 作者简介

Abhilasha Kawle是ADI公司线性和精密技术部的高级模拟设计工程师, 工作地点在印度班加罗尔。她于2007年毕业于班加罗尔的印度理工学院, 获得电子设计与技术硕士学位。联系方式: [abhilasha.kawle@analog.com](mailto:abhilasha.kawle@analog.com)。



### 作者简介

Wasim Shaikh于2015年加入ADI公司, 在精密转换器部门担任应用工程师, 工作地点在印度班加罗尔。Wasim于2003年获得普纳大学学士学位。联系方式: [wasim.shaikh@analog.com](mailto:wasim.shaikh@analog.com)。

