

CTSD精密ADC — 第2部分: 为信号链设计人员介绍 CTSD架构

Abhilasha Kawle, 模拟设计经理

本文将采用一种与传统方法不同的方式介绍连续时间 $\Sigma\Delta$ (CTSD) ADC技术, 以便信号链设计人员了解这种简单易用的新型精密ADC技术, 将其想像成一个连接了某些已知组件的简单系统。在**第1部分**, 我们主要介绍了现有信号链设计的关键挑战, 利用精密CTSD ADC, 在实现高精度的同时还可保持连续时间信号完整性, 从而可以显著简化这些设计。现在的问题是CTSD架构背后是什么使其能够实现这些优势?

采用传统方法解释CTSD技术概念时, 都是先理解离散时间 $\Sigma\Delta$ (DTSD)调制器环路的基本原理, 然后用等效的连续时间元件来替换离散时间环路元件。虽然通过这种方法可以深入了解 $\Sigma\Delta$ 功能, 但我们的目标是更直观地了解精密CTSD ADC内在优势的背后原因。首先, 我们将概述一种逐步构建CTSD调制器环路的方法, 首先采用常见的闭环反相放大器配置, 然后与ADC和DAC组合在一起。最后, 我们将评估所构建电路的基本 $\Sigma\Delta$ 功能。

第1步: 回顾闭环反相放大器配置

CTSD ADC的一个关键优势是它提供一个易于驱动连续电阻输入, 而非传统的前置开关电容采样器。反相放大器电路具有类似的输入阻抗概念, 我们将其用作构建CTSD调制器环路的起始模块。

闭环运算放大器配置一直是以高保真度复制模拟输入的首选方法, 图1所示为其中一种常见的运算放大器配置, 称为反相放大器配置。¹衡量保真度的一个指标是输出与输入增益的比值, 采用 $\Sigma\Delta$ 术语表示, 也称为信号传递函数(STF)。确定影响STF的参数需要进行电路分析。

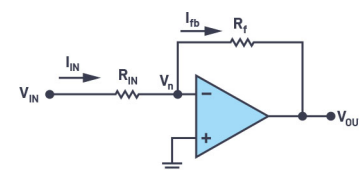


图1. 采用反相放大器配置的闭环运算放大器。

为了巩固我们的数学知识, 我们来回顾一下著名 V_{OUT}/V_{IN} 的由来。首先, 我们假设运算放大器A的开环增益无穷大。根据这一假设, 运算放大器的负输入 V_n 将处于地电位。在这里应用基尔霍夫定律

$$I_{IN} = \frac{V_{IN}}{R_{IN}}, I_{fb} = -\frac{V_{OUT}}{R_f} \quad (1)$$

将其映射到 V_{OUT} 和 V_{IN} , 我们得到增益或STF为

$$STF = \frac{V_{OUT}}{V_{IN}} = -\frac{R_f}{R_{IN}} \quad (2)$$

接下来, 我们放弃不切实际的无限增益假设, 在运算放大器的有限增益A下重新推导STF, 则STF如下式所示

$$STF = -\frac{R_f}{R_{IN}} \times \left(\frac{A}{\left(1 + \frac{R_f}{R_{IN}}\right) + A} \right) \quad (3)$$

在这里, 教科书通常会描述每个参数 R_{IN} 、 R_f 和A的灵敏度。在本示例中, 我们继续构建CTSD环路。

第2步: 将离散部件引入放大器

我们的ADC信号链需要数字版本的 V_{IN} 。下一步, 我们要在此电路中引入数字部件。我们没有按传统方式直接在输入信号端放置一个采样ADC, 而是尝试其他方法, 在放大器输出之后放置一个典型ADC器件来获取数字信号数据。但是, ADC的输出不能直接用作反馈, 因为它必须是模拟电压。因此, 我们需要在ADC之后放置一个电压数模转换器(DAC), 如图2所示。

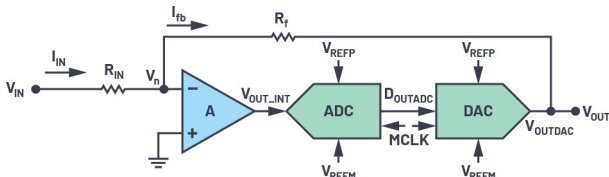


图2. 在反相放大器配置中引入ADC和DAC。

采用ADC和DAC后， V_{OUT} 仍能表示 V_{IN} ，但由于增加了数字部件，因此存在量化误差。所以，从 V_{IN} 到 V_{OUT} 的信号流没有变化。这里要注意的一点是，为了使环路功能相对于0 V保持对称，并简化数学推导，我们这样选择ADC和DAC的基准电压，如下所示

$$V_{REFP} = V_{REF}/2, \text{ and } V_{REFM} = -V_{REF}/2 \quad (4)$$

第3步：引入模拟累加器 — 积分器

图2中的闭环配置是否稳定？ADC和DAC均为在采样时钟MCLK下工作的离散元件。设计无延迟ADC或DAC一直是转换器专家无法实现的梦想。由于这些环路元件采用时序控制，通常在一个时钟沿进行输入采样，在另一个时钟沿进行处理。因此，ADC和DAC组合输出 V_{OUT} （即图2中的反馈）需要延迟1个时钟周期后才可用。

这种反馈延迟对稳定性有影响吗？我们来看看 V_{IN} 是如何传输的。为简化起见，我们假设 $V_{IN} = 1$ ， $R_{IN} = 1$ ， $R_f = 1$ ，运算放大器A的增益为100。在第一个时钟周期，输入电压为1，DAC输出反馈 V_{OUT} 或 V_{OUTDAC} 为0，并且在下一个时钟沿前不可用。当我们跟踪放大器和ADC的输入和输出反馈之间的误差时，可以看到输出一直呈指数增长，这在技术上称为失控问题。

表1. 时钟沿采样

	V_{IN}	$V_{OUT} = V_{OUTDAC}$	$V_n = (V_{OUT} + V_{IN})/2$	$V_{OUT_INT} = -A \times (V_n)$	D_{OUTDAC}
第一个采样沿	1	0	0.5	-50	-50
第二个采样沿	1	-50	~ -25	~ -2500	2500
第三个采样沿	1	2500	~ 1250	$\sim -12,500$	-12,500

这是因为ADC输入对放大器获得的瞬时误差产生的影响；也就是说，甚至在获得反馈之前，就能确定ADC会产生这种影响，而这是我们不希望的。如果ADC影响累积的平均误差数据，使得由于1个时钟周期延迟反馈导致的误差达到平均值，系统的输出将受限。

积分器是平均累加器的等效模拟器件。环路增益仍然很高，但仅在低频下很高，或者说在目标频率带宽下很高。这确保ADC不会出现任何可能导致失控情况的瞬时误差。因此，现在将环路中的放大器改为积分器后接ADC和DAC，如图3a所示。

第4步：简化反馈电阻

这里的目标元件是 D_{OUTDAC} ，我们来重新布局环路元件，重点是将是 D_{OUTDAC} 作为系统的输出，如图3b所示。接下来，我们来考虑DAC和 R_f 路径的简化。为此，我们先深入了解一下DAC。DAC的作用是将 D_{IN} 数字信号转换为与基准电压成比例的等效模拟电流或电压。为了进一步扩大基准电压源连续性的优势，我们考虑采用一个基于梯形电阻的通用DAC架构，该电阻对于基准电压源没有开关负载。我们来看测温电阻DAC，²根据等式5，它将 D_{IN} 转换为DAC电流。

$$I_{DAC} = \frac{V_{REF}}{R_f} \times \frac{D_{IN}}{2^N} \quad (5)$$

其中 $V_{REF} = V_{REFP} - V_{REFM}$ ，即DAC的总基准电压。

- D_{IN} = 测温代码中的数字输入
- R_f = 反馈电阻；拆分为每个单位元件
- N = 位数

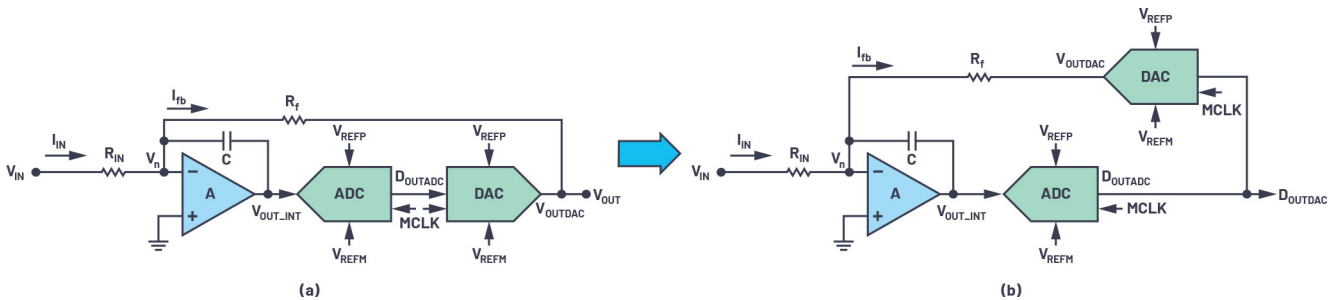


图3.(a)将积分器引入环路。(b)重新布局环路，重点将 D_{OUTDAC} 作为输出。

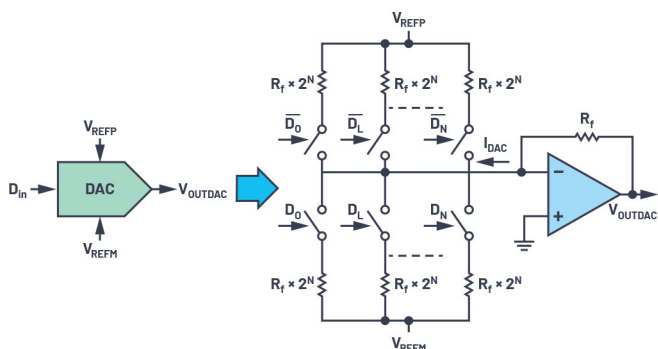


图4. 通用测温电阻DAC。

为了获得电压输出，使用跨阻配置的运算放大器进行I至V转换，³如图4所示。因此，

$$V_{OUTDAC} = I_{DAC} \times R_f \quad (6)$$

回到图3b的离散环路，此 V_{OUTDAC} 再次通过反相放大器的反馈电阻被转换回电流 I_{fb} ，即信号流为 $I_{DAC} \rightarrow V_{OUTDAC} \rightarrow I_{fb}$ 。通过数学式表示为：

$$I_{fb} = \frac{V_{OUTDAC}}{R_f} = I_{DAC} \quad (7)$$

从上面的信号流和公式可以看出，将 V_{OUTDAC} 转换为 I_{fb} 是一个冗余步骤，可以绕过。删除冗余元件，并且为了简单起见，将 $(V_{REFP} - V_{REFM})$ 表示为 V_{REF} ，我们来重新绘制环路，如图5所示。

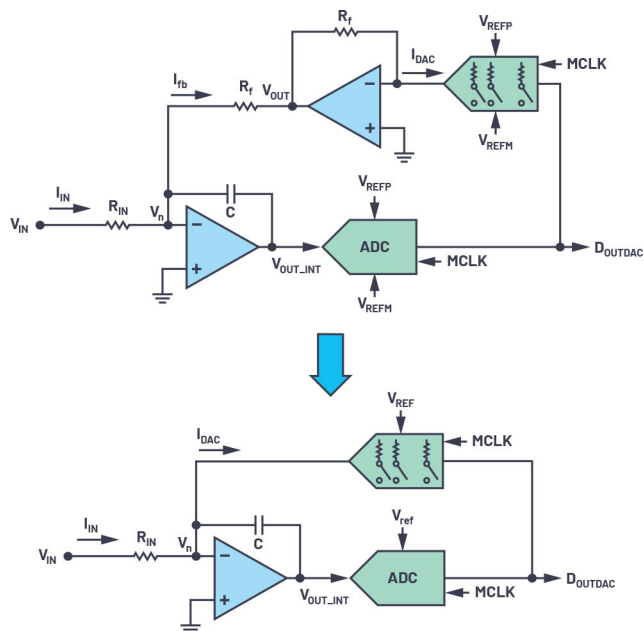


图5. 删除冗余I至V转换部分和反馈电阻。

瞧！我们构建了一个一阶 $\Sigma\Delta$ 环路！将所有已知元件即反相放大器、ADC和DAC接在一起。

第5步：了解过采样

至此我们掌握了CTSD环路的构建，但尚未认识到这个特殊环路的独特之处。首先来了解过采样。ADC数据仅在有足够的采样和数字化数据点来提取或解读模拟信号信息时才有用。奈奎斯特准则建议，为了忠实地重构输入信号，ADC的采样频率至少应该是信号频率的两倍。如果我们在这个最低要求基础上继续增加更多的数据点，将会进一步减少解读误差。遵循这一思路，在 $\Sigma\Delta$ 中选择的采样频率要比建议的奈奎斯特频率高得多，这称为过采样。过采样将总噪声分散到更高的频率范围，有助于减少目标频带中的量化噪声，如图6所示。

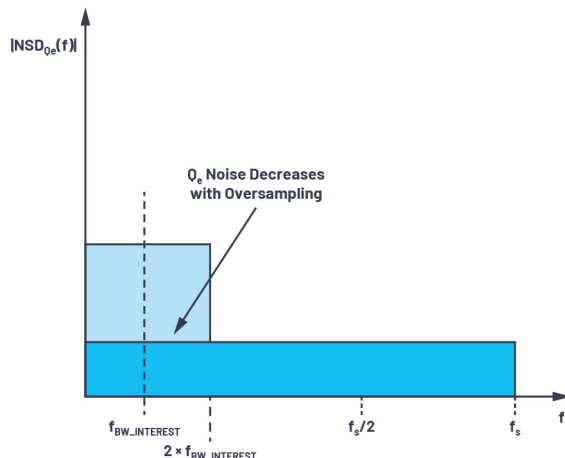


图6. 奈奎斯特采样和过采样之间的噪声谱密度比较。

第6步：了解噪声整形

当 $\Sigma\Delta$ 专家使用噪声传递函数(NTF)或噪声整形等术语时，信号链设计人员不应该感到迷茫，⁴我们的下一步将帮助他们直观地了解 $\Sigma\Delta$ 转换器特有的这些术语。我们来回顾一下简单的反相放大器配置以及放大器输出端产生的误差 Q_e ，如图7所示。

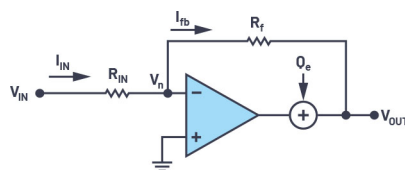


图7. 反相放大器配置中产生误差。

此误差在输出端的贡献因素可量化为

$$V_{OUT} = \frac{Q_e}{\left(1 + \frac{A}{1 + \frac{R_f}{R_{IN}}}\right)} \quad (8)$$

从数学公式可以看出，误差 Q_e 由放大器的开环增益衰减，这再次表明了闭环的优势。

这种对闭环优势的理解可以延伸到CTSD环路中ADC的量化误差 Q_e ，此误差是由于积分器输出端连续信号的数字化引起的，如图8所示。

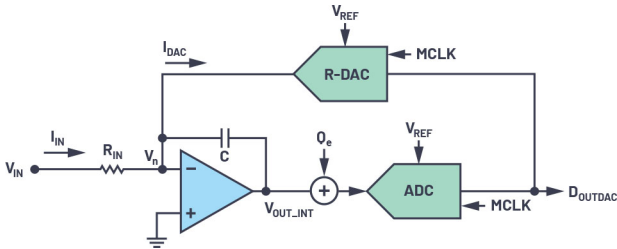


图8. Σ - Δ 环路中产生量化误差 Q_e 。

我们现在可以直观地得出结论，此 Q_e 可通过积分器衰减。积分器TF为 $|H_{\text{INTEG}}(f)| = 1/s \times RC = 1/2\pi fRC$ ，其相应的频域表示如图9所示。其曲线等同于在低频下具有高增益的低通滤波器曲线，增益随频率的增加呈线性减小。相应地， Q_e 的衰减变化与高通滤波器的表现类似。

此衰减因数的数学表示是噪声传递函数。让我们暂时忽略ADC中的采样器和DAC中的开关。NTF即 V_{OUTDAC}/Q_e 可通过与反相放大器配置一样的方式来评估，其在频域中的变化曲线与高通滤波器曲线类似，如图10所示。

$$NTF_{\text{int}} = \frac{V_{\text{OUTDAC}}}{Q_e} = \frac{sR_fC}{(1 + sR_fC)} \quad (9)$$

在目标频带中，量化噪声被完全衰减并推至“与我们无关”的高频。这就是所谓的噪声整形。

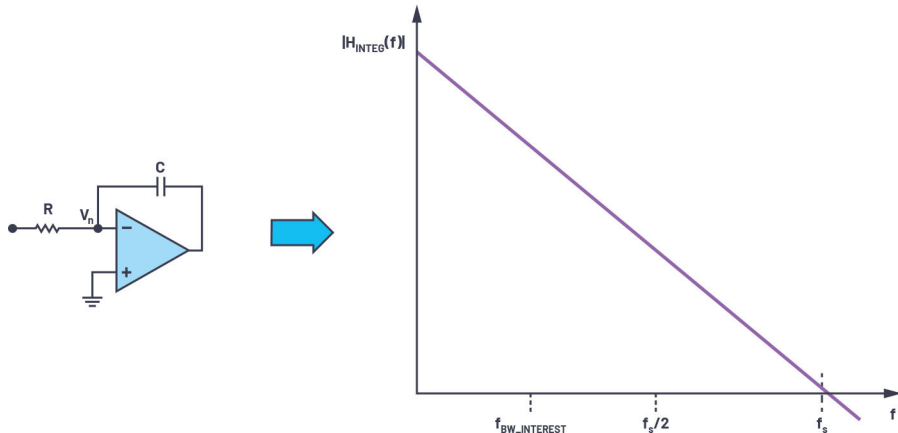


图9. 积分器传递函数。

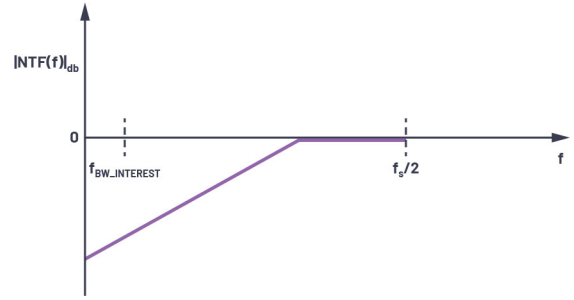


图10. 没有采样器时的噪声传递函数——具有高通滤波器曲线。

由于环路中有采样器，量化噪声整形类比保持不变。不同的是，NTF频率响应将在每个 f_s 倍数处复制图像，如图10所示，从而在采样频率的每个整数倍处产生陷波。

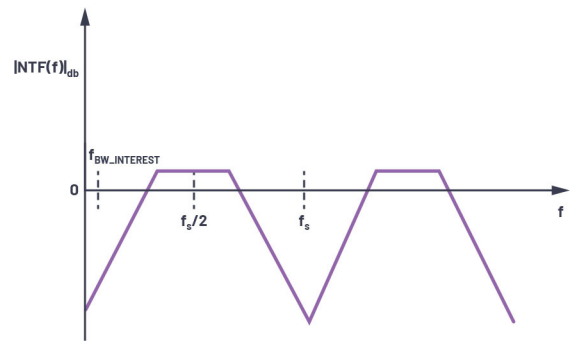


图11. CTSD ADC的噪声传递函数。

Σ - Δ 架构的独特之处在于，它将一个积分器和一个DAC环路放置在一个原始ADC（例如，4位ADC）周围，通过过采样和噪声整形大幅减少目标频率带宽中的量化噪声，使这个原始ADC变成一个16位或24位精密ADC。

这些一阶CTSD ADC的基本原理现在可以扩展到任意阶的调制器环路。采样频率、原始ADC规格和环路阶数是受ADC性能要求驱动的主要设计决策因素。

第7步：利用数字滤波器完成CTSD调制器

一般来讲，在ADC信号链中，数字化数据由外部数字控制器进行后处理，以提取任何信号信息。我们现在知道，在 $\Sigma\text{-}\Delta$ 架构中，将对信号进行过采样。如果将此过采样数字数据直接提供给外部控制器，就需要处理大量冗余数据。这会导致数字控制器设计中的功率和电路板空间成本开销过大。因此，在数据提供给数字控制器之前，在不影响性能的情况下，应有效地降低数据采样。此过程称为抽取，由数字抽取滤波器完成。图11所示为具有片内数字抽取滤波器的典型CTSD调制器。

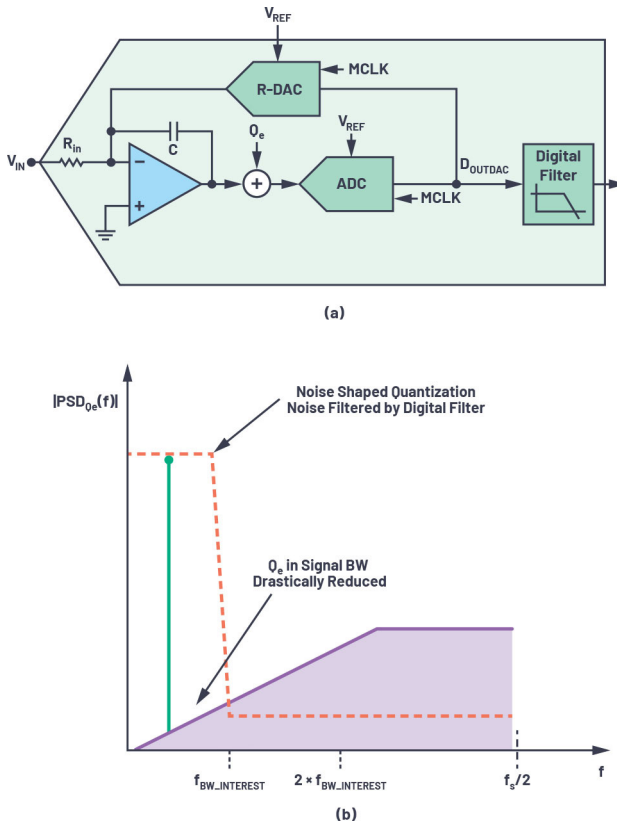


图12. (a) 从模拟输入到数字输出的CTSD ADC调制器环路的方框图。(b) 调制器输出端和数字滤波器输出端的输入信号的频谱表示。

图12b所示为带内模拟输入信号的频率响应。在调制器的输出端，我们看到对量化噪声进行噪声整形后，目标频带中的量化噪声大幅降低。数字滤波器有助于衰减超出此目标频率带宽的整形后噪声，这样最终的数字输出 D_{OUT} 将处于奈奎斯特采样速率。

第8步：了解CTSD ADC的时钟灵敏度

现在，我们知道CTSD ADC如何保持输入信号的连续完整性，这大大简化了信号链的设计。此架构也有一些限制，主要是处理采样时钟MCLK。CTSD调制器环路的工作原理是累积 I_{IN} 和 I_{DAC} 之间的误差电流。此积分值中的任何误差都会导致环路中的ADC对此误差进行采样，并在输出中反映出来。对于我们的一阶积分器环路，在恒定 I_{IN} 和 I_{DAC} 的 T_s 采样时间段的积分值表示为

$$\delta V_{out_{integ}} = \frac{T_s}{RC} \times (I_{IN} - I_{DAC}) \quad (10)$$

对于0输入，会影响此积分误差的参数包括

- MCLK频率：如等式10所示，如果MCLK频率缩放，控制积分斜率的RC系数也需要重新调整以得到相同的积分值。这意味着CTSD调制器针对固定的MCLK时钟频率进行调谐，无法支持变化的MCLK。
- MCLK抖动：DAC代码以及 I_{DAC} 会改变每个时钟时间段 T_s 。如果 I_{DAC} 时间段随机改变，平均积分值就会不断变化，如图13所示。因此，采样时钟时间段中以抖动形式出现的任何误差都会影响调制器环路的性能。

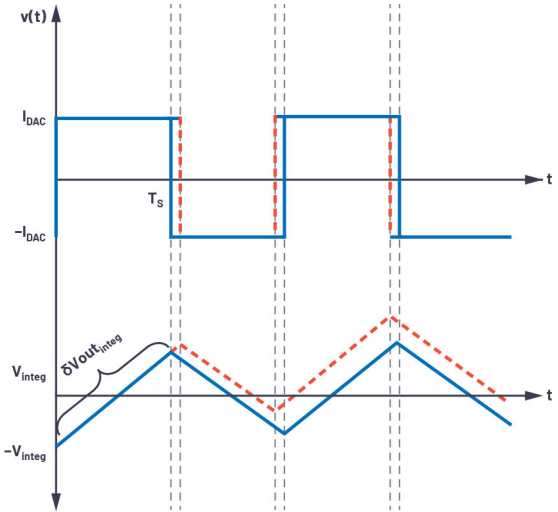


图13. CTSD调制器的时钟灵敏度。

出于上述原因，CTSD ADC对MCLK的频率和抖动敏感。⁵但是，ADI已经找到了解决这些误差问题的方法。例如，生成精确的低抖动MCLK并在系统中传送到ADC的挑战，可以通过在ADC附近使用一个低成本的本地晶体振荡器来解决。固定采样频率周围的误差问题已通过使用创新的异步采样速率转换(ASRC)解决，该转换无需考虑固定采样MCLK，可以为数字控制器提供独立可变的数字输出数据速率。本系列后续文章将详细介绍更多信息。

第9步：瞧！一切准备就绪，可以向伙伴们解释CTSD概念了！

第1部分强调了CTSD ADC的某些信号链优势，而第2部分重点介绍从第1步到第6步使用闭环运算放大器配置概念构建调制器环路的见解。图11a也有助于我们看清这些优势。

CTSD ADC的输入阻抗等同于反相放大器的输入阻抗，它是电阻性的，且易于驱动。通过使用创新技术，使得调制器环路的DAC所使用的基准电压源也成为电阻性。ADC的采样器位于积分器之后，并非直接放在输入端，从而可实现对目标频带之外干扰源的固有混叠抑制。在本系列接下来的几篇文章中，我们将深入探讨这些优势及其对信号链的影响。在下一篇文章中，我们将首先介绍最独特的优势：固有混叠抑制。敬请关注第3部分，了解固有混叠抑制及其使用一组新的测量和性能参数实现量化的详细信息，这些参数首次通过基于CTSD架构的AD4134引入。

致谢

作者在此向Praveen Varma和Roberto Maurino致谢，感谢他们在以简化方式解释CTSD ADC技术方面提供的有益见解。



作者简介

Abhilasha Kawle是ADI公司线性和精密技术部模拟设计经理，工作地点位于印度班加罗尔。她于2007年毕业于班加罗尔印度科学理工学院，获电子设计和技术硕士学位。联系方式：abhilasha.kawle@analog.com。

参考资料

- ¹ Hank Zumbahlen。 “微型教程MT-213：反相放大器。” ADI公司，2013年2月。
 - ² Walt Kester。 “MT-014教程：基本DAC架构I：DAC串和温度计（完全解码）DAC。” ADI公司，2009年。
 - ³ Luis Orozco。 “可编程增益跨阻放大器使光谱系统的动态范围达到最大。” 模拟对话，第47卷第2期，2013年5月。
 - ⁴ Walt Kester。 “MT-022教程：ADC架构III： Σ - Δ 型ADC基础。” ADI公司，2009年。
 - ⁵ Pawel Czapor。 “ Σ - Δ ADC时钟——不只是抖动。” 模拟对话，第53卷第3期，2019年4月。
- Pavan、Shanthi、Richard Schreier和Gabor C. Temes。了解 Σ - Δ 数据转换器，第2版。Wiley，2017年1月。

