

# 优化信号链的电源系统 — 第1部分：多少电源噪声 可以接受？

Patrick Errgy Pasaquian, 高级应用工程师,  
Pablo Perez, Jr., 高级应用工程师

## 简介

从5G到工业应用, 随着收集、传送和存储的数据越来越多, 也在不断扩大模拟信号处理器件的性能极限, 有些甚至达到每秒千兆采样。由于创新的步伐从未放缓, 下一代电子解决方案将使解决方案体积进一步缩小, 电源效率持续提高, 并对噪声性能提出更高的要求。

人们可能认为应当最大限度地减少或隔离各电源域(模拟、数字、串行数字和数字输入输出(I/O))中产生的噪声, 以实现出色的动态性能, 但追求绝对最小噪声可能会使研究的收益递减。设计人员如何知道电源的噪声性能是否足够? 首先要量化器件的灵敏度, 使电源频谱输出与该电源域要求匹配。知识就是力量: 通过避免过度设计来节约设计时间, 对设计会有很大的帮助。

本文概述如何量化信号处理链中负载的电源噪声灵敏度以及如何计算最大可接受电源噪声。还会讨论测量设置。最后, 我们将讨论一些满足电源域灵敏度和现实电源噪声需求的策略。本系列的后续文章将深入详细探讨如何优化ADC、DAC和RF收发器的配电网络(PDN)。

## 了解并量化信号处理负载对电源噪声的灵敏度

电源优化的第一步是研究分析模拟信号处理器件对电源噪声的真正灵敏度。其中包括了解电源噪声对关键动态性能规格的影响, 以及电源噪声灵敏度的表征——即, 电源调制比(PSMR)和电源抑制比(PSRR)。

PSMR和PSRR表明是否具有好的电源抑制特性, 但仅凭它们并不足以确定纹波应有多低。本文介绍如何利用PSMR和PSRR确定

纹波容限阈值或最大允许电源噪声。只有确定与电源频谱输出相匹配的阈值才可能实现优化电源系统设计。如果确保电源噪声低于其最大规格值, 则优化电源不会降低每个模拟信号处理器件的动态性能。

## 电源噪声对模拟信号处理器件的影响

应了解电源噪声对模拟信号处理器件的影响。这些影响可通过三个测量参数进行量化:

- ▶ 无杂散动态范围(SFDR)
- ▶ 信噪比(SNR)
- ▶ 相位噪声(PN)

了解电源噪声对这些参数的影响是优化电源噪声规格的第一步。

## 无杂散动态范围(SFDR)

电源噪声可耦合到任何模拟信号处理系统的载波信号中。电源噪声的影响取决于其相对于频域中载波信号的强度。一种测量方法是SFDR, 它代表能与大干扰信号区分开来的最小信号——具体来讲, 就是载波信号的幅度与最高杂散信号幅度的比值, 不管它在频谱的哪个位置, 都得出下式:

$$SFDR = 20 \times \log \left[ \frac{\text{载波信号}}{\text{杂散信号}} \right] \quad (1)$$

SFDR = 无杂散动态范围(dB)

载波信号 = 载波信号幅度的均方根值 (峰值或满量程)

杂散信号 = 频谱中最高杂散幅度的均方根值

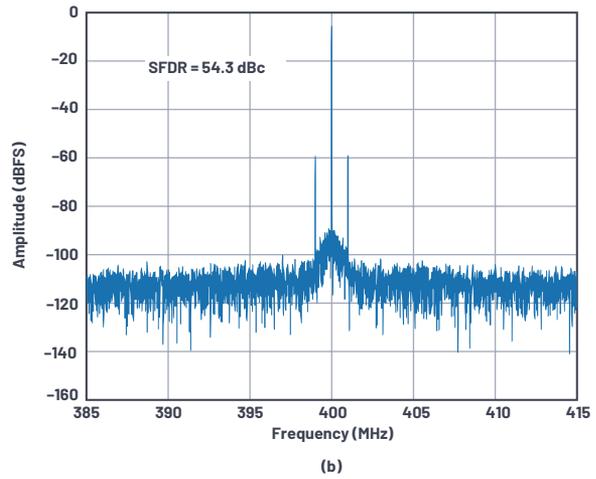
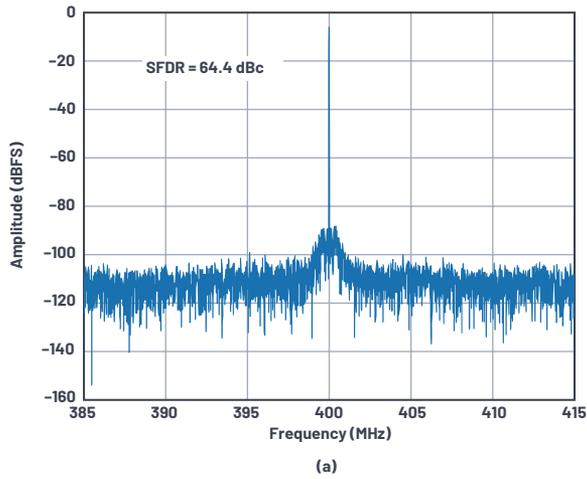


图1. 使用(a)干净电源和(b)噪声电源两种情况下，AD9208高速ADC的SFDR。

SFDR可以相对于满量程(dBFS)或载波信号(dBc)来指定。电源纹波耦合到载波信号可产生干扰杂散信号，这会降低SFDR。图1比较了采用干净电源和噪声电源供电两种情况下，AD9208高速ADC的SFDR性能。在这种情况下，当1MHz电源纹波作为调制杂散出现在ADC的快速傅立叶变换(FFT)频谱输出的载波频率附近时，电源噪声会使SFDR降低约10 dB。

### 信噪比(SNR)

SFDR取决于频谱中的最高杂散，而SNR则取决于频谱内的总噪声。SNR限制模拟信号处理系统识别低振幅信号的能力，并且理论上受系统中转换器分辨率的限制。SNR在数学上定义为载波信号电平与所有噪声频谱分量（前五次谐波和直流除外）之和的比值，其中：

$$SNR = 20 \times \log \left[ \frac{\text{载波信号}}{\text{杂散信号}} \right] \quad (2)$$

SNR = 信噪比(dB)

载波信号 = 载波信号的均方根值（峰值或满量程）

频谱噪声 = 除前五次谐波之外的所有噪声频谱分量的均方根和

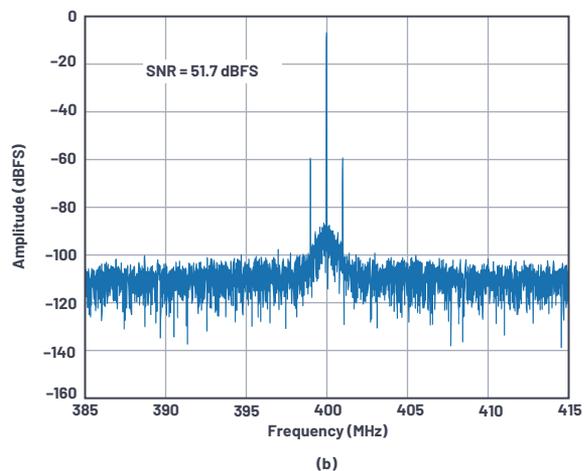
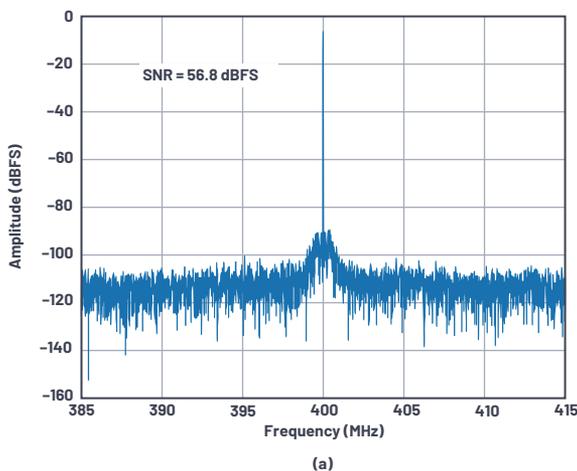


图2. 使用(a)干净电源和(b)噪声电源两种情况下，AD9208高速ADC的SNR。

噪声电源通过在载波信号中耦合并在输出频谱中添加噪声频谱分量，可降低SNR。如图2所示，当1MHz电源纹波在FFT输出频谱中产生频谱噪声分量时，AD9208高速ADC的SNR从56.8 dBFS降低到51.7 dBFS。

### 相位噪声(PN)

相位噪声是衡量信号频率稳定性的参数。理想情况下，振荡器应能够在一定时间段内产生一组特定的稳定频率。但是在现实世界中，信号中总是存在一些小的干扰幅度和相位波动。这些相位波动或抖动分布在频谱中的信号两侧。

相位噪声可采用多种方式定义。在本文中，相位噪声定义为单边带(SSB)相位噪声，这是一种常用定义，其使用载波信号偏移频率的功率密度与载波信号总功率的比值，其中：

$$SSB PN = 10 \times \log \left[ \frac{\text{边带功率密度}}{\text{载波功率}} \right] \quad (3)$$

SSB PN = 单边带相位噪声(dBc/Hz)

边带功率密度 = 载波信号偏移频率下每1Hz带宽的噪声功率(W/Hz)

载波功率 = 总载波功率(W)

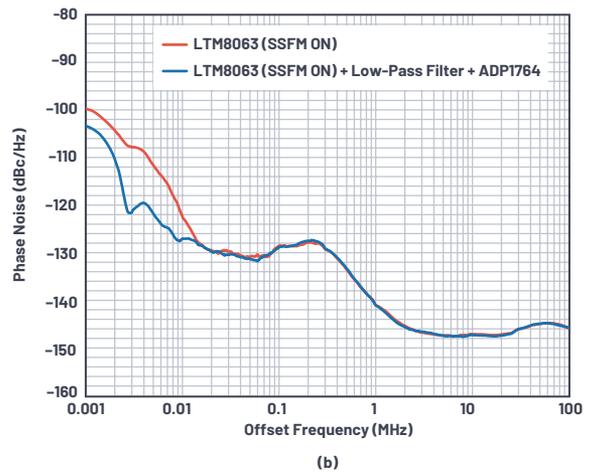
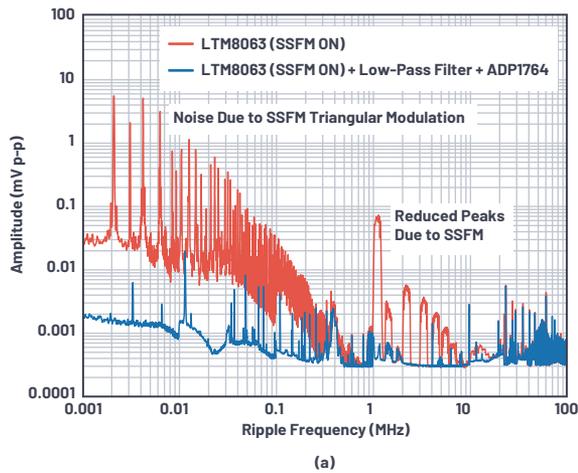


图3.(a) 输出噪声量有显著差异的两个不同电源。(b) 分别由这两个电源供电时, ADRV9009产生的相位噪声性能。

对于模拟信号处理器件, 通过时钟电源电压耦合到器件时钟中的电压噪声会产生相位噪声, 进而影响内部本振(L0)的频率稳定性。这扩大了频谱中L0频率的范围, 增加了与载波相对应的偏移频率下的功率密度, 从而增加了相位噪声。

图3比较了由两个不同电源供电时ADRV9009收发器的相位噪声性能。图3a显示两个电源的噪声频谱, 图3b显示产生的相位噪声。两个电源都基于采用展频(SSFM)的LTM8063 μModule®稳压器。SSFM的优势在于, 通过将基频分布在一定范围内, 可改善转换器的基波开关频率及其谐波的噪声性能。从图3a中可以看出这一点——注意在1 MHz及其谐波处具有相对较宽的噪声峰值。需要权衡考量的一点是, SSFM的三角波调制频率会产生低于100 kHz的噪声——注意峰值从2 kHz左右开始。

备用电源添加一个低通滤波器以抑制高于1 MHz的噪声, 添加一个ADP1764低压差(LDO)后置稳压器以减少整体本底噪声, 特别是低于10 kHz的噪声(主要是SSFM产生的噪声)。由于额外滤波, 整体电源噪声获得改善, 从而增强了10 kHz偏移频率以下的相位噪声性能, 如图3b所示。

## 模拟信号处理器件的电源噪声灵敏度

负载对电源纹波的灵敏度可以通过两个参数来量化:

- ▶ 电源抑制比(PSRR)
- ▶ 电源调制比(PSMR)

### 电源抑制比(PSRR)

PSRR表示器件在一定频率范围内衰减电源引脚噪声的能力。通常, 有两种类型的PSRR: 静态(直流)PSRR和动态(交流)PSRR。直流PSRR用于衡量直流电源电压变化引起的输出失调变化。这一点几乎无需关注, 因为电源系统应该会为负载提供稳定调节的直流电压。另一方面, 交流PSRR表示器件在一定频率范围内抑制直流电源中交流信号的能力。

交流PSRR通过在器件的电源引脚注入正弦波信号, 并观察在注入频率下出现在数据转换器/收发器输出频谱本底噪声上的误差杂散来确定(图4)。交流PSRR定义为测得的注入信号幅度与输出频谱上相应的误差杂散幅度之比, 其中:

$$AC_{PSRR}(dB) = 20 \log \left[ \frac{\text{注入纹波}}{\text{误差杂散}} \right] \quad (4)$$

误差杂散 = 注入纹波引起的输出频谱中的杂散幅度

注入纹波 = 在输入电源引脚处耦合并测量的正弦波幅度

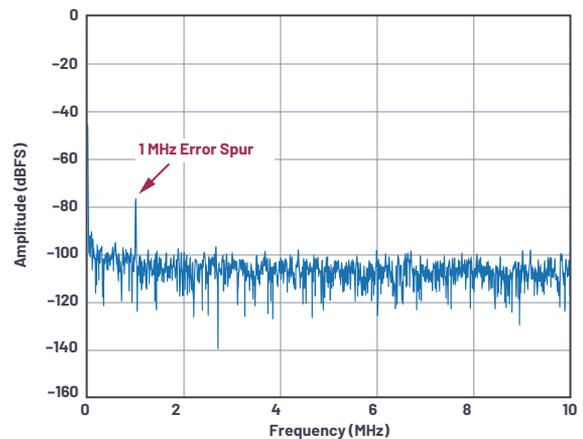


图4. 电源纹波引起的模拟信号处理器件输出频谱中的误差杂散。

图5所示为典型PSRR设置的方框图。以AD9213 10 GSPS高速ADC为例, 在1.0 V模拟电源轨上有源耦合1 MHz、13.3 mV峰峰值正弦波。在ADC的-108 dBFS FFT频谱本底噪声之上出现相应的1 MHz数字化杂散。1 MHz数字化杂散为-81 dBFS, 对应的峰峰值电压为124.8 μV, 参考1.4 V峰峰值的模拟输入满量程范围。使用公式4计算1 MHz的交流PSRR, 得到1 MHz的交流PSRR为40.5 dB。图6显示了AD9213 1.0 V AVDD轨的交流PSRR。

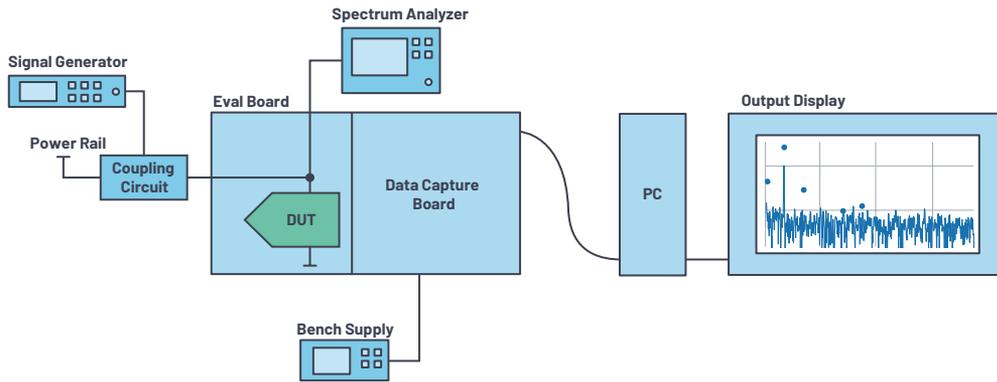


图5. PSRR/PSMR测试设置的简化方框图。

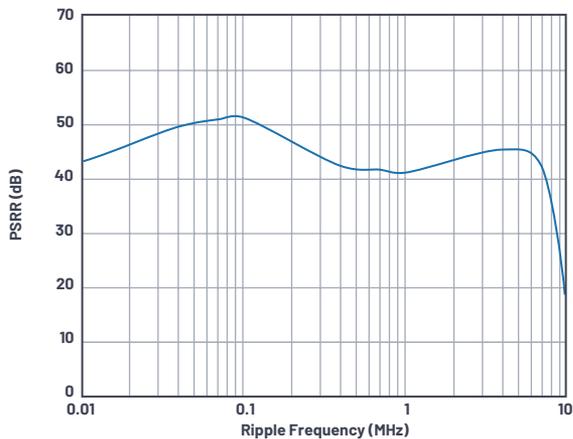


图6. 1.0 V AVDD轨的AD9213高速ADC交流PSRR。

### 电源调制比(PSMR)

PSMR对模拟信号处理器件的影响与PSRR不同。PSMR表示使用RF载波信号进行调制时，器件对电源噪声的灵敏度。这种效应可以看作是施加于器件的载波频率周围的调制杂散，表现为载波边带。

电源调制通过使用线路注入器/耦合电路将输入纹波信号与干净的直流电压相结合来实现。电源纹波作为正弦波信号从信号发生器注入电源引脚。调制到RF载波的正弦波产生边带杂散，其偏移频率等于正弦波频率。杂散水平受正弦波幅度和器件灵敏度的影响。简化的PSMR测试设置与PSRR的相同，如图5所示，但输出主要显示载波频率及其边带杂散，如图7所示。PSMR定义为电源注入纹波幅度与载波周围调制边带杂散幅度的比值，其中：

$$PSMR(dB) = 20 \log \left[ \frac{\text{注入纹波}}{\text{调制杂散}} \right] \quad (5)$$

调制杂散 = 注入纹波引起的载波频率边带杂散幅度

注入纹波 = 在输入电源引脚处耦合并测量的正弦波幅度

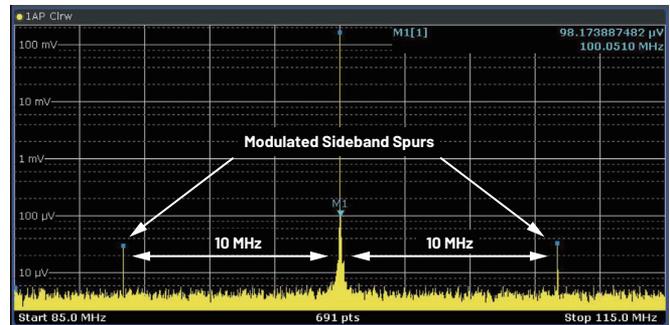


图7. 电源纹波引起的载波信号中的调制边带杂散。

假设AD9175 12.6 GSPS高速DAC在100 MHz载波下工作，在1.0 V AVDD轨上有源耦合约3.05 mV峰峰值的10 MHz电源纹波。载波信号的边带中出现相应的24.6 μV峰峰值调制杂散，偏移频率等于约10 MHz的电源纹波频率。使用公式5计算10 MHz的PSMR，得到41.9 dB。图8显示通道DACO在各种载波频率下的AD9175 1.0V AVDD轨PSMR。

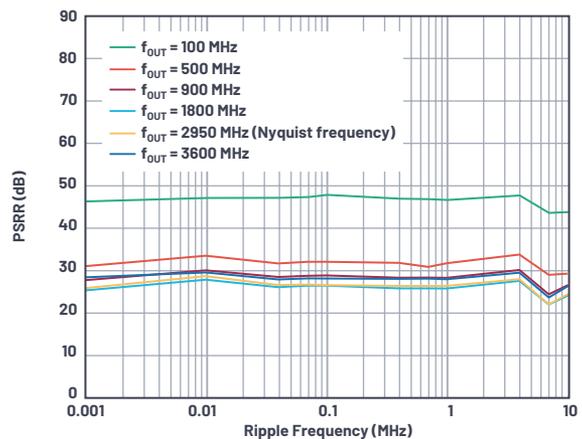


图8. 1.0 V AVDD轨（通道DACO）的AD9175高速DAC PSMR。

## 确定最大允许电源纹波

PSMR可与受电器件的基准阈值相结合，用于确定模拟信号处理器件的每个电源域的最大允许电压纹波。基准阈值本身可以是几个值之一，代表器件可容忍而不会显著影响其动态性能的允许杂散电平（由电源纹波引起）。此杂散电平可以是无杂散动态范围(SFDR)，最低有效位(LSB)的百分比或输出频谱本底噪声。公式6显示最大允许输入纹波( $V_{R\_MAX}$ )与PSMR和各器件测得的本底噪声呈函数关系，其中：

$$V_{R\_MAX} = \left[ 10^{\frac{PSMR}{20}} \right] \times \text{阈值} \quad (6)$$

$V_{R\_MAX}$  = 在输出频谱本底噪声中产生杂散之前各个电源轨上的最大允许电压纹波

PSMR = 目标电源轨的噪声灵敏度(dB)

阈值 = 预定义的基准阈值（本文中为输出频谱本底噪声）

例如，AD9175的输出频谱本底噪声约为1  $\mu$ V峰峰值。1800 MHz载波在10 MHz纹波下的PSMR约为20.9 dB。使用公式6，器件电源引脚中可容忍而不会降低其动态性能的最大允许纹波为11.1  $\mu$ V峰峰值。

图9显示LT8650S降压型Silent Switcher® 稳压器（带和不带输出LC滤波器）的频谱输出和AD9175 1.0 V AVDD轨的最大允许纹波的组合结果。稳压器频谱输出包含基频开关频率及其谐波处的杂散。直接为AD9175供电的LT8650S产生超过最大允许阈值的基频，导致在输出频谱中产生调制边带杂散，如图10所示。只需添加一个LC滤波器就可以将开关杂散降至最大允许纹波以下，如图11所示。

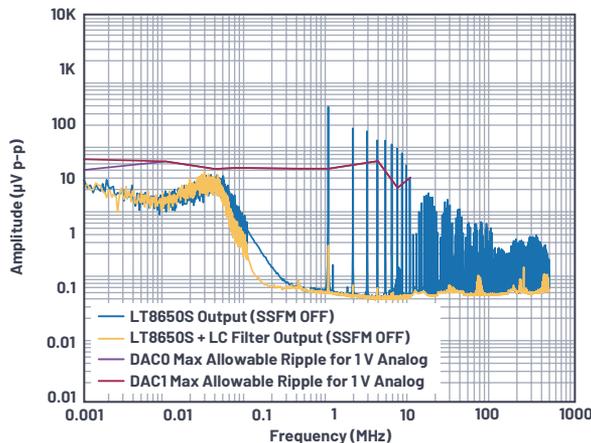


图9. LT8650S在1.0 V AVDD轨上的电源频谱输出和最大允许电压纹波的关系。

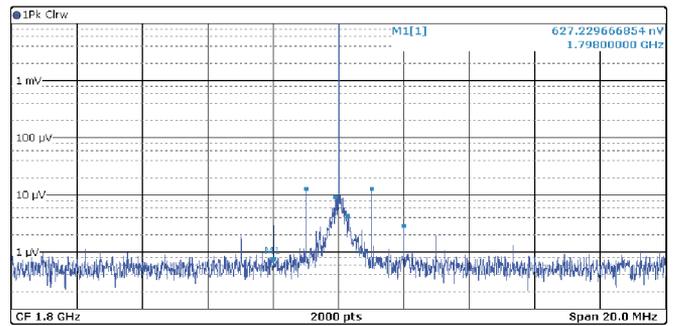


图10. AD9175 DAC在1800 MHz载波频率下的输出频谱（使用LT8650S DC-DC Silent Switcher转换器直接输出到AVDD轨）。

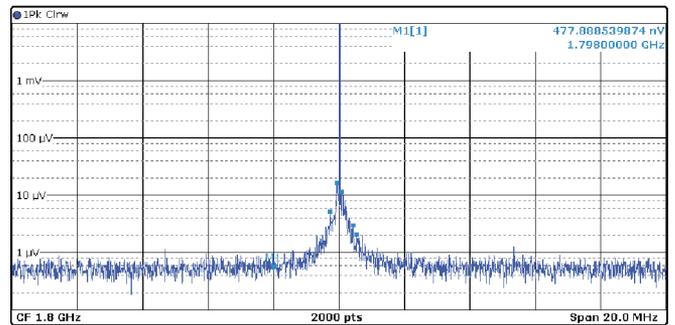


图11. AD9175 DAC在1800 MHz载波频率下的输出频谱（使用带LC滤波器电源的LT8650S）。

## 结论

高速模拟信号处理器件出色的动态性能很容易被电源噪声削弱。为了避免系统性能下降，必须充分了解信号链对电源噪声的灵敏度。这可通过设定最大允许纹波来确定，最大允许纹波对于配电网(PDN)设计至关重要。知道最大允许纹波阈值后，就可以采用各种方法来设计优化电源。如果最大允许纹波具有良好的裕度，则PDN不会降低高速模拟信号处理器件的动态性能。

## 参考资料

- Delos, Peter, “电源调制比揭秘：PSMR与PSRR有何不同？” ADI公司，2018年12月。
- Delos, Peter和Jarrett Liner, “改进的DAC相位噪声测量支持超低相位噪声DDS应用。” 模拟对话，第51卷第3期，2017年8月。
- “数据转换基本指南。” ADI公司
- Umesh Jayamohan, “为GPS或RF采样ADC供电：开关与LDO”，ADI公司，2015年11月。
- Limjoco, Aldrick、Patrick Errgy Pasaquian和Jefferson Eco, “Silent Switcher  $\mu$ Module稳压器为GPS采样ADC提供低噪声供电，并节省一半空间。” ADI公司，2018年10月。
- Naeem、Naveed和Samantha Fontaine, “带内部旁路电容的数据采集 $\mu$ Module器件的PSRR特性表征。” 模拟对话，第54卷第3期，2020年7月。



## 作者简介

Pablo Perez Jr.于2019年5月加入ADI公司，担任ADEF高级应用工程师。他的工作经验包括修改和评估不同应用领域（工业、电信、医疗、军事）的标准开关模式电源，以及线性稳压器、开关稳压器和电源管理IC的设计验证和样本评估。Pablo毕业于菲律宾奎松省卢塞纳市的Manuel S. Enverga University Foundation, Inc.，获得电子与通信工程学士学位。联系方式：[pablo.perezjr@analog.com](mailto:pablo.perezjr@analog.com)。



## 作者简介

Patrick Errgy Pasaquian已在ADI公司工作七年。他于2014年加入ADI，目前担任航空航天和防务(ADEF)电源系统部电源应用工程师。他曾担任过应用开发、设计评估、ADEF信号链连接电源和EngineerZone及Who's Who的客户支持等工程职务。他撰写过多篇论文并在ADI综合技术大会(GTC)、亚洲技术研讨会(ATS)和ADI菲律宾技术研讨会(ADTS)上展示了多个项目。他毕业于菲律宾伊洛里奥市菲律宾中部大学，获电子工程学士学位。联系方式：[patrick.pasaquian@analog.com](mailto:patrick.pasaquian@analog.com)。

