

低功耗精密信号链应用 最重要的时序因素有哪些？ 第一部分

Padraic O'Reilly，产品应用工程师

摘要

本文介绍低功耗系统在降低功耗的同时保持精度所涉及的时序因素和解决方案，以满足测量和监控应用的要求。本文分析了模拟前端时序、ADC时序和数字接口时序。本文还给出了分析控制评估(ACE)时序工具的示例，这些工具旨在帮助系统设计人员和软件工程师可视化对测量时序的影响或设置。第一部分首先概述两种主要类型的ADC，主要关注 $\Sigma\Delta$ 架构。第二部分介绍与SAR ADC架构相关的考虑因素。

引言

“时间至关重要”——这个古老的惯用语可以应用于任何领域，但当应用于现实世界信号的采样时，它是我们工程学科的支柱。当尝试降低功耗、实现时序目标并满足性能要求时，必须考虑测量信号链选择何种ADC架构类型： $\Sigma\Delta$ 还是逐次逼近寄存器(SAR)。一旦选择了特定架构，系统设计人员便可创建所需的电路以获得必要的系统性能。此时，设计人员需要考虑其低功耗精密信号链的最重要时序因素。

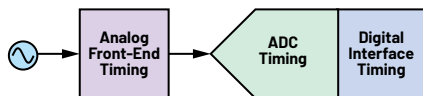


图1. 信号链时序考量

需要高速度：低功耗信号链选择SAR型还是 $\Sigma\Delta$ 型？

我们将重点关注测量带宽低于10 kHz的精密低功耗测量和信号（例如温度、压力和流量）（更多信息参见[精密低功耗](#)），不过本文涉及的很多主题也可应用于带宽更宽的测量系统。

过去，当探索低功耗系统时，设计人员会选择 $\Sigma\Delta$ ADC来实现对缓慢移动信号的较高精度测量。SAR被认为更适用于需要转换较多通道的高速测量，但新型SAR（如[AD4630-24](#)）正在进入传统上使用 $\Sigma\Delta$ ADC的高精度领域，因此以上说法并不是硬性规定。关于ADC架构的实际例子，我们来看两款低功耗产品并考虑与ADC信号链架构相关的时序：[AD4130-8](#) $\Sigma\Delta$ ADC和[AD4696](#) SAR ADC，如表1所示。

表1. 超低功耗ADC

	AD4130-8	AD4696
架构	$\Sigma\Delta$ ADC	SAR ADC
通道	16	16
分辨率	24位	16位
最大速度	2.4 kSPS	1 MSPS
电流消耗	转换：2.4 kSPS时为32 μ A 待机：0.5 μ A	转换：10 kSPS时为58 μ A 待机：2 μ A
低功耗特性	占空比FIFO	双SDO自动循环

采样频率抑或输出数据速率？

SAR转换器对输入进行采样，在已知时间点捕获信号电平。初始采样（和保持）阶段之后是转换阶段。获取结果所需的时间很大程度上取决于采样频率。

$\Sigma\Delta$ 转换器以调制器频率进行采样。调制器会过采样，采样速率远高于输入信号的奈奎斯特频率。额外的频率跨度使得噪声可以被转移到更高频率。然后，ADC对调制器输出使用一种称为“抽取”的处理，通过降低采样速率来换取更高的精度。它是通过数字低通滤波器完成的，相当于时域中的平均操作。

不同技术获取转换结果的方式有所不同，SAR产品文档使用的概念是采样频率(f_{SAMPLE})，而 $\Sigma\Delta$ 产品的数据手册使用输出数据速率(ODR)。当相对于时间详细讨论这些架构时，我们会引导读者区分二者。

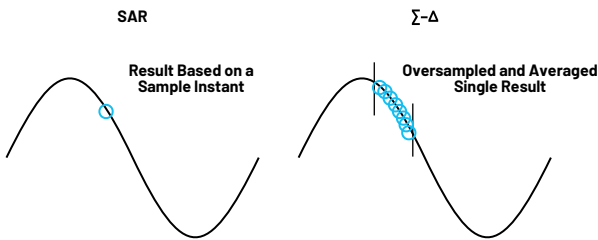


图2. SAR (f_{SAMPLE})与 $\Sigma\Delta$ (ODR)的比较

对于在多个通道上执行一次转换的多路复用ADC，在所有通道上执行转换所需的时间（包括建立时间等）称为吞吐速率。

信号链的第一个时序考虑因素是偏置/激励传感器和信号链上电所需的时间。电压和电流源需要开启，传感器需要偏置，启动时间规格需要考虑。例如，对于基准电压引脚上的特定负载电容，AD4130-8片内基准电压源的开启建立时间为280 μs 。片内偏置电压（可用于激励传感器）具有每nF 3.7 μs 的启动时间，但这取决于连接到模拟输入引脚的电容量。

在研究了信号链中的上电时间之后，我们需要了解与ADC架构相关的时序考量。在本文的下一部分，我们首先将重点介绍超低

功耗应用中以 $\Sigma\Delta$ ADC为核心的测量信号链，以及与此类ADC相关的重要时序考虑因素。SAR和 $\Sigma\Delta$ 信号链在影响时序的方面有一些重叠，例如运用技术以使微控制器交互时间最小化，从而实现系统级功耗改进。这些将在后续讨论SAR ADC信号链时突出说明。

使用 $\Sigma\Delta$ ADC时的信号链时序考量

如果选择的ADC是 $\Sigma\Delta$ 型而非SAR型，则需要考虑一组特定的时序因素。查看信号链时，需要探索的主要方面是模拟前端时序、ADC时序和数字接口时序，如图1所示。

模拟前端时序考量

我们将分别探讨这三个模块，从模拟前端(AFE)开始。AFE可能因设计类型而异，但有一些共同方面适用于大多数电路。

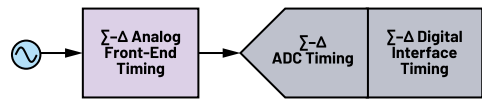


图3. AFE $\Sigma\Delta$ 时序考量

AD4130-8是精密低功耗信号链产品组的一部分，经过专门设计，具有丰富的特性组合，可在降低功耗的同时实现高性能。其中一些特性包括片上FIFO、智能通道时序控制器和占空比控制。

AD4130-8是ADI公司的超低功耗 $\Sigma\Delta$ ADC。考虑其片内包含许多关键信号链构建模块，例如片内基准电压源、可编程增益放大器(PGA)、多路复用器、传感器激励电流或传感器偏置电压等，超低电流令人印象深刻。

此器件的AFE包括一个片内PGA，其使模拟输入电流最小化，从而无需外部放大器来驱动输入。过采样之后的数字滤波器确保带宽主要由数字滤波器控制。AD4130-8提供多个片内sinc3和sinc4滤波器，另外还有用于抑制50 Hz和60 Hz噪声的滤波器。sinc3和sinc4数字滤波器需要外部抗混叠滤波器作为补充。该抗混叠滤波器的作用是限制输入信号的带宽量。这是为了确保噪声（例如变化率为调制器频率 f_{MOD} 的噪声）不会混叠到通带和转换结果中。

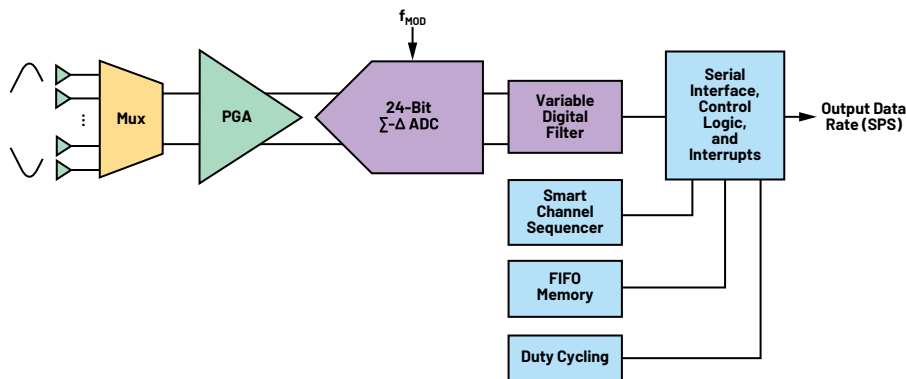


图4. AD4130 $\Sigma\Delta$ 简化系统模块

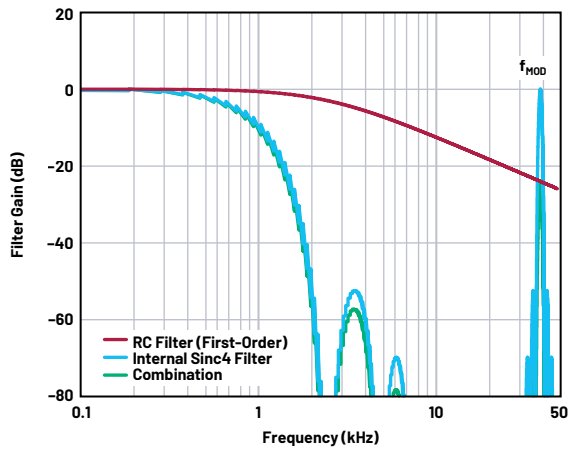


图5. 外部和内部组合滤波的仿真

抗混叠滤波器

可以使用更高阶的抗混叠滤波器，但通常使用一阶、单极点、低通滤波器来满足要求。滤波器基于对目标信号的采样进行设计，式1决定滤波器的3 dB带宽：

$$f_{3\text{ dB}} = \frac{1}{2 \times \pi \times RC} \quad (1)$$

选择电容值和电阻值时，较高电阻值更可取，但可能会增加噪声，而较低电容值存在一个限值，达到该限值之后，引脚电容与外部电容之比就变成相关因素。

根据此电容上可以看到的最大电压阶跃确定电路充电所需的时间非常重要。

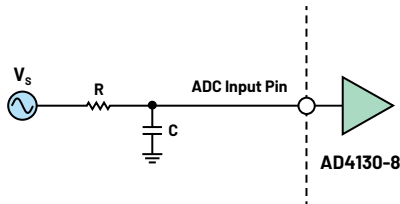


图6. 一阶低通抗混叠滤波器

电容上的电压将随时间变化，变化率为

$$V_C = V_S \left(1 - e^{-\frac{t}{RC}} \right) \quad (2)$$

V_C = 某个时间点电容两端的电压

V_S = 施加的电源电压

t = 时间

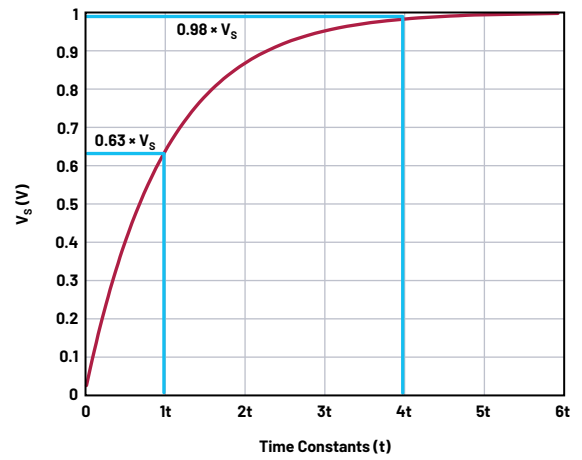


图7. 响应1 V满量程阶跃变化的一阶低通滤波器建立时间

上电时，阶跃大小 V_S 可能等于ADC的整个输入电压范围（ $\pm V_{REF}/\text{增益}$ ）。

图7显示，经过4个时间常数($\tau = R \times C$)后，信号已达到 $0.98 \times V_S$ 。所需的时间常数数目可通过计算阶跃大小 V_S 之比的自然对数来获得。

$$N_T = \ln \left(\frac{V_S}{V_{\text{HALF_LSB}}} \right) \quad (3)$$

N_T 为需要等待的时间常数数目，在此时间内输入建立至ADC输入电压范围的1 LSB的一半($V_{\text{HALF_LSB}}$)以内。上式中的 $V_{\text{HALF_LSB}}$ 可以根据需要的电压精度代入适当的数值。如果系统设计人员希望分辨率在半个LSB内，则对于具有N位分辨率且内部PGA增益为1的双极性输入ADC，这将是：

$$V_{\text{HALF_LSB}} = \left(\frac{2 \times V_{\text{REF}}/\text{Gain}}{2^N + 1} \right) \quad (4)$$

得到实际输入电压所需的时间 t_{ACQ} 等于时间常数数目乘以 τ ， τ 等于 RC ：

$$t_{ACQ} = \tau \times N_T \quad (5)$$

传统上，当在多路复用ADC的通道之间切换时，通道之间的大电压摆幅（一个通道处于负满量程，下一个通道处于正满量程）将需要类似的计算。AD4130-8解决此问题的办法是实现一个低功耗片内预充电缓冲器，该缓冲器在切换通道时开启。这就确保了在最快数据速率时，切换通道后的第一次转换将能正确进行。该器件还有一个片内PGA，其目的是实现完整的共模输入范围，这就为系统设计人员提供了更大的裕量，以应对变化范围更宽的共模电压。这对于测量信号很有用，但在最坏情况下，一个通道可能处于负满量程，而下一个通道可能处于正满量程。

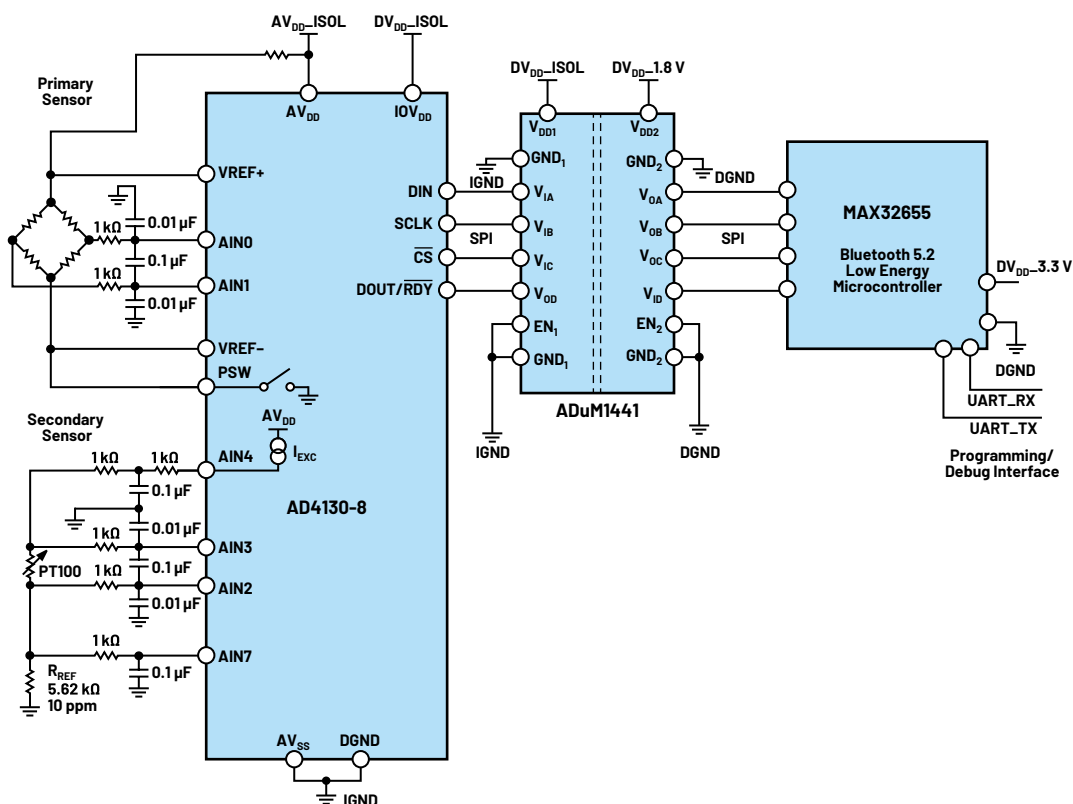


图8. 带低通滤波器的隔离式AD4130-8电路

示例：模拟前端低通滤波器

图8中的示例显示了一个惠斯通电桥传感器，其-3 dB滤波适用于16 kHz以下的24位ADC。

$R = 1\text{ k}\Omega$, $C = 0.01\text{ }\mu\text{F}$, $V_{\text{REF}} = 2.5\text{ V}$, PGA增益设置为1;

图8中的单端滤波器显示主传感器 $R = 1\text{ k}\Omega$ 且 $C = 0.01\text{ }\mu\text{F}$;

$$\tau = 10\text{ }\mu\text{s} \quad (6)$$

图8中的差分信号滤波器显示主传感器 $R = 1\text{ k}\Omega$ 且 $C = 0.1\text{ }\mu\text{F}$ 。有关公式的更多信息，请参阅[MT-070](#);

$$\begin{aligned} \tau &= 50\text{ }\mu\text{s} \quad (1\text{ k}\Omega \times 0.1\text{ }\mu\text{F}/2) \\ V_{\text{HALF_LSB}} &= 298\text{ nV} \end{aligned} \quad (7)$$

差分传感器时间常数在单端值中占主导地位，因此它将决定整个系统的计算:

$$\begin{aligned} N_T &= 16\tau \quad (\text{if } V_{\text{STEP}} = 5\text{ V}) \\ t_{\text{ACQ}} &= 0.8\text{ ms} \end{aligned} \quad (8)$$

这是上电时系统设计人员需要为滤波器留出的时间，以便其先在外建立，再收集样本。这可以在数字域中通过丢弃样本来完成，或者可以延迟采样时刻以顾及充电。

设计滤波器时，电阻和电容值可能与前面显示的不同。系统设计人员可以使用LTspice®将滤波器与AD4130-8一起建模。LTspice还可用于对系统或信号链进行建模，如图9所示：通过改变R2来模拟RTD行为。

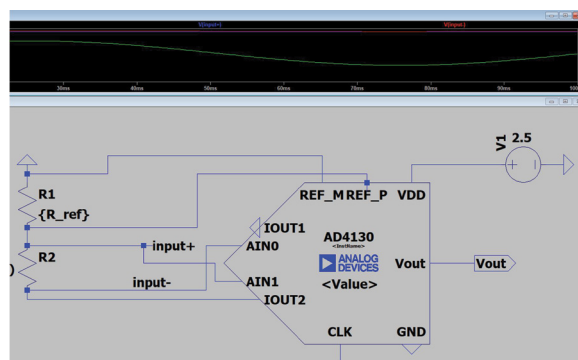


图9. LTspice中的RTD (R2)电路仿真

ADC时序考虑因素

回想一下输出数据速率与 $\Sigma\Delta$ ADC时序的关系，现在我们来探讨与此类ADC相关的内部时序。

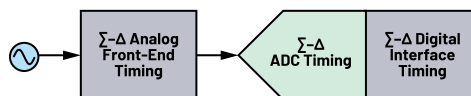


图10. $\Sigma\Delta$ ADC时序考虑因素

此类转换器使用低分辨率（1位）ADC以高采样速率将模拟信号数字化。将过采样技术与噪声整形和数字滤波结合使用，可以提高有效分辨率。

通过SPI接口写入数字寄存器，用户可以控制AD4130-8的过采样和抽取率。调制器采样速率(f_{MOD})是固定的。FS值实质上改变了数字滤波器得出结果所使用的样本数（对于AD4130-8，增量为16）。改变FS字会改变每个ADC结果的过采样调制时钟周期数。

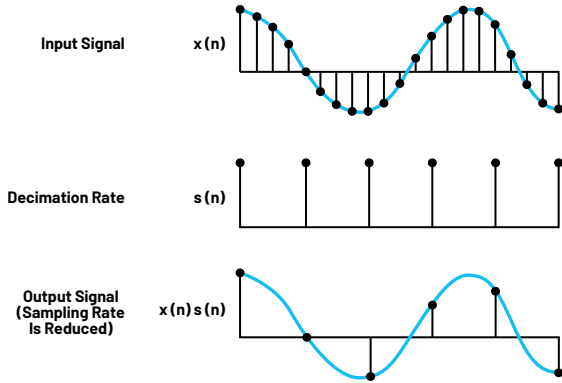


图11. 抽取

抽取会降低ADC输出的有效采样速率，从而实现更高的精度。抽取可以被视为一种去除过采样过程引入的冗余信号信息的方法。使用的抽取越多（数字滤波器计算中包含的样本越多），所述数字滤波器实现的精度越高，但输出数据速率会越慢。

$$f_{ADC} = \frac{f_{MOD}}{16 \times FS} \quad (9)$$

其中:

f_{ADC} 为输出数据速率

f_{MOD} 为主时钟频率

FS为用于控制抽取率的乘数

滤波器延迟

当使能多个通道时，数据手册中的输出数据速率或ODR(f_{ADC})与数据吞吐速率之间的联系更加复杂。这是因为切换通道时数字滤波器存在延迟。数字滤波器建立所需的时间取决于sinc滤波器类型。图12显示，sinc3滤波器的第一次转换需要三个转换周期，直至达到模拟输入的数字等效值。sinc4滤波器的第一次转换需要四个转换周期。 t_{SETTLE} 是考虑多路复用器切换的用户可编程建立时间。滤波器阶数越高，噪声越低，但缺点是滤波器建立所需的转换周期数会越多。

数字接口时序考量

为了帮助理解AD4130等 Σ - Δ ADC的数字接口时序，ADI软件工具ACE提供了一个模型。时序工具是ACE软件中集成的多个软件工具的一部分。我们可以通过时序控制器时序图和FIFO时序图来帮助理解这些配置。

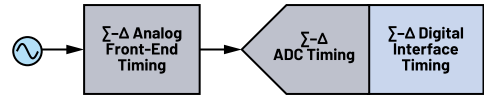


图13. AFE Σ - Δ 数字接口时序考虑因素

AD4130-8时序控制器允许不同的输入通道具有不同的数字滤波器和建立配置以及时序。时序工具简化了数据何时可以读取的计算过程。

当使能多个通道时，用户不应错误地读取已建立的通道ODR并除以使能的通道数来计算吞吐速率，因为这没有考虑数字滤波器延迟。计算吞吐速率（有效ODR与数据手册ODR）时，应考虑滤波器延迟。当使能多个通道时，需要计算初始建立时间(t_{SETTLE})以及内部转换周期数($t_{1st_CNV_IDEAL}$)，如图14所示。

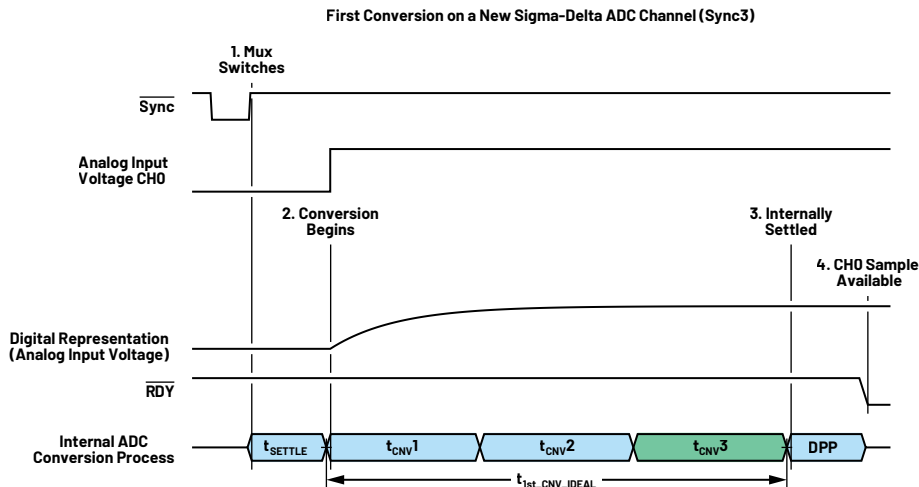


图12. 滤波器延迟

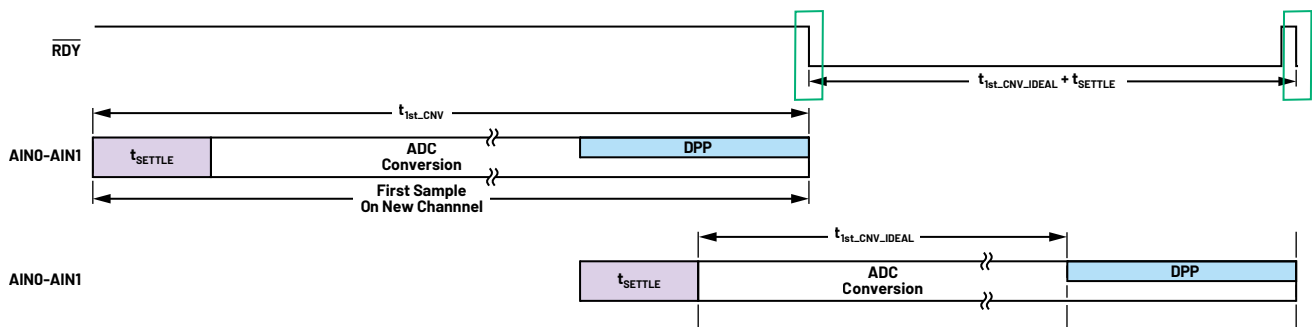


图14. 包括滤波器延迟的第一次转换的输出数据速率

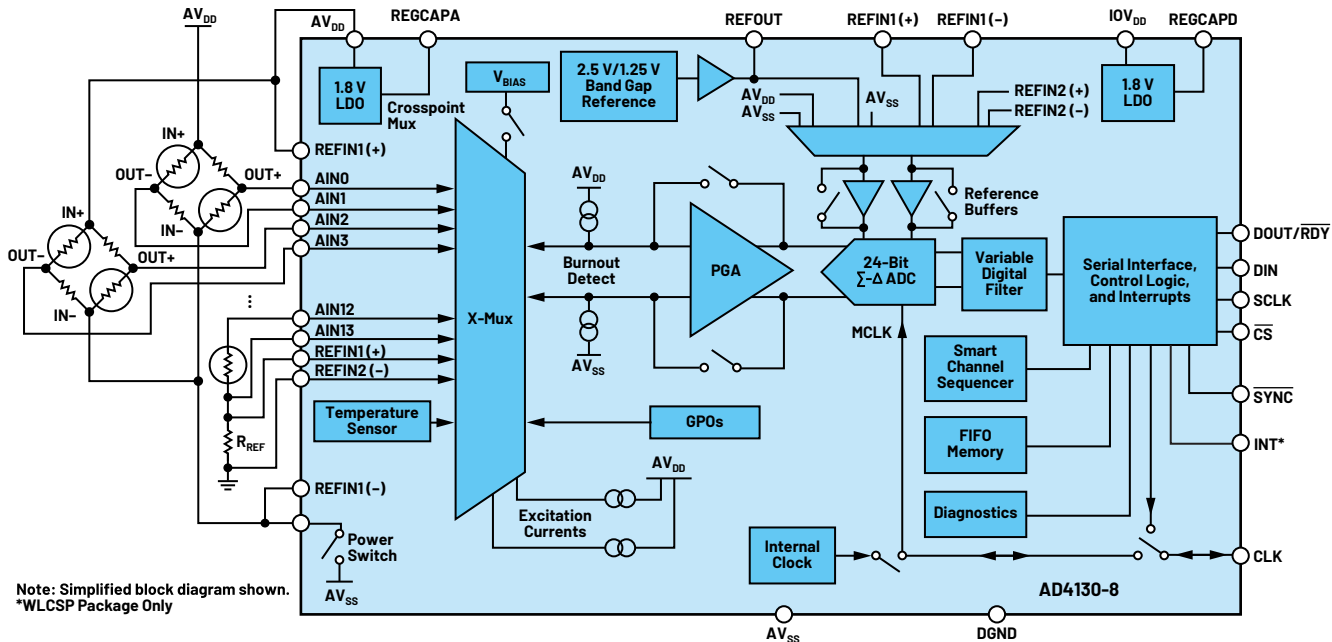


图15. 简化的压力传感器系统框图

如果所有通道都具有相同的滤波器和建立配置，并且任何通道上都没有重复转换，则系统的吞吐速率为：

$$\text{Throughput Rate} = \frac{1}{(t_{1st_CNV_IDEAL} + t_{SETTLE})} \div CHs \quad (10)$$

(SPS)

其中

CHs = 使能的通道数

$t_{1st_CNV_IDEAL}$ = 包括滤波器延迟的转换时间

t_{SETTLE} = 数字控制的时序参数，可以延长，但有一个最小可编程时间以顾及多路复用器的建立

吞吐速率可以通过1CNV_ODR时间的总和来计算，该时间总和就是图14中绿色方块之间的时间。

$$t_{1CNV_ODR} = t_{1st_CNV_IDEAL} + t_{SETTLE}$$

$$\text{Throughput Rate} = \frac{1}{(\sum t_{1CNV_ODR})} \quad (11)$$

(SPS)

示例：压力传感器信号链时序

假设要设计一个系统，它有多压力传感器（以图15中的压力传感器为代表），并伴有一个温度传感器：

问题A：系统中相对于每个AD4130-8可以部署多少个压力传感器？

问题B：如果压力传感器的电压输出范围为3 mV/V，那么预期分辨率是多少？

问题C：如果工厂中的一条生产线需要至少14位的有效分辨率来满足系统的动态范围需求，那么该系统由多少个称重传感器构成？

A部分

第1步：选择增益

$AV_{DD} = 1.8 \text{ V}$ 。 REF_{IN+} 至 $REF_{IN-} = 1.8 \text{ V}$

3 mV/V称重传感器的1.8 V激励将导致每个称重传感器的最大输出为5.4 mV。

PGA的最大增益 = 128。

ADC输入端的电压为 $5.4 \text{ mV} \times 128 = 0.7 \text{ V}$ ，完全在1.8 V范围内。128倍的PGA增益是要使用的正确增益。

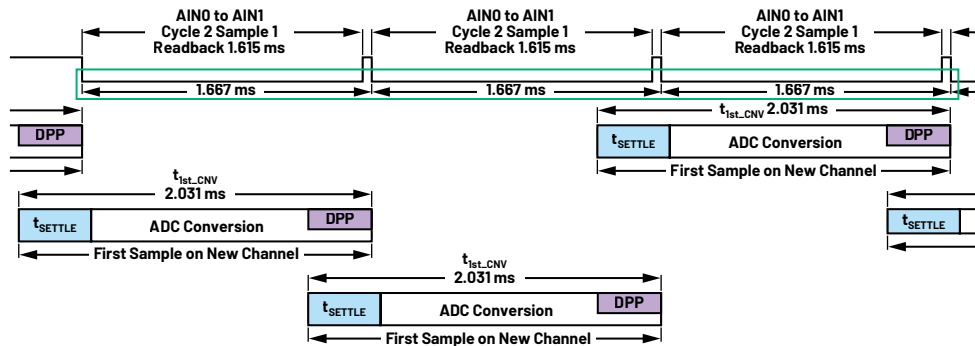


图16. 使用时序工具计算 $t_{1st.CNV_ODR}$ 的总和

Table 35. Effective Resolution (Peak-to-Peak Resolution) vs. Gain and Output Data Rate, Expressed in Bits

FS (Dec.)	ODR (SPS)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
30	21.82	21.1 (18.3)	20.7 (18)	20.8 (18.1)	20.2 (17.4)	19.2 (16.5)	18.7 (16)	18 (15.3)	17.4 (14.7)	16.9 (14.1)
6	36.36	20.9 (18.1)	20.5 (17.8)	20 (17.3)	19.7 (17)	18.9 (16.2)	18.1 (15.4)	17.4 (14.7)	17.1 (14.4)	16.3 (13.6)
5	43.64	20.7 (18)	20.2 (17.5)	20.3 (17.5)	19.6 (16.8)	18.8 (16.1)	18.1 (15.4)	17.3 (14.5)	16.7 (14)	16 (11.3)
2	709.1	20 (17.3)	19.6 (16.8)	19.2 (16.5)	18.8 (16.1)	18 (15.3)	17.2 (14.5)	16.6 (13.8)	16.1 (13.4)	15.3 (12.6)
1	1418.2	18.6 (16.0)	18.0 (15.0)	18.2 (15.2)	17.9 (15.1)	17 (14.3)	16.2 (13.5)	15.7 (12.9)	15.3 (12.6)	14.4 (11.7)

图17. FS与增益的关系

第2步：选择FS值

我们希望选择sinc3滤波器和FS = 1支持的最快设置。

第3步：使用一个通道的吞吐速率来计算系统中的通道数

$1CNV_ODR = (1/1.667 \text{ ms}) 600 \text{ SPS}$.

吞吐速率 = 600 SPS/Nch .

$1CNV_ODR$ = 具有相同配置且无重复转换的多通道系统中单个通道的吞吐速率。

可用60 SPS的采样速率对10个通道进行采样。

答案A：每个系统有九个称重传感器。

第4步：使用数据手册的有效分辨率表格

还要注意一点，当查看噪声和有效分辨率表格时，计算须基于FS滤波器值，而不是吞吐速率。此处列出的ODR是单个已建立通道的ODR。

解读数据手册时，系统设计人员需要小心。当使能多个通道时，吞吐速率（单位为SPS）会降低。需要注意的是，读者可能会错误地解读数据手册中的分辨率表格，认为可以实现更高的分辨率。对于已建立通道的ODR，为了实现更高的精度，FS的变化会导致过采样和抽取增加，从而减慢系统速度。在使能多个通道的情况下，读取每个ADC通道的速度（SPS，即吞吐速率）下降是由于对多个通道进行采样所致，而不是过采样增加所致。因此，分辨率不会增加。

Table 29. Effective Resolution (Peak-to-Peak Resolution) vs. Gain Bits

FS (Dec.)	ODR (SPS)	Gain = 64	Gain = 128
2047	1.17	21.2 (18.5)	2 (17.3)
480	5	19.8 (17)	18.4 (15.7)
240	10	18.7 (16)	17.9 (15.2)
160	15	18.3 (15.6)	17.6 (14.9)
80	30	17.9 (15.2)	17.1 (14.4)
48	50	17.4 (14.7)	16.7 (14)
40	60	17.3 (14.6)	16.6 (13.9)
20	120	16.6 (13.9)	16 (13.3)
10	240	16.3 (13.5)	15.5 (12.7)
5	480	15.4 (12.7)	14.7 (12)
3	800	14.7 (12)	14 (11.3)
2	1200	13.9 (11.2)	13.2 (10.5)
1	2400	12.1 (9.41)	11.7 (8.94)

图18. 分辨率与增益关系的数据手册表格

B部分

如果查看数据手册中的表格，我们会看到，对于FS = 1且增益 = 128，有效分辨率为11.7位。

答案B：11.7位。

C部分

为了求解C，我们需要回退到A部分中的几个步骤：

第2步：选择FS值

这一次，我们根据分辨率要求选择FS值。为了实现14位的有效分辨率，应选择FS = 3。

第3步：使用一个通道的吞吐速率来计算系统中的通道数

我们可以使用时序AFM来实现所需的分辨率(1/4.167 μs)。

240 SPS/Nch = 吞吐速率。

在该数据速率下，我们可以使用四个通道。

答案C：三个通道。

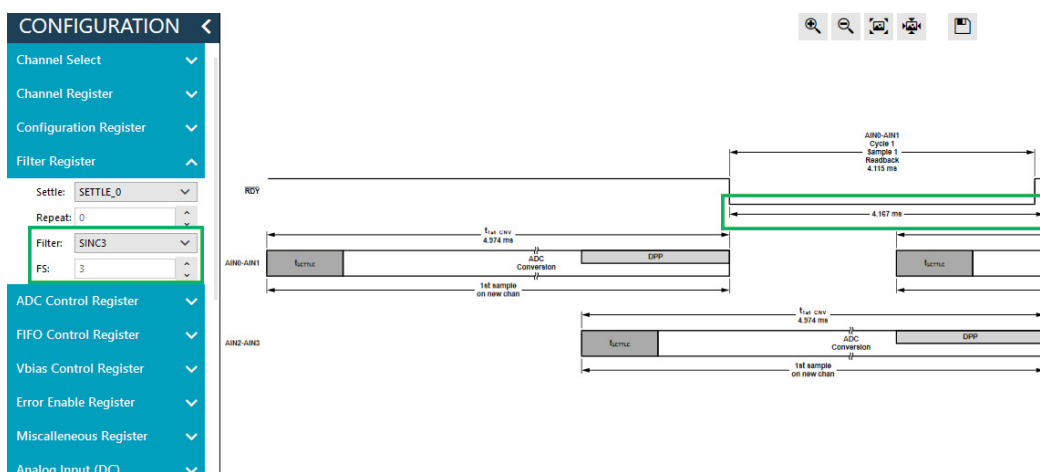


图19. 使用时序工具更改滤波器类型和FS值，并读取包括滤波器延迟的第一次转换的输出数据速率。

占空比控制

有些系统的吞吐速率较低而输出数据速率较高，例如健康监护设备，主机控制器在大部分时间将系统置于待机模式，仅定期转换。AD4130-8提供占空比控制，用户可以连续转换，器件以3/4或15/16的占空比进入待机模式，以1/4或1/16的占空比进行转换。活动时间和待机时间与用户选择的设置有关。

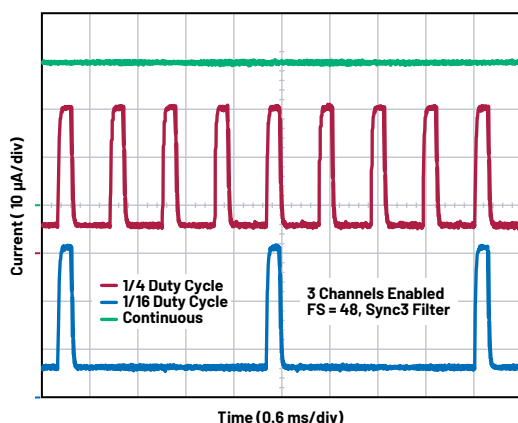


图20. 占空比控制

AD4130-8还有一个SYNC引脚，它允许用户确定性地控制预选数量的通道上何时发生转换。该器件还可以配置为在低电流待机模式下工作，启动转换序列，离开低电流状态，在多个通道上进行转换，当转换完成时返回待机模式。

示例：使能占空比控制

采用与之前的压力传感器信号链示例相同的设置，吞吐速率 = 600 SPS/Nch，使能两个通道，ODR变为300 SPS，而在3 V电源下，平均电流将为28.7 μ A（见图21）。

使能1/16的占空比后，吞吐速率变为24.489 SPS，而该期间的平均电流变为4.088 μ A（40.834 ms；见图22）。

FIFO

AD4130-8包括一个片上FIFO。FIFO可以缓冲转换结果，让微控制器或主机控制器有机会在等待转换时进入低功耗状态，从而降低系统功耗。这里的最大时序考量是确保主机在连续转换的同时以足够快的速度回读FIFO，以避免错过转换。

当收集到指定数量的样本（也称为水印）时，用户可以定期读取FIFO。当达到所需的样本数量时，中断可用，主机回读FIFO。需要清空FIFO才能清除中断。用户有一个预定义的时间段来从FIFO中回读数据。使用的SCLK频率将决定用户可以读取多少数据而不会错过转换。

通过ACE软件时序工具，用户可以在设计系统时改变SCLK频率，或使用门控时钟来通知用户何时需要降低水印级别。例如，FIFO回读。

以最大ODR为2400 kSPS的连续单通道测量为例，如果水印级别设置为256，并且我们尝试回读，那么我们有729.2 μ s的时间来回读FIFO而不会错过任何转换。用户需要回读4112位。该工具通知用户，为了回读FIFO并且不错过转换，主机SPI时钟频率须为5.64 MHz。这超出了器件的最大规格5 MHz，会出现错误，用户可以修改水印以避免背离规格。

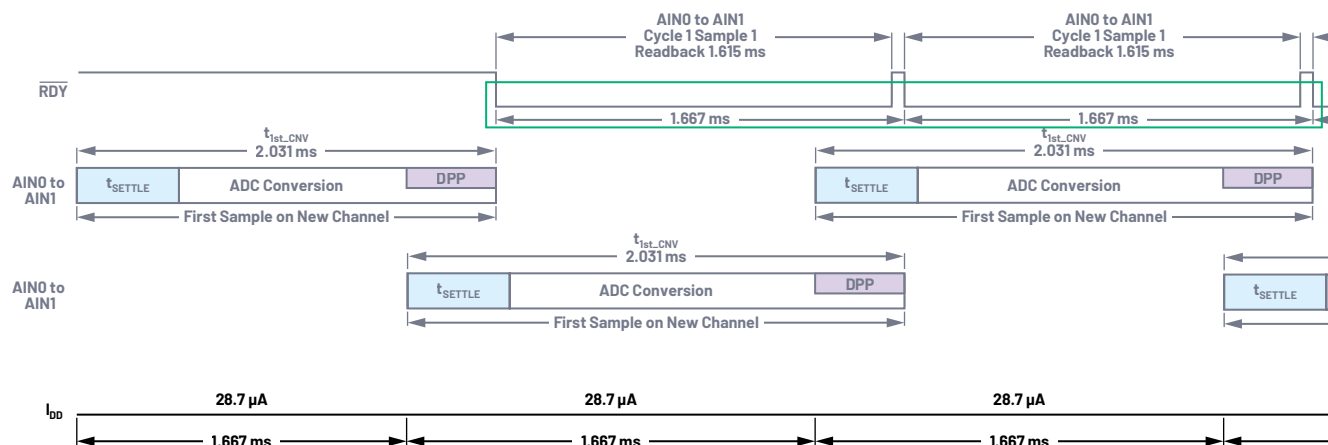


图21. 使能占空比控制之前的吞吐时间和电流

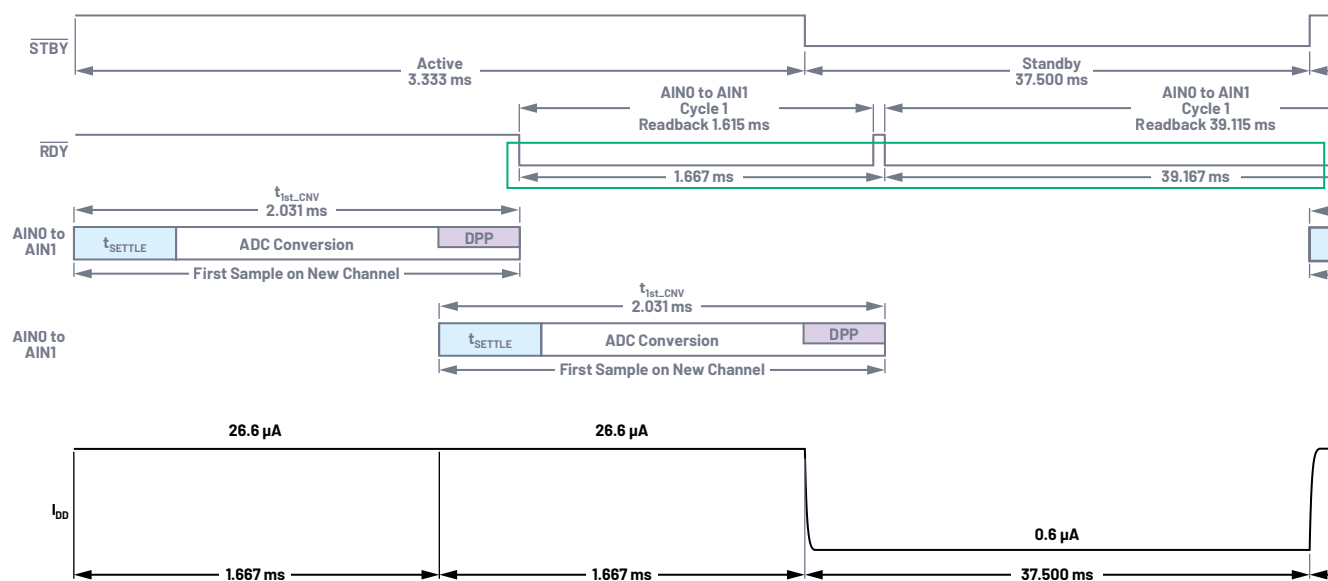


图22. 使能占空比控制之后的吞吐时间和电流

SCLK Freq. (min) 11.213 MHz
SCLK minimum frequency to readback FIFO samples, 11.213 MHz (ungated), exceeds specified SCLK frequency, 5 MHz.
Reduce the watermark level to avoid missed conversions.

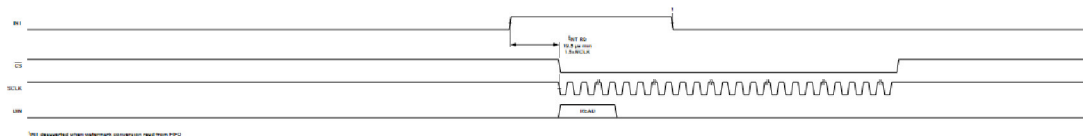


图23. AD4130-8 ACE软件FIFO回读窗口和警报

表3. Σ - Δ 小结

主题	时序影响	低功耗信号链影响
信号链上电	延迟每个模块的上电	适用于所有信号链
抗混叠滤波	可能存在影响转换结果的延迟	切换通道时AD4130-8对滤波器预充电
Sinc滤波器延迟	影响多路复用系统的吞吐速率	多路复用可以更好地省电(μ A/Ch)
占空比控制	控制占空比时吞吐速率降低	平均电流按比例减小
FIFO	需要注意避免错过转换	主机控制器可以进入低功耗状态

当使用 Σ - Δ ADC时，我们可以看到有很多权衡、时序因素和特性需要考虑。本文的第二部分将研究SAR ADC技术，以及影响SAR ADC系统中的时序的因素和特性。



作者简介

Padraic O'Reilly是一名电子测试与测量应用工程师，专注于低功耗精密转换器信号链。Padraic喜欢运用多条产品线技术进行信号链架构设计。过去，Padraic担任过多种测量和应用角色。他拥有射频微波（PLL、雷达、无线电收发器）和精密混合信号转换器系统（DAC、ADC、ASIC）方面的专业知识。Padraic毕业于利默里克大学，获电子工程学士学位。

参考资料

Maithil Pachchigar。“使用精密SAR和 Σ - Δ 型转换器针对多路复用数
据采集系统实现设计权衡考量。” ADI公司，2016年4月。

Walt Kester。“何种ADC架构适合您的应用？”《模拟对话》，
第39卷第9期，2005年6月。

Albert O'Grady。“传感器激励与测量技术。”《模拟对话》，
第34卷第5号，2000年。

Alan Walsh。“面向精密SAR模数转换器的前端放大器和RC滤波器
设计。”《模拟对话》，第46卷第12期，2012年12月。

Steven Xie。“精密ADC用滤波器设计的实际挑战和考虑。”
《模拟对话》，第50卷第4期，2016年4月。

Walt Kester。“MT-021: ADC架构II: 逐次逼近型ADC。” ADI公司，
2009年。

Ke Li和Colm Slattery。“电磁流量计: 设计考量。”《模拟对话》，
第50卷第6期，2016年6月。

“铂RTD传感器的SPICE模型。” ADI公司，2022年。

“教程MT-070: 仪表放大器输入RFI保护。” ADI公司，2009年。

