

低功耗精密信号链应用 最重要的时序因素有哪些？ 第二部分

Padraic O'Reilly, 产品应用工程师

摘要

本文介绍低功耗系统在降低功耗的同时保持精度所涉及的时序因素和解决方案, 以满足测量和监控应用的要求。本文说明当所选ADC是逐次逼近寄存器(SAR) ADC时的时序影响因素。 $\Sigma\Delta$ 架构的时序考虑因素有所不同(参见本系列文章的第一部分)。本文探讨信号链在模拟前端时序、ADC时序和数字接口时序方面的考虑。

模拟前端时序考量

图1中的三个模块可以分别予以考虑, 从模拟前端(AFE)开始。信号链的类型会改变AFE, 但有一些共同方面适用于大多数电路。

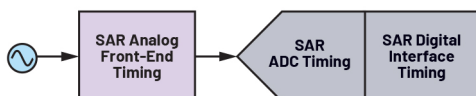


图1. 使用多路复用SAR ADC的AFE时序考量

图2显示了构成AFE的AD4696 SAR ADC、外部放大器和低通滤波器。AD4696是一款具有Easy Drive™特性的16位1 MSPS多路复用SAR ADC。虽然需要外部放大器和电路以与外部传感器接口, 但Easy Drive特性(例如模拟输入高阻模式和基准输入高阻模式)降低了模拟输入和基准电压驱动要求。在较高功率应用中, SAR ADC的抗混叠滤波器设计需要非常强, 但对于较低带宽信号的采样(这是典型的低功耗应用), 滤波器设计的要求不那么高。 $\Sigma\Delta$ 架构的优点是, 我们可以依靠数字滤波器来确定频率响应, 并使用外部抗混叠滤波器以调制器频率滤波。在没有过采样且以固有质量滤波的情况下, 需要外部模拟低通滤波器来防止任何高于采样速率的较高频率信号混叠到通带中。低通滤波器还起到如下作用: 降低模拟前端电路的宽带噪声, 减少模拟输入端发生的非

线性电压反冲, 以及保护模拟输入免受过压事件的影响。同一原则也适用于时序考量。请参阅文章“低功耗精密信号链应用最重要的时序因素有哪些?——第一部分”中的抗混叠滤波器部分。

SAR ADC的采样部分整合了采样保持机制, 该机制由一个开关和一个电容组成, 可捕获输入信号, 直至收集到转换结果为止。

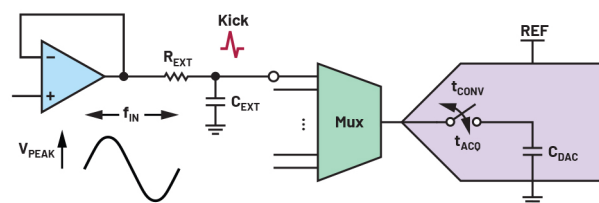


图2. 带有外部反冲RC滤波器和驱动放大器的AD4696 SAR ADC

放大器级的设计过程分为两个步骤。第一步是选择信号调理放大器和外部抗混叠级, 类似于本系列文章第一部分所讨论的。下一步是选择外部驱动放大器(其带宽由增益决定; 记住需要权衡功耗与带宽), 它将缓冲信号调理抗混叠滤波器输出并驱动ADC输入。下一步是设计反冲滤波器, 将总电容 $C_{EXT} + C_{DAC}$ 作为滤波器的总电容。

多路复用SAR ADC在切换模拟输入通道时会发生反冲问题。每次开关闭合时, 内部电容电压(C_{DAC})可能与先前存储在采样电容(C_{EXT})上的电压不同。当这些开关因该电压差而闭合时, 就会出现电压毛刺。能量将在开关之间共享, 电容端子之间测量的电压将减半。 C_{EXT} 和 C_{DAC} 值会影响滤波器设计, 在设计电路时需要加以考虑。AD4696数据手册详细说明了反冲和ADC驱动器的选择, 另外还提供了ADC驱动器工具和颇有帮助的培训视频。

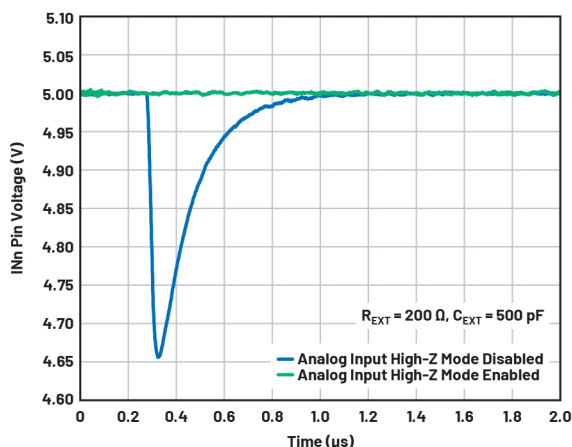


图3. 高阻模式对反冲的影响

AD4696有一种模拟输入高阻模式，它会显著降低电压反冲的幅度，如图3所示。模拟输入高阻模式还能减少前端放大器和AD4696模拟输入之间的串联电阻导致的性能下降；与传统的多路复用SAR ADC相比，外部RC滤波器中的电阻可以更大。使用较大 R_{EXT} 和较小 C_{EXT} 可缓解放大器稳定性问题，而不会显著影响失真性能。但是，如果使能内部过压保护箝位以避免稳定性问题，建议 C_{EXT} 至少应为500 pF。图3显示我们可以更快地对所需信号进行采样，从而加快系统时序。

ADC时序考量

ADC的选择取决于您的系统注重什么特性。有许多文章探讨了就性能而言哪一个更合适，并比较了SAR和 $\Sigma\Delta$ 技术。在低功耗领域，测量相似信号的SAR和 $\Sigma\Delta$ 之间存在很大的重叠部分。有一点很清楚，SAR时序更容易理解。

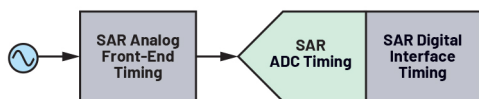


图4. AFE SAR时序考量

SAR ADC在某个时间点对输入进行采样，包括采集阶段和转换阶段。在采集阶段，采样保持网络或内部容性网络充电（图2）。在转换阶段，电容阵列切换到比较器网络，DAC上的权重被修改，直至达到与模拟输入相对应的数字码。

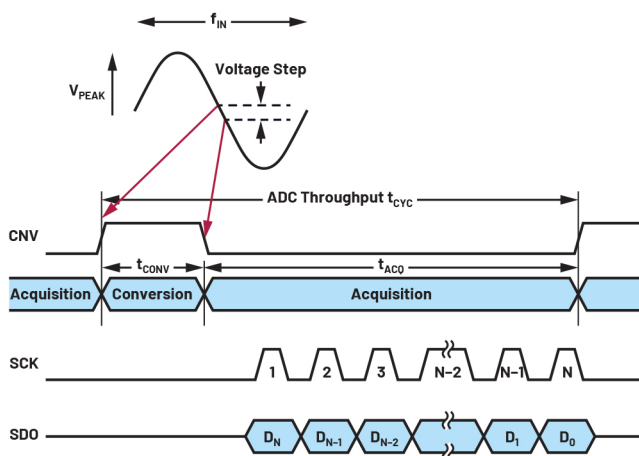


图5. 典型SAR ADC时序

数据手册说明了最大转换时间，AD4696为415 ns。采集信号的最短转换时间为1715 ns，这是AD4696以500 kSPS运行时的采集时间。转换之间的时间是吞吐速率。

在时序方面，与SAR ADC相关的主要权衡是功耗与ADC采样速率的关系。SAR ADC的优势在于，采样速率和电源电流之间具有直接的线性关系，这意味着它可以根据目标信号的带宽进行调整。ADC内核在转换之间会关断，因此当以较低采样速率（例如10 kSPS）运行时，AD4696的典型功耗为0.17 mW，而以1 MSPS运行时功耗为8 mW。因此，这种器件适合于较低采样速率的电池供电应用。

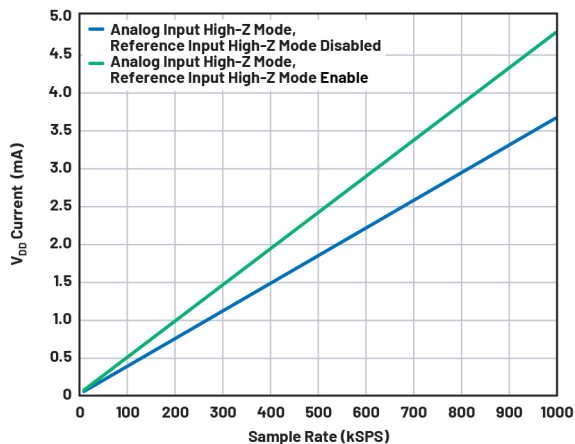


图6. V_{DD} 电流与采样速率的关系

图6显示了 V_{DD} 电流。如果降低AD4696的采样速率，使其以低于100 kSPS的速率工作，而不是以500 kSPS工作，那么 I_{DD} 电流将从几乎2.5 mA下降到0.5 mA。如果将采样速率进一步降低到10 kSPS，那么典型 I_{DD} 电流将降至42 μ A。电流的增加速率是线性的。所有数字和模拟电源电流都以类似的线性方式缩放，因此SAR ADC是用来测量DC转AC信号的有力选择。

数字接口时序考量

AD4696有几个特性是SAR ADC传统上不具备的，这些特性可以帮助低功耗信号链设计人员节省更多功耗，但对时序有所影响。

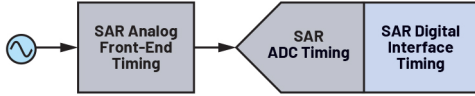


图7. SAR数字接口时序考量

与 Σ - Δ 架构相比，SAR ADC的吞吐速率更容易计算，因为不需要考虑滤波器延迟：

$$\text{Throughput Rate (SPS)} = \frac{1}{t_{\text{CYC}}} \div \text{CHs} \quad (1)$$

CHs = 使能的通道数。

周期时间是CNV上升沿跃迁之间的时间，由采集阶段和转换阶段组合而成，但可能存在重叠。ADC可以在转换阶段仍在进行时开始采集信号。SAR ADC上样本之间的时间可以描述为周期时间 t_{CYC} 或采样速率时间 t_{SR} 。

t_{CONVERT} = 转换时间

t_{ACQ} = 采集时间

$t_{\text{CYC}} = t_{\text{SR}}$ = 采样频率的倒数，即采样间隔时间

发生转换的采样时刻由CNV信号上升沿控制。在大多数模式下，这是由外部信号提供的。AD4696还有片内自动循环模式，可在内部生成转换启动信号。该信号可启动转换。AD4696提供多种时序控制器模式，允许用户以预定义的方式选择转换顺序和配置，或在不中断转换的情况下即时控制序列中的下一个通道。

数字主机必须在下一次转换开始前回读数据。因此，对于较高速度信号，SCK频率必须足够快，以便在下一个CNV上升沿（或在自动循环模式下的内部转换启动信号）之前从AD4696 SPI回读数据。更快的采样速率需要更快的SCK频率，因为转换之间的时间更短。

所需的最低SCK频率与采样速率、SPI帧长度（以位为单位）和所用的串行数据输出模式有关。给定样本的转换结果在下一转换阶段开始之前可用。因此，SCK频率必须足够快，以便在下一个CNV上升沿（或在自动循环模式下的内部转换启动信号）之前从AD4696 SPI读取数据。

多SDO数字输出

AD4696系列还包括双SDO和四SDO模式。在这些模式下，ADC结果在SDO和其他GPIO引脚上并行移出。对于给定采样速率，这些模式显著降低了所需的SCK频率，每个SCK周期SPI上输出的位数是原来的2倍或4倍。对微控制器的要求得以降低，当以1 MSPS转换时，所需的时钟从32 MHz SPI时钟降低到16 MHz SPI时钟。

每个转换模式帧所需的SCK周期数(N_{SCK})是每帧位数(N_{BITS})和串行数据输出数(N_{SDO})的函数：

$$N_{\text{SCK}} = \frac{N_{\text{BITS}}}{N_{\text{SDO}}} \quad (2)$$

其中， N_{SDO} 为1表示单SDO模式，为2表示双SDO模式，为4表示四SDO模式。

转换模式SPI帧的开始不得在 t_{CONVERT} 时间过去之前发生，并且必须足够早地完成以符合最小 t_{SCKCNV} 规范。在转换模式下完成一个SPI帧的时间(t_{FRAME})计算如下：

$$t_{\text{FRAME}} = t_{\text{CYC}} - t_{\text{CONVERT_max}} - t_{\text{SCKCNV}}$$

其中， t_{CYC} 为采样周期， $t_{\text{CONVERT_max}}$ 为最大值， t_{CONVERT} 为额定值， t_{SCKCNV} 为SCK到CNV上升沿延迟额定值。

f_{SCK} 是 t_{FRAME} 和 N_{SCK} 的函数。

$$f_{\text{SCK}} > \frac{N_{\text{SCK}}}{t_{\text{FRAME}}} \quad (3)$$

AD4696数据手册有一个表格，其中给出了最小SCLK频率与多个采样速率的关系示例。

自动循环模式

对于电压或电流电平监控应用，传统上SAR ADC需要主机控制器持续发出转换信号以使转换进行。系统需要检查数据是否达到阈值，并根据这些电平做出决策。这种方式的能效比不高，因为主机需要不断地转换。AD4696可配置为根据用户编程的通道序列自主转换。

自动循环模式是用于监控模拟输入的出色模式。转换周期有多种选择，范围从10 μ s（100 kSPS采样速率）到800 μ s（1.25 kSPS采样速率）。此模式可与阈值和滞回检测警报结合使用，这些警报可基于每个通道进行配置，以减少数字主机系统的开销。在这种情况下，主机控制器可以进入低功耗状态，只有在触发一个电平导致其接收到来自AD4696的中断时才会上电。

过采样

如本系列文章的第一部分所述，过采样和抽取是 Σ - Δ 架构所固有的特性。AD4696 SAR ADC包含一个过采样和抽取引擎，支持进一步降低噪声。它能有效地对连续ADC样本进行平均以产生一个过采样结果，有效分辨率更高，噪声更低。AD4696的过采样率(OSR)每增加4倍，有效位数就会增加1位。

这对于测量低功耗信号链应用中慢速变化的信号特别有用，例如需要较高精度的温度测量应用。

$$t_{SAMPLE} = t_{CYC} \times OSR \tag{4}$$

其中， t_{SAMPLE} = 采样周期， t_{CYC} = 周期时间（1/采样速率）， OSR = 过采样率（4到64之间的可编程值）。

类似于Σ-Δ ADC，需要权衡性能与速度。

表1. SAR小结

主题	时序考虑因素	低功耗信号链影响
抗混叠滤波器	可能存在影响首次转换结果的延迟	与更高速度的信号链相比，需要的滤波较弱
高阻模式	切换频道时反冲时间缩短	功耗与采样速率成正比；外部电路较少
电流与采样速率	降低功耗会降低采样速率	降低采样速率会降低功耗
自动循环模式	软件可配置的内部转换启动	主机控制器可以进入低功耗状态
双SDO和四SDO	在较高采样速率时，使用单SDO无法回读所有数据	额外电路与数据速度的权衡
过采样	样本之间的间隔随着过采样率的提高而增加	提高OSR可改善噪声和分辨率性能

低功耗精密平台

随着全球能源成本不断提高，并且我们了解到能源使用对自然界的影响，系统设计人员正在努力以更低的功耗预算实现高精度。研究并找到可用的最低功耗器件可能很困难。ADI公司正在简化设计流程，选出我们最低功耗的精密器件并提供一站式商店，通过立即可用的信号链和电路为系统设计人员提供最新的精密低功耗产品。

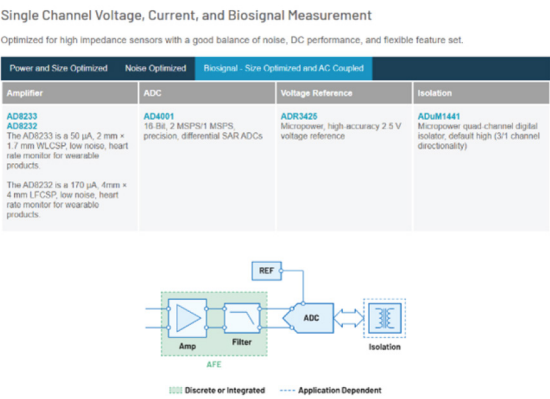


图8. 精密低功耗信号链网页

示例：低功耗SAR信号链

许多应用需要在直流偏移或共模电压之上测量小信号。如果系统的目的是监测工业环境中的流量或进行生物电位测量，那么该方法存在重叠。这些信号通常需要交流耦合来消除大偏移，并且需要偏置和增益来使ADC的动态范围最大化。

我们的低功耗精密信号链包括关于为此类应用选择器件的建议。

此外，技术诀窍与综合知识(KWIK)电路提供了更深入的电路分析以及关于器件选择的最新建议。

流量信号链示例

举一个例子，我们想设计一个大型多测量系统，其中包括使用图10所示的KWIK电路进行流量测量。

- (A) 我想以1 kSPS速率运行10个流量传感器。哪一个选择更好——SAR还是Σ-Δ？
- (B) AFE时序考虑因素有哪些？

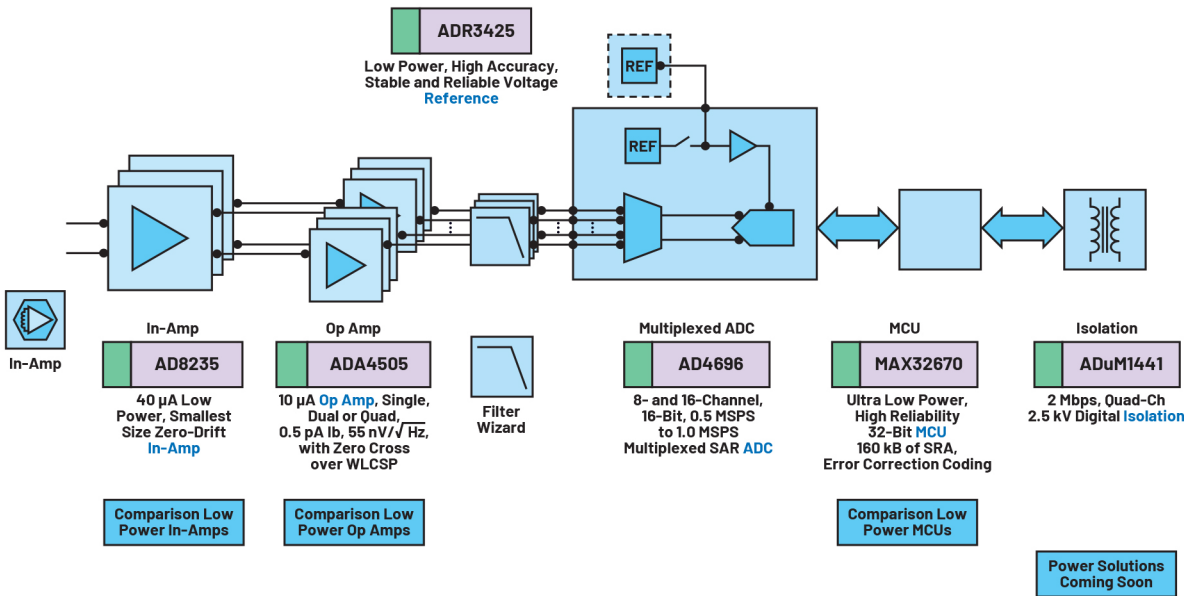


图9. 信号链示例

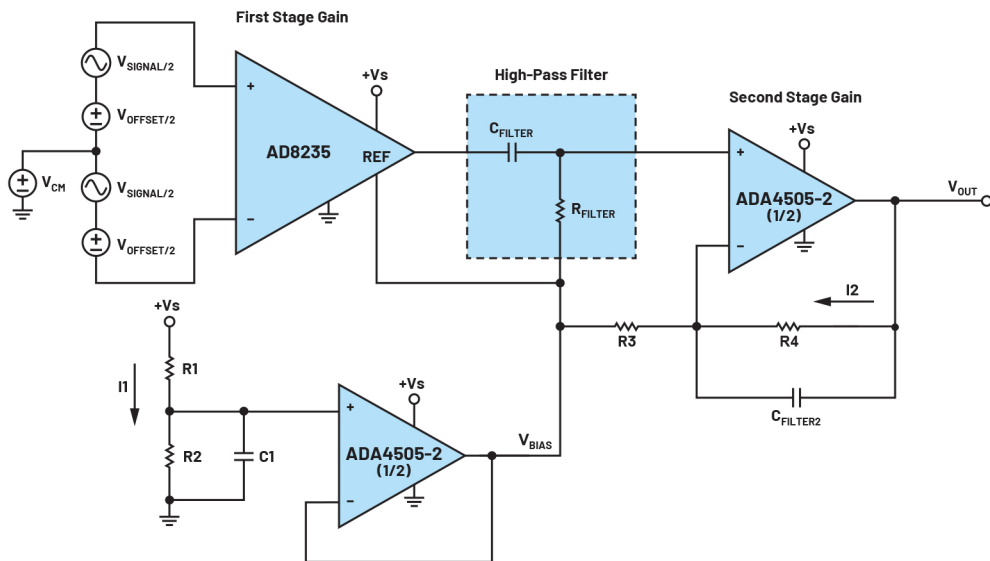


图10. 流量测量信号链KWIK电路

A. SAR (AD4696)与信号调理所需的AD8235和ADA4505-2放大器一起使用是非常好的选择，因为我们可以使用外部转换信号或自动循环模式以10 kSPS运行10个通道。

B. 在这种情况下，AD4505-2放大器的响应与增益的关系将决定被测信号的带宽，而不是抗混叠滤波器响应。高阻模式将减轻输入放大器的性能压力，使设计人员能够选择较低功耗的放大器。选择图10中的器件是因为它们具有超低功耗性能。

结语

当设计高分辨率、低功耗数据采集系统时，可能很难找到最低功耗的器件，ADI公司的精密低功耗信号链可作为低功耗设计的起点。构建以 Σ - Δ 和SAR架构作为核心ADC的信号链时，必须注意了解时序的权衡因素和差异。

当与传感器或目标信号接口时，模拟前端时序需要考虑芯片级启动、传感器偏置、外部滤波和器件选择。SAR ADC有更严格的要求，需要抗混叠滤波器，而 Σ - Δ ADC具有与其设计相关的固有采样特性。在AFE上， Σ - Δ ADC可整合PGA，而高阻模式等SAR技术可降低对外部放大器电路的驱动要求。

当考虑 Σ - Δ ADC架构时，过采样和抽取以及滤波器延迟会对吞吐速率产生影响，尤其是在多个通道上进行转换时。另一方面，由于采用逐次逼近法，SAR吞吐速率更易于计算，另外一个好处是采样速度越慢，转换时消耗的电流就越低。

Σ - Δ AD4130-8的数字时序很复杂，导致需要开发ACE软件时序工具。这些工具可简化对时序的理解并帮助计算通道吞吐速率。该器件具有占空比等时序特性、FIFO以及有助于延长电池寿命的待机模式，但针对特定吞吐速率，需要注意可实现的有效分辨率。

当考察AD4696这样的SAR ADC时，我们可以在更高采样频率下进行采样。这有其优势，但也意味着数字时间范围 t_{FRAME} （您需要在此时间范围内回读结果）更小，因而需要更快的SPI时钟速度。

参考资料

Maithil Pachchigar. “使用精密SAR和 Σ - Δ 转换器针对多路复用数据采集系统实现设计权衡考量。” ADI公司，2016年。

Walt Kester. “何种ADC架构适合您的应用？”《模拟对话》，第39卷第9期，2005年6月。

Albert O'Grady. “传感器激励与测量技术。”《模拟对话》，第34卷第5号，2000年。

Alan Walsh. “面向精密SAR模数转换器的前端放大器和RC滤波器设计。”《模拟对话》，第46卷第12期，2012年12月。

Steven Xie. “精密ADC用滤波器设计的实际挑战和考虑。”《模拟对话》，第50卷第4期，2016年4月。

Walt Kester. “MT-021: ADC架构II: 逐次逼近型ADC。” ADI公司，2009年。

Ke Li和Colm Slattery. “电磁流量计：设计考虑因素 | ADI公司。”《模拟对话》，第50卷第6期，2016年6月。

“铂RTD传感器的SPICE模型。” ADI公司，2022年。

“教程MT-070: 仪表放大器输入RFI保护。” ADI公司，2009年。

Padraic O'Reilly. “低功耗精密信号链应用最重要的时序因素有哪些？第一部分。”《模拟对话》，第56卷第3期，2022年8月。



作者简介

Padraic O'Reilly是一名电子测试与测量应用工程师，专注于低功耗精密转换器信号链。Padraic喜欢运用多条产品线技术进行信号链架构设计。过去，Padraic担任过多种测量和应用角色。他拥有射频微波（PLL、雷达、无线电收发器）和精密混合信号转换器系统（DAC、ADC、ASIC）方面的专业知识。Padraic毕业于利默里克大学，获电子工程学士学位。

