系列工程技术观察
美国模拟器件公司

14通道单芯片时钟发生器解决了网络中的定时技术难题

随著全球对通信服务需求的持续增长，制造商必需不断减小新安装网络设备的尺寸和成本，同时还要保证高标准的服务和质量。构建一个鲁棒性网络的部分原因是管理时钟。时钟和定时的要求范围很宽，包括从有线和无线网络集线器的系统级同步到高密度收发器控制柜内的本地信号分配。为了帮助用户应对这种多方面的设计挑战，ADI公司安排了信号完整性专家讲解技术指标、监视测试并且推荐能保证干净、低抖动的时钟通过网络的器件。

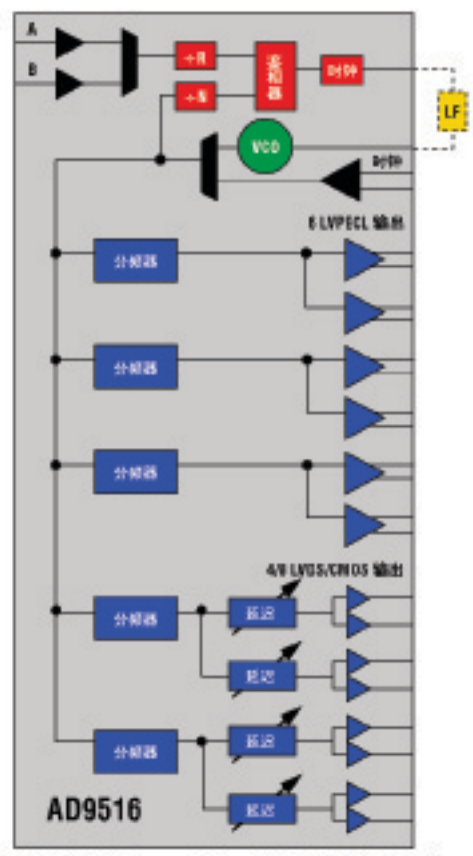
向任何信号完整性专家提问关于时钟抖动的问题，他或她都可能概述为这个问题是由组成时钟的各个器件的抖动叠加起来构成系统的总抖动。时钟的时间抖动是一种对其边缘不确定度的度量。所有的系统都可以允许有某种程度的时钟边缘不确定度。但是当时钟边缘出现在随机时间急剧变化时，系统会开始中断。如果丢失一个时钟周期可能导致发射机和接收机失去同步。

当时间抖动影响到某个系统的总信噪比或误码率时，数据可能丢失。在移动通信网络中，这可能导致降低通话质量，甚至掉线。

考虑一个需要四种时钟功能的一个串联系统：倍频、分频、相位移动和电平变换。如果用单独的器件完成每一种功能，那么每个器件的抖动必须累加起来以计算总的时钟抖动。对于由四个器件构成的一个系统，如果每个器件的时钟抖动为1.5 ps有效值(RMS)，那么产生的总抖动应为3 ps(注意：采用求平方和的平方根方法计算)。

因此，总时钟抖动是单个器件的二倍。

现在我们把这个问题比作一个解决方案，它的全部关键的定时功能都集成在一个器件内——一种完整的锁相环(PLL)，包括用于倍频的压控振荡器(VCO)、带有内置相位偏移能力的5通道分频器以及提供LVPECL，LVDS或CMOS电平选择的时钟输出驱动器。利用这种集成的解决方案，总时钟通道抖动可以控制在小于1 ps RMS。



采用64引脚9 mm×9mm LFCSP封装单芯片集成的定时功能控制时钟抖动小于1ps RMS

美国模拟器件公司(简称ADI)推出的AD9516集成的14通道2.8 G时钟发生器能使网络工程师保证能从一颗单芯片获得14通道乾净、低抖动的时钟。另外AD9516还能在其6个LVPECL输出之间提供极低的时间偏差。这种性能表明确保设计工程师在一个明确定义的时间窗口内同时获得6个时钟边缘。LVDS/CMOS通道包含可设置延迟线功能，它可以用于补偿该系统中其它元件的延迟。两个输入端A和B，具有自动切换功能，当参考时钟出现故障时提供保护功能。最后，因为独立的振荡器是网络中最可能出现故障的元件之一，所以AD9516集成了内置VCO改进了总体系统的可靠性。

ADI公司提供了多种多样的时钟和定时解决方案，能够为信号完整性工程师保持高性能，同时降低新设备的尺寸和成本。

欲免费索取产品样片、使用说明和其它信息，请访问：www.analog.com/clock-timing-AD9516-China。

*作者简介：**Scott Behrhorst**先生现任ADI公司时钟和信号合成产品线的市场和应用经理。*