

Σ-Δ型ADC和DAC

Σ-Δ概述

过去几年间，Σ-Δ架构由于在混合信号VLSI工艺中有助于实现高分辨率ADC，因而日益受到青睐。然而，直到最近，商业化生产这些器件所需的工艺技术尚未问世。现在，1微米及更小的CMOS几何结构的制造条件已经成熟，因此Σ-Δ转换器在某些类型的应用中将变得更为常见，特别是在单芯片上集成ADC、DAC和DSP功能的混合信号IC中，Σ-Δ转换器的使用将尤为普遍。

从概念上讲，Σ-Δ转换器的数字特性多于模拟特性，但这并未降低Σ-Δ型ADC的模拟部分的重要性。五阶Σ-Δ调制器的设计（例如在双通道18位ADC AD1879中）绝不是轻而易举的小事一桩，数字滤波器同样如此。Σ-Δ转换器本质上是一种过采样转换器，尽管过采样只是成就整体性能的多种技术中的一种。总的说来，Σ-Δ转换器是利用分辨率非常低（1位）的ADC以极高采样速率对模拟信号进行数字化处理。但通过将过采样技术与噪声整形和数字滤波技术结合使用，使有效分辨率得以提高。然后，通过抽取过程降低ADC输出端的有效采样速率。1位置量器和DAC的线性度使Σ-Δ型ADC表现出极佳的微分和积分线性度，并且不必像其它ADC架构那样需要调整。

Σ-Δ转换器工作原理涉及到的关键概念包括过采样、噪声整形(使用Σ-Δ调制器)、数字滤波和抽取。

过采样

过采样概念已在前文第三部分中讨论过，下面的图6.2和图6.3再次阐释了这一概念。正如前文所述，过采样的一个重要好处是降低了对模拟抗混叠滤波器的滚降要求。数字滤波器将 $f_s/2$ 和 $kf_s/2$ 之间的量化噪声(在奈奎斯特带宽范围，其均方根值为 $q/\sqrt{12}$ ，其中 q 为LSB的权重)从输出中消除(k 为过采样比)，其结果是总信噪比提高了相当于 $10\log_{10}(k)$ 的量。不过，对于所获得的额外分辨率而言，这一代价太高：为使信噪比提高区区6dB(1位)，就要求过采样比达到4。为使过采样比保持在合理范围内，可以对量化噪声的频谱进行整形，使得绝大部分噪声落在 $f_s/2$ 与 $kf_s/2$ 之间，只有一小部分留在DC与 $f_s/2$ 之间。这正是Σ-Δ调制器在Σ-Δ型ADC中所起到的作用。噪声谱经过调制器的整形之后，数字滤波器就可以消除大部分量化噪声能量，从而大幅提高总信噪比(以及相应的动态范围)。

采用模拟低通滤波器进行奈奎斯特频率采样

- 混合信号VLSI芯片的理想拓扑结构
- 过采样
- 利用Σ-Δ调制器进行噪声谱整形
- 数字滤波
- 抽取
- 可实现16位及更高的分辨率

图1. Σ-Δ概念

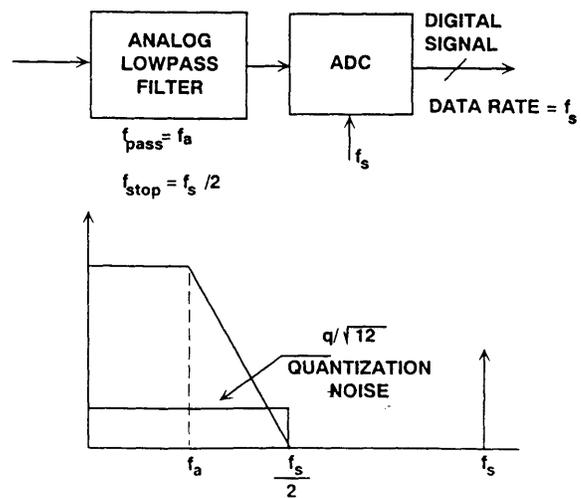


图2. 采用模拟低通滤波器进行奈奎斯特频率采样

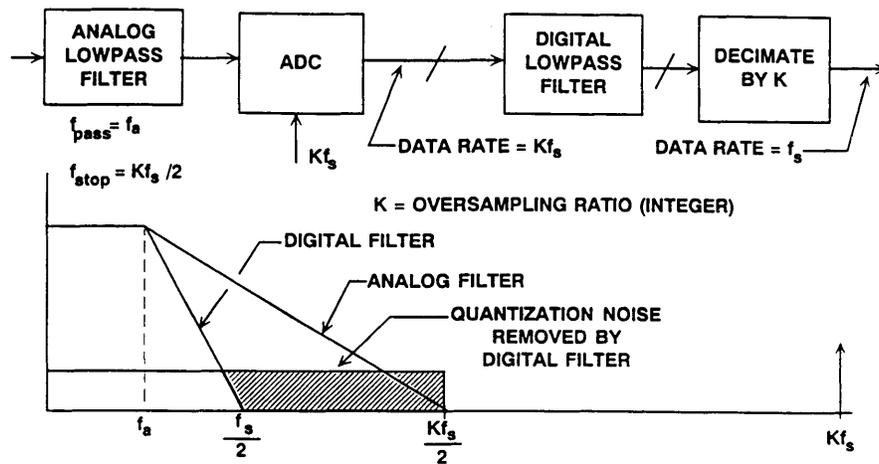


图3. 采用模拟和数字滤波进行过采样

Σ-Δ调制器和量化噪声整形

一阶Σ-Δ型ADC的功能框图如图6.4所示。转换器的第一部分是Σ-Δ调制器，它以采样时钟频率 kf_s 所决定的速率将输入信号转换为连续的1和0串行流。该串行输出数据流驱动1位DAC，然后从输入信号中减去DAC输出。反馈控制理论告诉我们，如果环路的增益足够高，DAC输出的平均值（以及相应的串行位流）必定接近输入信号的平均值。积

分器在频域中可以表示为一个滤波器，其幅度响应与 $1/f$ 成正比，其中 f 为输入频率。时钟式锁存比较器的作用类似于斩波器，将输入信号转换为随输入平均值而变化的高频交流信号，因此大大降低了低频有效量化噪声（对于量化噪声，积分器的作用类似于高通滤波器）。最终噪声的确切频谱取决于采样速率、积分器时间常数和电压反馈的精确范围。

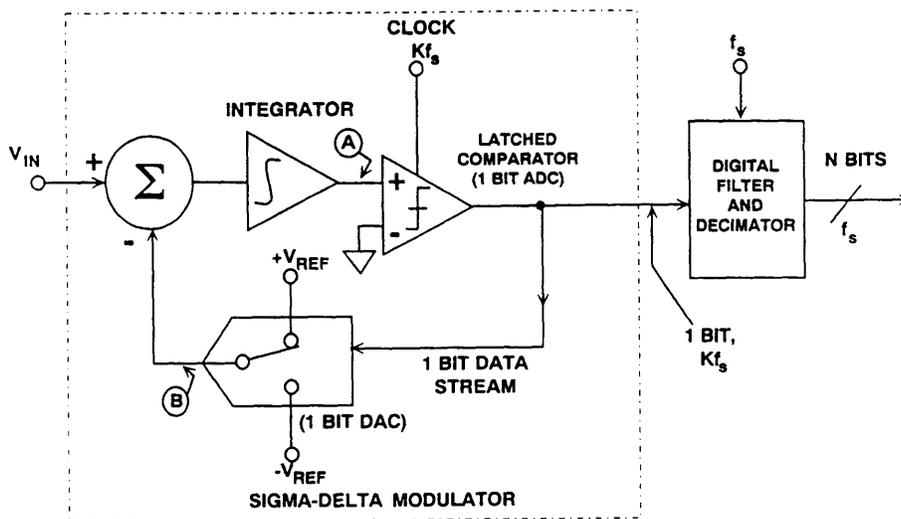


图4. 一阶Σ-Δ型ADC

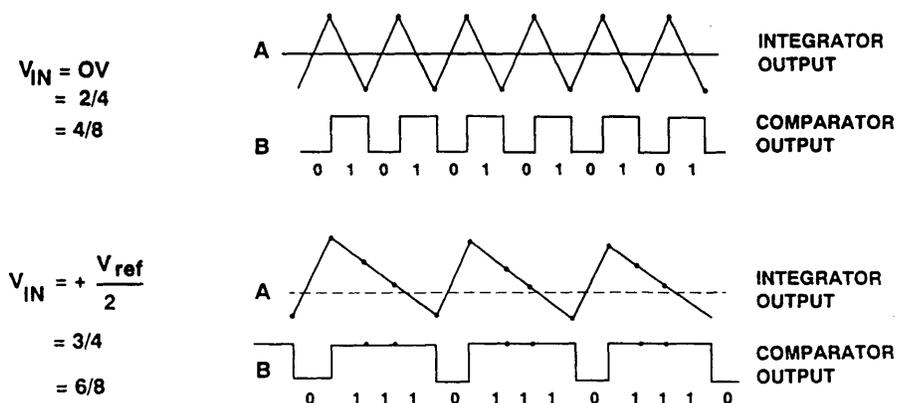


图5.Σ-Δ调制器波形

对于一个采样间隔内的任意给定输入值，1位ADC的输出数据几乎毫无意义。只有对大量样本求平均值时，才会产生有意义的值。由于一位数据输出具有明显的随机性，因此很难在时域内对Σ-Δ调制器进行分析。如果输入信号接近正满量程，位流中的1将明显多于0。同样，如果输入信号接近负满量程，位流中的0将明显多于1。对于接近中间电平的信号，1的数量与0的数量大致相当。图6.5显示了两种输入条件下的积分器输出。第一种条件是输入为0（中间电平）。为了解码输出，需使输出样本通过一个简单的数字低通滤波器，以对每4个样本求平均值。滤波器的输出为2/4，此值代表双极性0。如果对更多样本求平均值，则可实现更高动态范围。例如，对4个样本求平均值可以得到2位的分辨率，对8个样本求平均值则可得到4/8，或者说3位的分辨率。在图6.5下方的波形中，针对4个样本所获得的平均值为3/4，8个样本的平均值为6/8。

Σ-Δ型ADC也可以视作一个后接计数器的同步电压频率转换器。如果对足够多的样本计数输出数据流中1的数量，则计数器输出将能代表输入的数字值。很显然，这种求平

均方法仅对直流或变化非常慢的输入信号有效。此外，为了实现N位有效分辨率，必须计数2N个时钟周期，这将严重限制有效采样速率。

对Σ-Δ架构的进一步分析最好是在频域中进行，并使用图6.6所示的线性模型。请注意，积分器表示为一个传递函数为H(f)的模拟滤波器，该传递函数的幅度响应与输入频率成反比。量化器用一个增益级和量化噪声来模拟。使用频域分析的优势之一是可以代数来描述信号。输出值y可以表示为输入端求和节点的差值x - y乘以模拟滤波器（积分器）的传递函数，再乘以增益模块，然后加上量化噪声Q。如果令增益为1，并将传递函数表示为1/f，则可获得以下数学关系：

$$y = \frac{x - y}{f} + Q \quad \text{经变换后可得:}$$

$$y = \frac{x}{f + 1} + \frac{Qf}{f + 1}$$

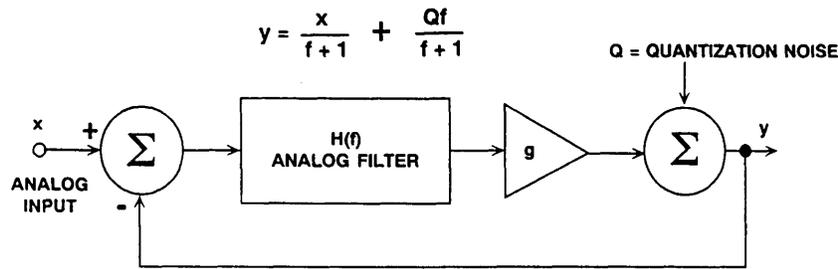


图6. Σ - Δ 调制器的频域线性模型

注意，当频率 f 趋近0时，输出趋近 x 且无噪声成分。频率较高时， x 的值减小，噪声成分的值增大。对于高频输入，输出主要由量化噪声构成。本质上，模拟滤波器对信号有低通效应，对噪声成分有高通效应。因此，调制器的模拟滤波器可以视作噪声整形滤波器，如图6.7所示。

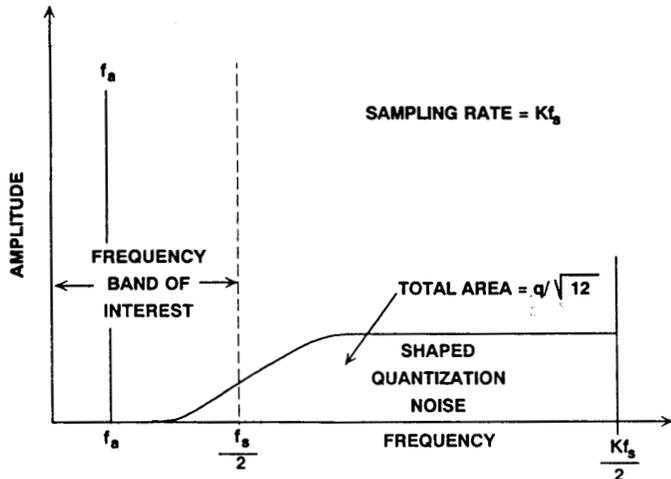


图7. 整形量化噪声分布

与一般的模拟滤波器一样，高阶滤波器可提供更好的性能。只要采取一定的防范措施，则 Σ - Δ 调制器也同样如此。图6.8所示为一个二阶 Σ - Δ 调制器，图6.9比较了一阶与二阶调制器的噪声整形函数。图6.10显示了一阶与二阶调制器相应的带内信噪比（动态范围）与过采样比的关系。请注意，一阶传递函数的斜率为9dB/倍频程，而二阶传递函数的斜率为15dB/倍频程。更高阶调制器（二阶以上）可以实现更好的性能，但使用简单线性模型时应极其小心，并且需要采取复杂的设计技术才能确保稳定。图6.10所示的三阶环路曲线代表一种无法实现的条件，仅供参考。

在给定调制器阶数和过采样速率的情况下，可以使用图6.10中的曲线确定大致可实现的ADC分辨率。例如，如果过采样速率为64x，则理想的二阶系统能够提供约80dB的信噪比，这表示ADC分辨率约为13位。虽然数字滤波器的滤波可以达到任何需要的精度，但向外界提供13个以上的二进制位没有意义。增加的位不含有用的信号信息，将淹没于噪声中。

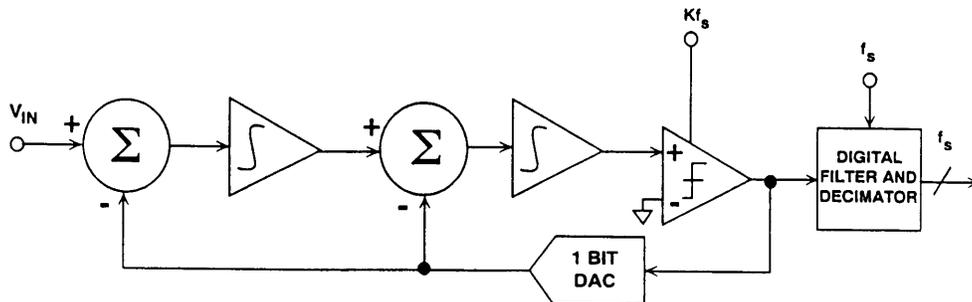


图8. 二阶 Σ - Δ 型ADC

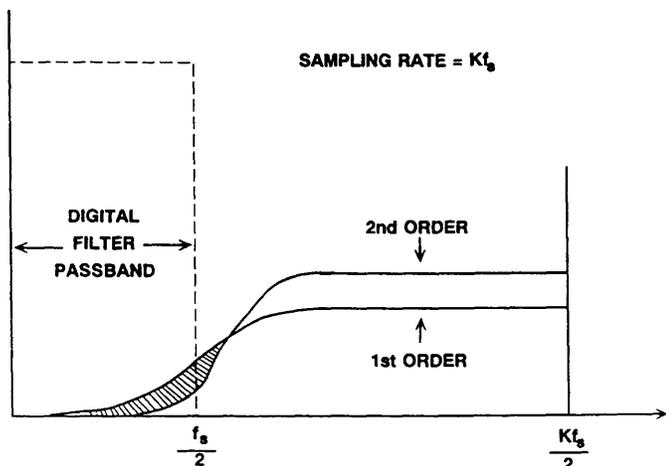


图9. 一阶和二阶噪声整形函数

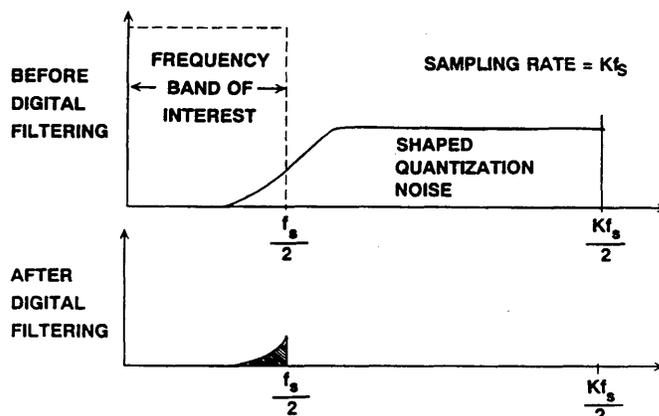


图11. 数字滤波器对整形量化噪声的影响

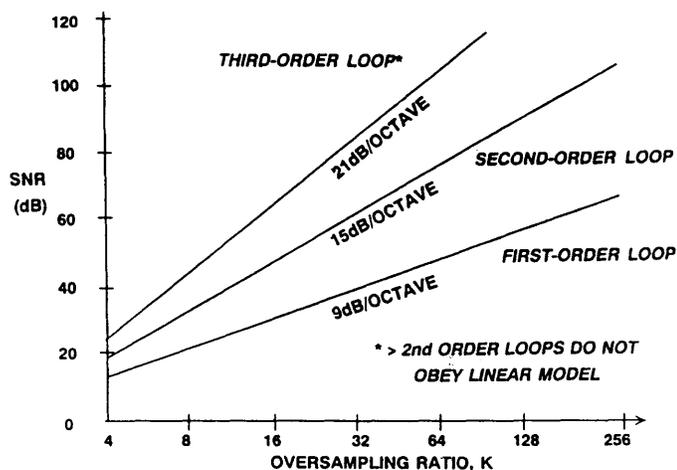


图10. 一阶、二阶和三阶环路的SNR与过采样比的关系

数字滤波和抽取

量化噪声经过调制器的整形并被推入目标频带以上的频率之后，就可以对此整形量化噪声应用数字滤波技术，如图6.11所示。数字滤波器有两方面作用：一方面是相对于最终采样速率 f_s ，它必须充当抗混叠滤波器；另一方面是它必须滤除 Σ - Δ 调制器的噪声整形过程所产生的高频噪声。

最终数据速率的降低是利用一个称为“抽取”的过程对滤波输出进行数字化重新采样而实现的。离散时间信号的抽取如图6.12所示，其中输入信号 $x(n)$ 的采样速率需要降低4倍。用较低的速率（抽取速率） $s(n)$ 对该信号重新采样。抽取也可以视作一种用来消除过采样过程所引入的冗余信号信息的方法。

在 Σ - Δ 型ADC中，将抽取功能与数字滤波功能合二为一是很常见的。如果运用得当，这将能提高计算效率。

如前所述，有限脉冲滤波器(FIR)只是计算输入样本的移动加权平均值（权重由各个滤波器系数确定）。通常，每个输入样本都对应一个滤波器输出。然而，如果以较低的速率进行数字化重新采样，以便抽取滤波器输出，则不再需要针对每个输入样本计算滤波器输出。相反，我们只需以较低的抽取速率计算滤波器输出，从而大幅提高计算过程的效率。

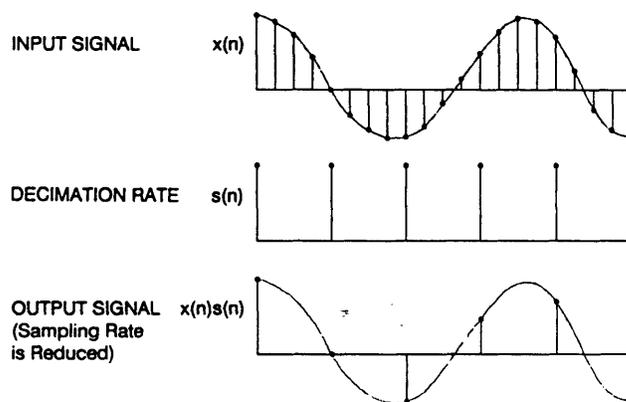


图12. 离散时间信号的抽取

但是，如果使用无限脉冲响应(IIR)滤波器，则必须针对每个输入计算输出（由于存在反馈项），导致抽取无法作为数字滤波过程的一部分予以执行。在某些 Σ - Δ 型ADC设计中，滤波分两级执行。如果同时使用FIR和IIR滤波器，则抽取在第一FIR级中执行，最终滤波在最后的IIR级执行。如果两级均使用FIR滤波器，则将抽取分散于这两个滤波器级通常更具效率。

从以上讨论可以看出， Σ - Δ 型ADC数字滤波器的设计涉及到许多利弊权衡。FIR滤波器适合抽取处理，始终能保持稳定，并且具有线性相位特性（在音频和一些遥测应用中极其重要）。与IIR滤波器相比，FIR滤波器一般更易于设计，但通常需要更多的级才能实现特定的传递特性。另一方面，IIR滤波器采用反馈技术，无法在滤波器内执行抽取，但其效率更高（以更少的计算实现更高的滤波器性能）。IIR滤波器所用的反馈可能导致滤波器不稳定。此外，IIR滤波器（它将严格仿效模拟域中实现的滤波器功能）还具有非线性相位特性。由于反馈环路的稳定性问题和量化效应，IIR滤波器的正确设计更为复杂。

FIR滤波器：

- 易于设计
- 易于集成抽取功能
- 线性相位响应
- 可能需要大量系数

IIR滤波器：

- 稳定性、溢出考虑
- 反馈导致无法集成抽取功能
- 效率高于FIR滤波器
- 非线性相位响应

组合：

- 2级FIR滤波器
- FIR滤波器后接IIR滤波器
- 2级IIR滤波器

图13. Σ - Δ 型ADC数字滤波和抽取

Σ - Δ 型ADC的空闲模式和干扰音考虑

到目前为止，我们的讨论假设 Σ - Δ 调制器所产生的量化噪声是随机的，并且未利用输入信号进行校正。遗憾的是，事实并非完全如此，特别是对于一阶调制器。考虑这样一种情况：在一个4位 Σ - Δ 型ADC中，对调制器输出的16个样本求平均值。图6.14显示了两种输入信号条件下的位模式：一种是输入信号的值为8/16，另一种是输入信号的值为9/16。对于9/16信号，在调制器输出的位模式中，每隔16个输出有一个多余的1。这将在 $f_s/16$ 处产生能量，转化为干扰音。如果过采样比小于16，此音将落在通带以内。图6.15显示了一阶 Σ - Δ 调制器的相关空闲模式特性，图6.16显示了二阶调制器的相对不相关的模式。因此，几乎所有 Σ - Δ 型ADC都含有至少一个二阶调制器环路。

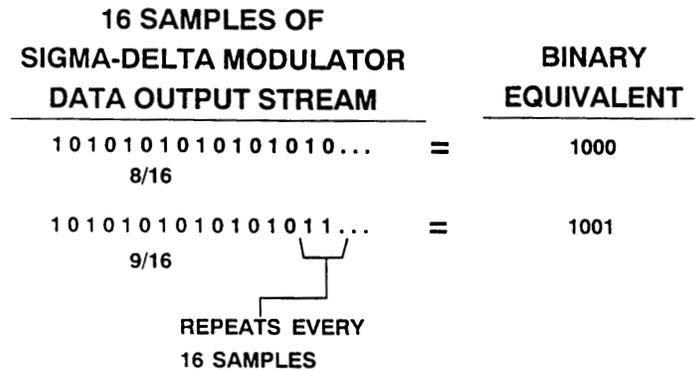
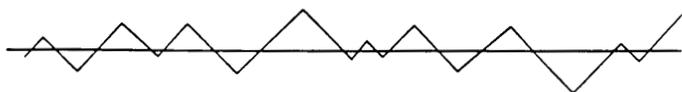


图14. Σ - Δ 调制器输出中的重复位模式

IDLE BEHAVIOR WITH 0 VOLTS INPUT



IDLE BEHAVIOR WITH DC INPUT

图15. 一阶 Σ - Δ 调制器的空闲模式 (积分器输出)

IDLE BEHAVIOR WITH 0 VOLTS INPUT



IDLE BEHAVIOR WITH DC INPUT SHOWING CORRELATED IDLING PATTERN

图16. 二阶 Σ - Δ 调制器的空闲模式 (第二积分器输出)

高阶调制器环路

为了实现宽动态范围，必须使用二阶以上的 Σ - Δ 调制器环路，但这会带来切实的设计挑战。首先，前文讨论的简单线性模型不再完全准确。一般而言，二阶以上的环路无法保证在所有输入条件下都能保持稳定，原因在于比较器是一个非线性元件，其有效“增益”与输入电平成反比。这种不稳定机制会导致以下特性：如果环路正常工作，并且将一个大信号施加于输入，引起环路过载，则比较器的平均增益减小。在线性模型中，比较器增益的减小会导致环路不稳定。即使已消除了引起不稳定的信号，这种增益减小仍然会导致环路不稳定。在实际操作中，上电瞬变所引起的初始条件一般会导致这种电路发生上电时振荡。

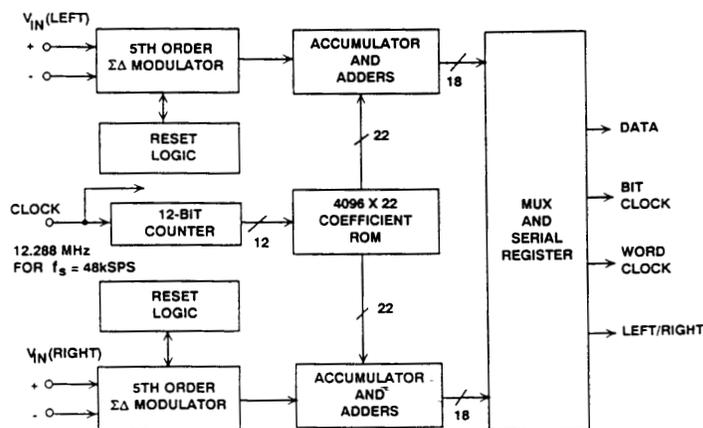
- 可提高动态范围和分辨率
- 高阶环路可最小化空闲模式和干扰音
- 难以分析和稳定
- 可以成功使用非线性稳定技术：
18位五阶ADC AD1879

图17. 高阶环路考虑(>2)

AD1879通过计数调制器位流中连续1或0的数量来数字化检测五阶调制器的不稳定性。如果出现足够长的1串或0串，则表示调制器不稳定。这将触发电路复位积分器的状态，以使调制器进入稳定工作状态。

18位 Σ - Δ 型音频ADC描述

AD1879是一款先进的双通道18位 Σ - Δ 型ADC，专为满足专业数字音频设备的严格要求而设计。该器件的功能框图如图6.18所示，工作特性如图6.19所示。调制器采用五阶开关电容设计，噪声谱整形特性如图6.20所示。过采样比为64x，对于48kHz的标准音频采样速率，过采样频率为3.072MHz。由于过采样比非常高，因此ADC输入端只需要一个单极点模拟抗混叠滤波器。

图18. 双通道18位 Σ - Δ 型ADC AD1879

- 2个18位立体声数字音频通道
- 通道间串扰: -110dB (1 kHz时)
- SNR: 104dB
- THD: 100dB
- 过采样比: 64x
- 输出字速率: 55kHz (最大值)
- 线性相位数字滤波器
- 功耗: 900mW
- 28引脚、600密耳塑封封装

图19. 18位 Σ - Δ 型ADC AD1879的主要特性

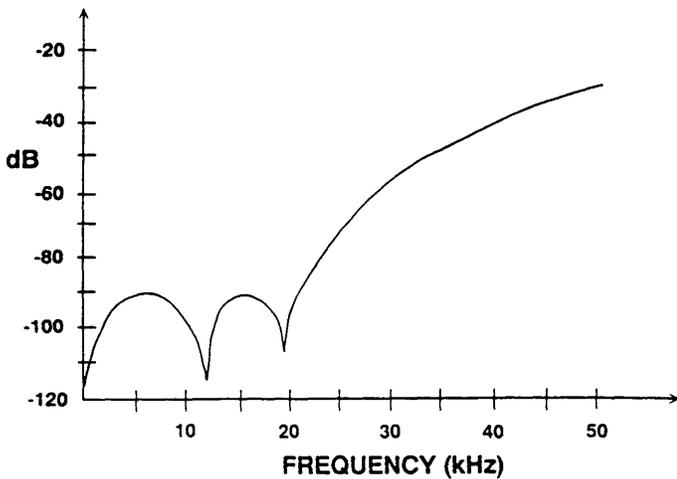


图20. AD1879调制器输出频谱

对于AD1879等音频ADC，数字低通滤波器无法利用标准乘法累加结构和现有半导体技术实现。例如，假设我们要滤波器工作在3.072MHz (64 x 48kHz)的采样速率，平坦度达20kHz，并且具有115dB以上的阻带衰减（从26.2kHz开始）。如果我们将这些要求纳入标准FIR等纹波设计图中，则所需的系数数量为4096。当输出采样速率为48kHz，乘法累加时间要求为5.1ns。对于标准FIR滤波器结构而言，由于半导体工艺限制，如此快的速度显然无法实

现。因此，我们必须使用并行处理方法，在同一时间执行多个乘法累加操作，或者使用多速率方法，将抽取分成多个步骤来完成。AD1879选用了一种新颖的并行处理方法，详见参考文献1。此滤波器的特性如图6.21所示，幅度响应如图6.22所示。

- 阻带衰减: 118dB
- 通带纹波: ± 0.0008 dB
- 截止频率 (48kHz输出速率): 21.7kHz
- 阻带频率 (48kHz输出速率): 26.2kHz
- 并行累加器数量: 64个27位累加器
- 系数字长: 22位
- 抽头数: 4096

图21. AD1879数字滤波器特性

AD1879 ADC是一款复合单芯片IC。一个芯片执行 Σ - Δ 调制功能，另一个芯片执行数字滤波功能。

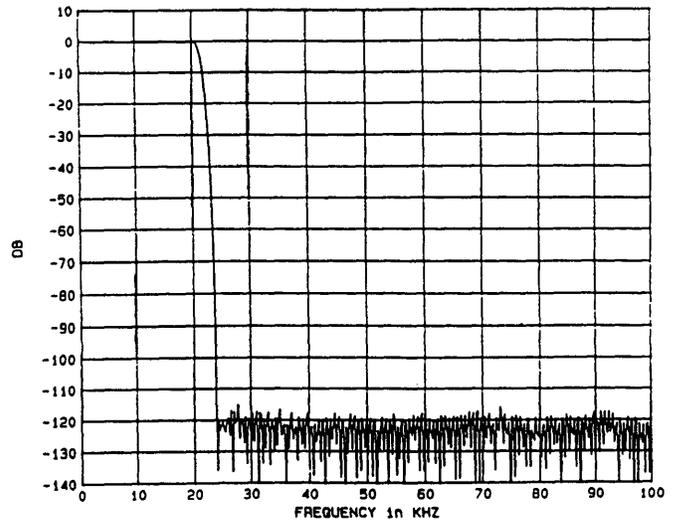


图22. AD1879数字滤波器响应

低频测量应用 Σ - Δ 型ADC

工业过程控制、电子秤、温度和压力测量仪表等应用要求ADC能以16位或更高的分辨率对低频信号（通常小于10Hz）进行数字化处理。过去，这种需求几乎完全由积分（或双斜率）ADC来满足。 Σ - Δ 转换器提供了另一种有吸引力的选择。除了成本更低和尺寸更小外，低频 Σ - Δ 型ADC还能提供片上数字滤波以及系统和自校准功能。采样速率允许处理最高10Hz带宽的信号，而且与传统积分ADC相比， Σ - Δ 型ADC能在宽得多的频率变化范围内保持电力线频率抑制特性。双斜率ADC的电源抑制特性取决于瞬时线路频率变化，原因是采样时钟与线路频率同步。

单芯片16位 Σ - Δ 型ADC AD7701的功能框图如图6.23所示，其主要特性如图6.24所示。

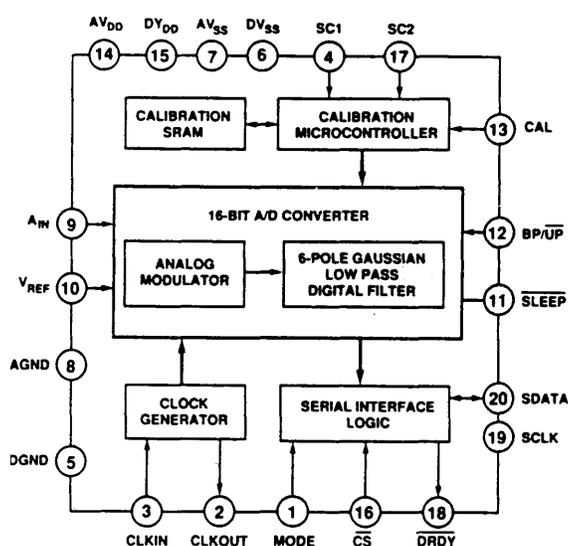


图23. AD7701功能框图

AD7701内置一个二阶 Σ - Δ 调制器，当外部时钟频率为4.096MHz时，它以16kHz的速率采样模拟输入信号。因此，量化噪声分布于0至8kHz的带宽范围内。该器件内置一个6极点高斯低通数字滤波器，在最大时钟速率时，其截止频率为10Hz。相对于10Hz截止频率，16kHz采样速率意味着过采样比为800。滤波器在这些条件下提供55dB的60Hz抑制性能。如果时钟频率减半，使截止频率为5Hz，则60Hz抑制性能将优于90dB。在0.1Hz至10Hz带宽内，电源抑制比(PSRR)为70dB；由于数字滤波的影响，PSRR在60Hz时超过120dB。数字滤波器在各种时钟速率下的频率响应曲线如图6.25所示。

- 单片16位ADC
- 线性度误差：0.0015%
- 输出数据速率：4 kSPS
- 可编程低通滤波器：
0.1Hz到10Hz转折频率
- 片内自校准电路
- 输入范围：0至+2.5V或±2.5V
- 功耗：40mW
- 待机模式功耗：20 μ W
- 灵活的串行接口

图24. AD7701低频测量ADC的主要特性

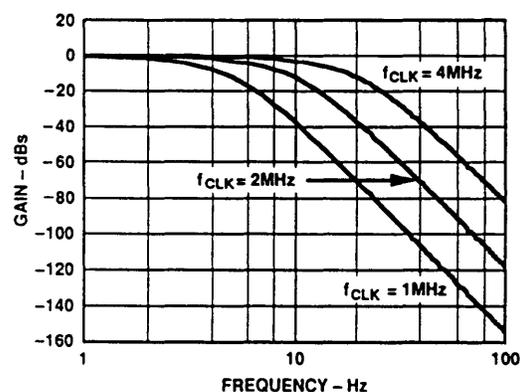


图25. AD7701数字滤波器响应

AD7701内部数字滤波器的建立时间较长（如图6.26所示），因而不适合通道按顺序高速切换和转换的多路复用应用。信号电平不同的通道之间的切换可能导致输入发生阶跃变化。AD7701主要用于一个通道使用一个ADC的分布式转换器系统。多路复用是可能的，不过在访问新通道的数据之前，必须留有足够长的建立时间。对于4.096MHz主时钟频率， $\pm 0.0007\%$ (± 0.5 LSB)的最差高斯响应建立时间为125ms。

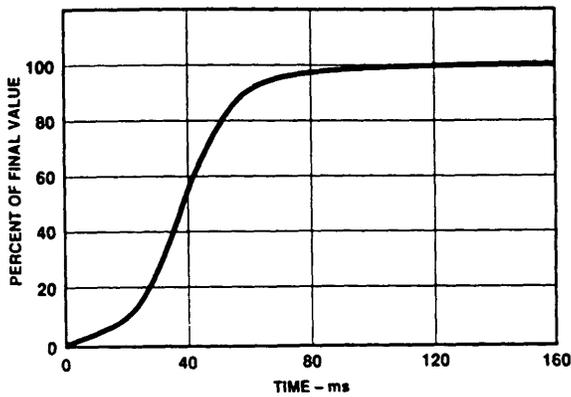


图26. AD7701数字滤波器阶跃响应

AD7701利用片内校准微控制器和SRAM，提供两种校准模式。在自校准模式下，零电平相对于模拟地引脚(AGND)进行校准，满量程相对于Vref引脚进行校准。在系统校准模式下，AD7701根据模拟输入引脚上的电压，分两步先后校准零电平和满量程，因而能够消除系统失调和/或增益误差。

Σ - Δ 型ADC AD7703具有与AD7701相似的架构，但实现了20位的分辨率和0.0003%的线性度误差。AD7703的主要特性如图6.27所示。

- 单片22位ADC
- 线性度误差：0.0003%
- 输出数据速率：4 kSPS
- 可编程低通滤波器：0.1Hz到10Hz转折频率
- 片内自校准电路
- 输入范围：0至+2.5V或±2.5V
- 功耗：40mW
- 待机模式功耗：20 μ W
- 灵活的串行接口

图27. AD7703低频测量ADC的主要特性

AD7710、AD7711和AD7712 ADC构成一个具备片内信号调理功能的21位 Σ - Δ 型ADC系列，适合低频率、低电平测量应用，例如电子秤、热电偶温度测量、RTD（电阻式温度检测器）温度测量、过程控制器和可编程环路控制器等。这些器件的共同特性如图6.28所示，AD7710的功能框图如图6.29所示。

- 21位 Σ - Δ 型ADC， $\pm 0.0015\%$ 非线性
- 片内差分输入PGA，增益：1至128；CMR：120dB(50/60Hz时)
- 第一滤波器陷波频率和输出数据速率可在10Hz至1kHz范围内进行编程
- Sinc3滤波器响应，截止频率为第一滤波器陷波频率的0.262倍
- 读/写校准系数
- 双向微控制器串行接口
- 内部、外部基准电压源选择
- 单电源或双电源供电
- 低功耗(20mW)，带省电模式(10 μ W)

图28. AD7710/7711/7712测量ADC共同的主要特性

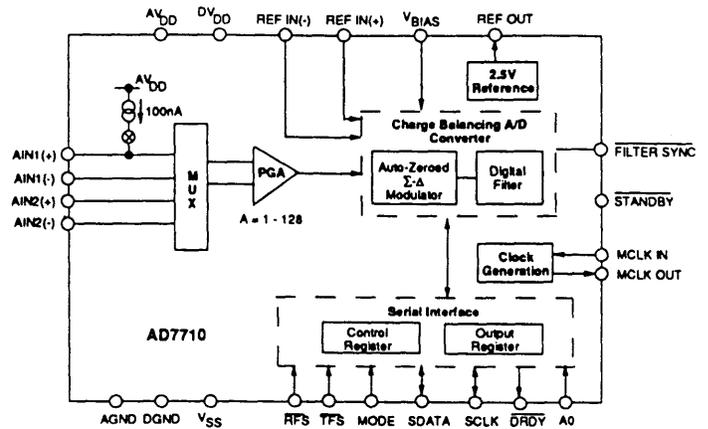


图29. AD7710功能框图

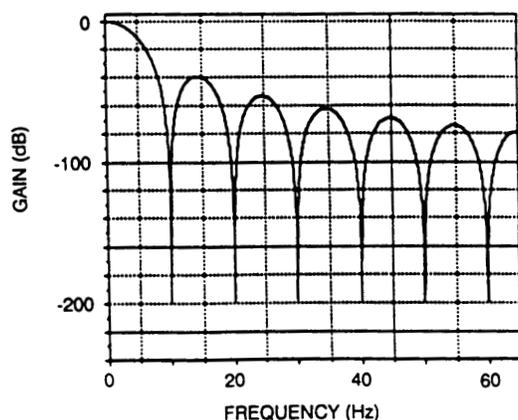


图30. AD7710/7711/7712数字滤波器响应

用户可以利用片内差分输入PGA(增益为1到128)控制满量程电压和电压分辨率。片内自校准可消除零电平和满量程误差,从而使温度漂移效应最小化。内部数字滤波器具有 $(\sin x/x)^3$ 的响应,写入控制寄存器的12位数据决定了滤波器截止频率、滤波器第一陷波频率的位置以及数据速率。与增益选择配合使用,它还可决定器件的有效分辨率。第一陷波频率(也是输出数据速率)可以在10Hz至1kHz范围内进行编程。相应的-3dB频率等于第一陷波频率的0.262倍。图6.30显示了截止频率为2.62Hz(对应于10Hz的第一滤波器陷波频率)时的滤波器频率响应特性。该滤波器响应提供的50Hz和60Hz共模抑制大于100dB。

这三款器件各自特有的主要特性如图6.31所示。

AD7710:

- 双通道差分低电平PGA输入

AD7711:

- 单通道差分低电平PGA输入
- RTD(电阻式温度检测器)激励电流源

AD7712:

- 单通道差分低电平PGA输入
- 高电平模拟输入

图31. AD7710/7711/7712各自特有的特性

 Σ - Δ 型DAC

一般可以将 Σ - Δ 数模转换看作是模数转换的逆过程,前文讨论的数字滤波器和 Σ - Δ 调制器的所有基本功能都相同。 Σ - Δ 型DAC有着与 Σ - Δ 型ADC基本相同的优势。由于过采样比非常大,大大降低了对抗混叠重构滤波器的要求。不过,必须小心确保对1位DAC输出中所含的高频噪声成分进行充分滤波。如果需要高阶滤波器来降低该噪声,则会失去 Σ - Δ 型DAC架构的一些优势。

精确、低成本、高分辨率、激光晶圆调整的DAC很容易购得,因此设计人员在元件级别上充分发掘 Σ - Δ 型DAC性能的压力相对较小。开发 Σ - Δ 型DAC技术的真正动力在于,对于要求在芯片级别上集成ADC、DAC和DSP功能的混合信号IC,它堪称是理想架构。

- 基本上是逆向的 Σ - Δ 型ADC
- 元件级低成本、高分辨率R/2R DAC器件大量涌现,并具有过采样功能
- Σ - Δ 型DAC非常适合在芯片级别上与ADC和DSP功能集成
- 抗混叠滤波器必须消除高频噪声

图32. Σ - Δ 型DAC概念

采用R/2R DAC实现高性能和宽动态范围的传统方法如图6.33所示。由于内部DAC开关的二进制性质,码相关瞬变或毛刺通常会在输出频谱中产生一定量的谐波失真。在之前的DAC部分中已经讨论过,一种称为“分段”的技术可以大幅降低这种影响。为实现最高频谱纯度,其余的毛刺可以用采样保持电路予以消除;在毛刺持续时间内,采样保持电路可以使DAC输出电压保持不变。这种技术可以消除码相关毛刺,从而消除谐波失真,但代价是在采样频率下会引入一些额外能量。SHA输出端需要使用低通或平滑滤波器,以防止混叠并消除采样频率的能量。适用于ADC之前的抗混叠滤波器的基本注意事项同样适用于DAC之后的平滑滤波器。因此,过采样同样会降低平滑滤波器的滚降要求。事实上,使用R/2R 16、18和20位DAC的CD播放器目前正在广泛使用2x、4x和8x过采样技术。

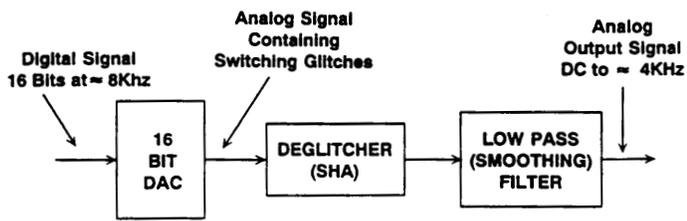


图33传统DAC去毛刺技术

用于实现 Σ - Δ 型DAC的主要元件如图6.34所示。

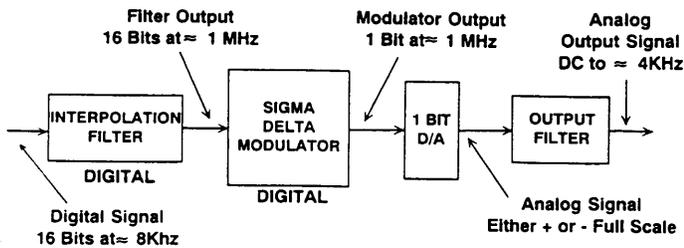


图34. Σ - Δ 型DAC

这里的示例是一个16位DAC，它以8kHz速率更新，产生4kHz带宽的语音频带输出信号。16位数字字被送到一个数字插值滤波器，其中的采样速率提高到1.024MHz，对应于128的过采样比。可以将该过程视为从一个旧的低速率数字信号重构一个新的高速率数字信号。图6.35显示了一个离散时间信号进行4倍插值的情况。通过在两个数据样本之间插入三个零值样本，输入信号 $x(m)$ 得以扩展。由此产生的信号 $w(m)$ 经过低通滤波，产生采样速率提高4倍的信号 $y(m)$ 。

数字输入 Σ - Δ 调制器对16位1.024MHz数据流进行噪声整形，将样本宽度降至1位。与 Σ - Δ 型ADC中的 Σ - Δ 调制器不同，此调制器是全数字式。传递函数利用IIR滤波器在数字域中实现。此数字滤波器执行的调制器功能与在ADC中的相同，其中输入信号经过有效低通滤波，量化噪声经过高通滤波。

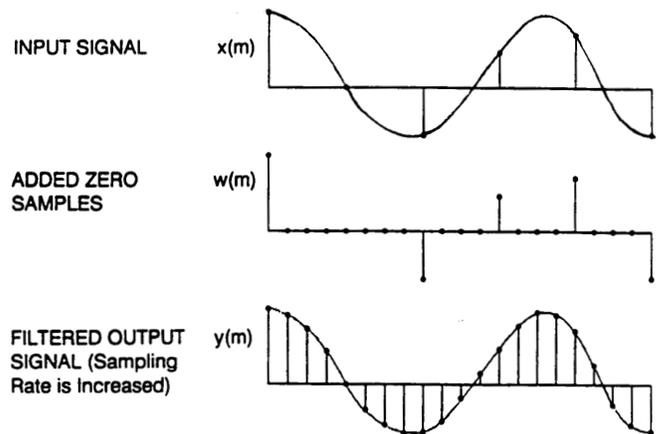


图35. 离散时间信号的插值

与 Σ - Δ 型ADC一样，除非以某种方式求平均值，否则1位DAC输出毫无意义。此外还需要消除位于上部频率区域中的整形量化噪声。最后，还需要抑制任何位于输出奈奎斯特速率附近的镜像。模拟平滑滤波器通常分多级来执行这些功能。设计此滤波器时，滤波器特性必须符合整体系统的要求。例如，音频系统需要保留其相位和幅度响应，同时输出滤波器也要适当地抑制高频成分。如果平滑滤波器为有源滤波器，则必须注意，所用的运算放大器不能在最终输出中引入压摆率限制和噪声导致的失真产物。

Σ - Δ 型编解码器ADSP-28msp02

ADSP-28msp02是一款基于 Σ - Δ 设计的混合信号外设。作为一款线性编解码器，它内置16位 Σ - Δ 型ADC和DAC，从而为高性能语音频带DSP应用提供了一种完整的模拟前端和后端。该IC的主要特性如图6.36所示，功能框图如图6.37所示。

- 16位 Σ - Δ 型ADC
- 16位 Σ - Δ 型DAC
- 片内抗混叠和平滑滤波器
- 采样速率: 8kSPS;
过采样比: 128
- 片内基准电压源
- SNR和THD: 65dB
- 与DSP芯片轻松接口
- 24引脚DIP/SOIC封装
- +5V单电源, 100mV功耗
- 语音频带应用的理想选择

图36. Σ - Δ 编解码器ADSP-28msp02的主要特性

与传统m法则和A法则编解码器相比, ADSP-28msp02的线性编码ADC和DAC能够在整个传递函数上保持宽动态范围。该器件有效采样速率为8kSPS, 信噪比(SNR)和总谐波失真(THD)性能达到65 dB, 因而对于许多电信应用(如数字蜂窝电话等)而言, 该器件是一个很有吸引力的选择。它采用24引脚DIP/SOIC封装, 构成一款高度集成的小尺寸解决方案, 能够满足语音频带模拟处理要求。通过串行I/O端口, ADSP-28msp02可以与ADSP-2101、ADSP-2105、ADSP-2111、MC56001和TMS320C25 DSP处理器轻松接口。串行端口(SPORT)则用于收发数据或控制器件输入输出的信息。

ADSP-28msp02的编码器由两个可选模拟输入放大器和一个 Σ - Δ 型ADC组成。通过外部电阻, 可以在-12dB至+26dB的范围内调整输入放大器的增益。调制器之前可以插入一个可选的20dB前置放大器。前置放大器和多路复用器由控制寄存器中的数据位控制。 Σ - Δ 型ADC由 Σ - Δ 调制器、抗混叠抽取滤波器和数字高通滤波器组成。调制器对信号进行噪声整形, 并以1.024MHz的速率产生1位样本。代表模拟输入信号的该位流被馈送到一个由两个低通滤波器级组成的抗混叠抽取滤波器。第一级将采样速率降至40kHz, 并将样本宽度增大到16位; 第二级将采样速率进一步降低到8kSPS。所产生的每个样本随后被载入SPORT以供传输。

解码器由一个 Σ - Δ 型DAC和一个差分输出放大器组成。DAC以8kHz速率从SPORT读取16位样本。数字抗镜像滤波器和高通滤波器对样本进行低通和高通滤波。抗镜像滤波器分两级对采样速率进行插值, 第一级插值到40kHz, 第二级插值到1.024MHz。由此得到的16位样本经过数字 Σ - Δ 调制器处理, 样本宽度减至1位。此位流被馈送到一个模拟平滑滤波器, 以便将数据转换为模拟电压。平滑滤波器的增益可以通过控制寄存器在-15dB至+6dB范围内以3dB步进进行调整。

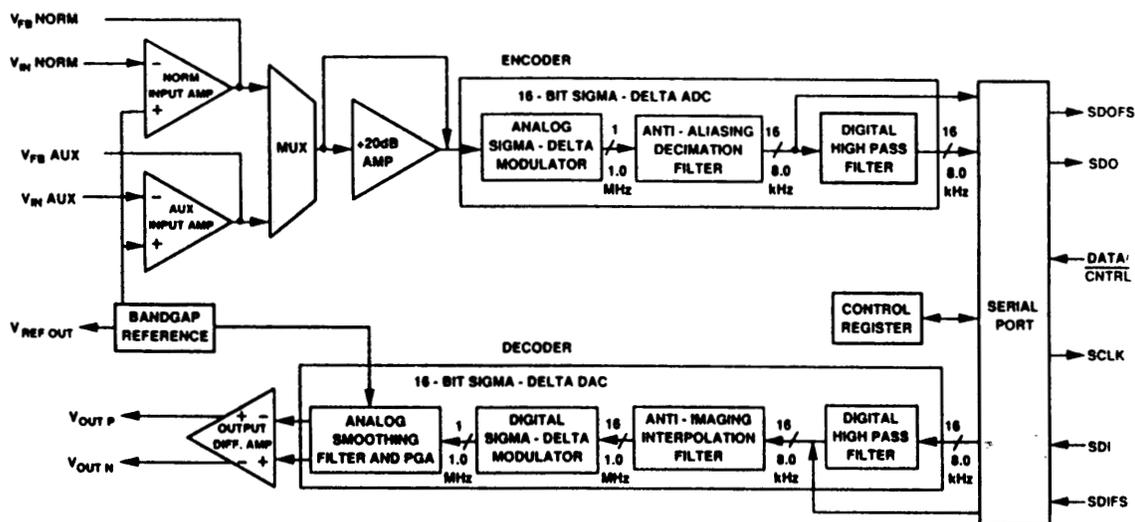


图37. ADSP-28msp02功能框图

多级噪声整形(MASH) Σ - Δ 转换器

如前所述，AD1879音频ADC成功使用非线性稳定技术来设计五阶 Σ - Δ 环路。还有一种方法是将稳定的一阶环路级联起来，称为多级噪声整形(MASH)。图6.38显示了一个三级MASH ADC的框图。从第一个DAC输出中减去第一个积分器的输出，产生第一级量化噪声 Q_1 。然后，第二级对 Q_1 进行量化。从第二个DAC输出中减去第二个积分器的输出，产生第二级量化噪声，进而由第三级进行量化。

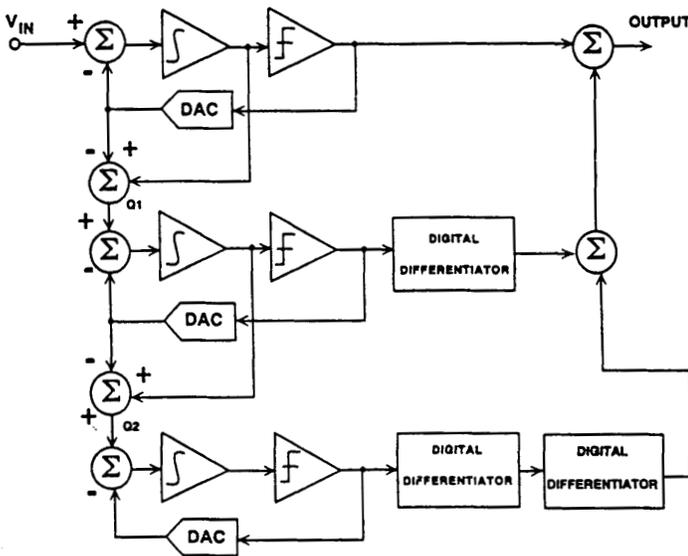


图38. 多级噪声整形 Σ - Δ 型ADC (MASH)

第一级的输出与第二级输出的一重数字微分和第三级输出的二重微分相加，产生最终输出。因此，量化噪声 Q_1 被第二级抑制，量化噪声 Q_2 被第三级抑制，这与三阶环路的抑制效果相同。由于此结果是利用三个一阶环路获得的，因此可以确保电路稳定工作。图6.39对MASH架构与高阶单环路架构进行了比较。

- MASH将一阶环路级联起来，因而容易确保稳定
- MASH转换器的增益和相位匹配对于消除误差至关重要
- MASH数字微分器必须与模拟积分器相匹配
- 单环路高阶调制器受空闲模式的影响较小
- 单环路高阶调制器较难理解、分析和稳定，但可以利用AD1879(五阶调制器)所用的非线性技术来实现

图39. MASH拓扑结构与高阶环路 Σ - Δ 转换器

多位 Σ - Δ 转换器

到目前为止，我们只考虑了包含1位ADC(比较器)和1位DAC(开关)的 Σ - Δ 转换器。图6.40的功能框图显示了一个使用 n 位Flash ADC和 n 位DAC的多位 Σ - Δ 型ADC。对于给定的过采样比和环路滤波器阶数，这种架构显然能提供更高的动态范围。由于可以使用二阶及以上的环路，因此也更容易实现稳定。空闲模式更具随机性，因此干扰音影响更小。

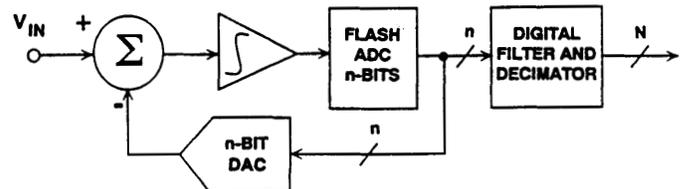


图40. 多位一阶 Σ - Δ 型ADC

这种技术的最大缺点在于线性度取决于DAC的线性度，并且需要采用薄膜激光调整才能达到16位性能水平。因此，要在混合信号IC上实现多位架构非常不切实际。图6.41对多位与一位 Σ - Δ 转换器进行了比较。

多位:

- 对于给定的过采样比和环路滤波器阶数, 动态范围更高
- 高阶系统更容易稳定
- 空闲模式引起的干扰音影响更小
- 线性度取决于DAC
- 要求薄膜激光调整

一位:

- 完美的线性度, 无严格匹配要求
- 无需激光调整
- 混合信号VLSI的理想拓扑结构
- 需要采用非线性技术以稳定高阶环路(AD1879)

图41. 多位与一位 Σ - Δ 转换器 **Σ - Δ 总结**

尽管 Σ - Δ 转换器所涉及的概念并非新生事物, 但之所以在最近得到迅速发展, 主要是受混合信号VLSI芯片对兼容转换器的需求所推动。采用 Σ - Δ 架构的转换器是测量、语音频带和音频应用的理想之选。随着对各种 Σ - Δ 电路拓扑结构的探索进一步深入以及新工艺的发展, Σ - Δ 转换器的动态范围和采样速率必将越来越高。

显而易见, Σ - Δ 转换器并不是解决目前所有数据采集问题的万能钥匙。采样频率存在上限, 因此不适合视频应用; 由于内部数字滤波器的建立时间较长, 多路复用输入难以实现; 超范围信号可能导致内部调制器饱和。

另一方面, Σ - Δ 转换器也有许多优点: 内在的出色线性度性能消除了激光调整要求, 过采样降低了抗混叠和抗镜像滤波器要求, 架构的基本采样特性决定了它不需要SHA。随着混合信号IC的普及, Σ - Δ 转换器将继续得到快速发展。

- 内在的出色线性度
- 非常适合混合信号IC工艺, 无需调整
- 无需采样保持放大器(SHA)
- 采样速率存在上限, 目前仅限应用于测量、语音频带和音频
- 超范围信号可能导致调制器饱和
- 由于内部滤波器限制, 不适合模拟多路复用应用: 一个通道使用一个 Σ - Δ 型ADC!

图42. Σ - Δ 总结

参考文献

1. J. Dattorro, A. Charpentier, D. Andreas, The Implementation of a One-Stage Multirate 64:1 FIR Decimator for use in One-Bit Sigma-Delta A/D Applications, **AES 7th International Conference**, May 1989.
2. W.L. Lee and C.G. Sodini, A Topology for Higher-Order Interpolative Coders, **ISCAS PROC. 1987**.
3. P.F. Ferguson, Jr., A. Ganesan and R. W. Adams, One Bit Higher Order Sigma-Delta A/D Converters, **ISCAS PROC. 1990**, Vol. 2, pp. 890-893.
4. R. Koch, B. Heise, F. Eckbauer, E. Engelhardt, J. Fisher, and F. Parzefall, A 12-bit Sigma-Delta Analog-to-Digital Converter with a 15MHz Clock Rate, **IEEE Journal of Solid-State Circuits**, Vol. SC-21, No. 6, December 1986.
5. Wai Laing Lee, A Novel Higher Order Interpolative Modulator Topology for High Resolution Oversampling A/D Converters, **MIT Masters Thesis**, June 1987.
6. D. R. Welland, B. P. Del Signore and E. J. Swanson, A Stereo 16-Bit Delta-Sigma A/D Converter for Digital Audio, **J. Audio Engineering Society**, Vol. 37, No. 6, June 1989, pp. 476-485.
7. R. W. Adams, Design and Implementation of an Audio 18-Bit Analog-to-Digital Converter Using Oversampling Techniques, **J. Audio Engineering Society**, Vol. 34, March 1986, pp. 153-166.
8. B. Boser and Bruce Wooley, The Design of Sigma-Delta Modulation Analog-to-Digital Converters, **IEEE Journal of Solid-State Circuits**, Vol. 23, No. 6, December 1988, pp. 1298-1308.
9. Y. Matsuya, et. al., A 16-Bit Oversampling A/D Conversion Technology Using Triple-Integration Noise Shaping, **IEEE Journal of Solid-State Circuits**, Vol. SC-22, No. 6, December 1987, pp. 921-929.
10. Y. Matsuya, et. al., A 17-Bit Oversampling D/A Conversion Technology Using Multistage Noise Shaping, **IEEE Journal of Solid-State Circuits**, Vol. 24, No. 4, August 1989, pp. 969-975.
11. P. Ferguson, Jr., A. Ganesan, R. Adams, et. al., An 18-Bit 20-kHz Dual Sigma-Delta A/D Converter, **ISSCC Digest of Technical Papers**, February 1991.
12. Steven Harris, The Effects of Sampling Clock Jitter on Nyquist Sampling Analog-to-Digital Converters and on Oversampling Delta Sigma ADCs, Audio Engineering Society Reprint 2844 (F-4), October, 1989.