

延长CMOS寿命的关键因素 本文介绍如何避免错误地使用CMOS

作者: Jerry Whitmore

对于模拟CMOS(互补对称金属氧化物半导体)而言,两大主要危害是静电和过压(信号电压超过电源电压)。了解这两大危害,用户便可以有效应对。

静电

由静电荷积累($V=q/C=1\text{kV}/n\text{C}/\mu\text{F}$)而形成的静电电压带来的危害可能击穿栅极与衬底之间起绝缘作用的氧化物(或氮化物)薄层。这项危害在正常工作的电路中是很小的,因为栅极受片内齐纳二极管保护,它可使电荷损耗至安全水平。然而,在插入插座时,CMOS器件与插座之间可能存在大量静电荷。如果插入插座的第一个引脚恰巧没有连接齐纳二极管保护电路,栅极上的电荷会穿过氧化层释放而损坏器件。以下四步有助于防止器件在系统装配阶段受损。

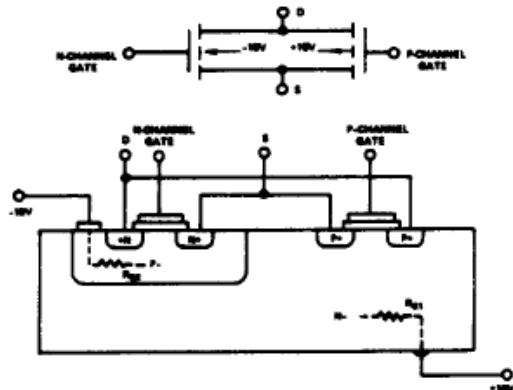
1. 将未使用的CMOS器件存放于黑色导电泡沫材料中,这样在运输时可以防止引脚之间积累电荷。
2. 负责器件接插的操作人员应通过一个塑料接地带与系统电源地相连。
3. 从防护性的泡沫材料中取出CMOS器件前,泡沫材料应与电源共地,释放掉积累的电荷。
4. 在电路插入电路板之后,移动电路板时应保持电路板接地或屏蔽。

SCR闩锁

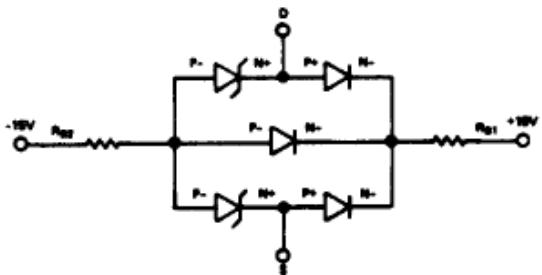
在使用模拟CMOS电路时,最安全的做法是确保没有超过电源电压的模拟或数字电压施加到器件上,并且电源电压在额定范围内。尽管如此,实施承受过压保护也是有必要的。如果理解了问题的机制,保护措施在大多数情况下都会是行之有效的。

Reprinted from Analog Dialogue 8-2 1974

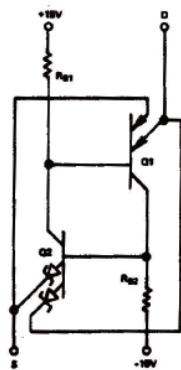
图1是一个典型CMOS输出开关单元的电路图及截面图。从不同单元和区域之间的连接关系中,我们可以画出一个等效二极管电路图(图2)。如果在S端或D端的模拟输入电压超过电源电压,



由不同二极管结产生的寄生晶体管就会处于正向偏置模式。这些寄生的NPN和PNP晶体管形成如图3所示的SCR(可控硅整流器)电路。



过压能引起过大的电流和金属化问题。通常,运算放大器的输出作为S端或D端的电压源,因此电流不能大于运算放大器直流输出电流的限值。然而,瞬态感应电流仍有可能破坏CMOS器件;因此,有必要进行保护。



IF, FOR EXAMPLE, A POSITIVE OVER-VOLTAGE IS APPLIED TO THE DRAIN TERMINAL, THE BASE OF Q1 WILL CONDUCT WHEN ITS Emitter VOLTAGE EXCEEDS V_{DD} BY ONE BASE-EMITTER DROP. THE COLLECTOR CURRENT WILL INCREASE TO A LEVEL LIMITED ONLY BY THE V_{BE} AND V_D CURRENT LIMITATIONS. SINCE THE METAL INTERCONNECT TO THE SUPPLY TERMINAL IS NORMALLY DESIGNED TO HANDLE SMALL CURRENTS, THE CURRENT DENSITIES INVOLVED CAN CAUSE DEVICE FAILURE.

图3. CMOS开关中的寄生晶体管效应

图4举例说明了通过在电源供电引脚串联二极管(比如1N459)防止寄生晶体管导通的方法。如果S端或D端电压高于电源电压时, CR1和/或CR2反向偏置, 基极驱动电路不能使晶体管导通。每个CMOS器件都应该有一对独立的二极管对其进行保护。尽管这个方法很有效, 但它不是万无一失的。如果开关的一端连接到一个负电位(例如一个充电电容), 并且另一端电压超过 V_{DD} , 则尽管有保护二极管,

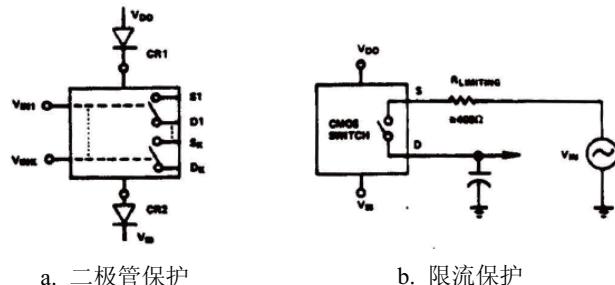


图4. 电路保护方案

在Q2的一个发射极的雪崩二极管足够提供基极驱动使Q2导通。对于这种情况, 必须要有一个与电容串联的限流电源或者电阻。

如果在S端或D端有瞬时过压, 那么由电压源供电的端口处的串联电阻的建议值为300至400Ω(图4b)。