

走近IBIS模型：什么是IBIS模型？它们是如何生成的？

作者：Mercedes Casamayor

简介

在进行系统设计时节省时间和降低成本是很关键的。在原型制作之前，系统设计人员可以用模型来进行设计仿真。在高速系统设计中正是如此，进行信号完整性仿真来分析不同条件下传输线中的电路行为，在设计初期就能预防并检测出典型的问题，例如过冲、欠冲、阻抗不匹配等。然而，可用的数字IC模型非常少。当半导体厂商被索要SPICE模型时，他们并不愿意提供，因为这些模型会包含有专有工艺和电路信息。

这个问题已经通过采用IBIS模型来（输入/输出缓冲器信息规范）解决，IBIS也被称为ANSI/EIA-656，这是一个建模的新标准，在系统设计人员中越来越流行。

什么是IBIS？

IBIS是一个行为模型，通过V/I和V/T数据描述器件数字输入和输出的电气特性，不会透露任何专有信息。IBIS模型与系统设计人员对传统模型的理解不同，例如其它模型中的原理图符号或多项式表达式。IBIS模型包括由输出和输入引脚中的电流和电压值以及输出引脚在上升或下降的转换条件下电压与时间的关系形成的表格数据。这些汇总的数据代表了器件的行为。

IBIS模型用于系统板上的信号完整性分析。这些模型使系统设计人员能够仿真并预见到连接不同器件的传输线路中基本的信号完整性问题。潜在的问题可以通过仿真进行分析，潜在的问题包括由传输线上阻抗不匹配导致的到达接收器的波形反射到驱动器的能量；串扰；接地和电源反弹；过冲；欠冲；以及传输线路端接分析等等。

IBIS是一种精确的模型，因为它考虑了I/O结构的非线性，ESD结构和封装寄生效应。它相对于其它传统模型(例如SPICE)有几项优势。例如，仿真时间最多可缩短25倍，IBIS没有SPICE的不收敛的问题。此外，IBIS可以在任何行业平台运行，因为大多数电子设计自动化(EDA)供应商都支持IBIS规范。

IBIS的历史

IBIS由Intel®公司在90年代初开发。IBIS 1.0版本于1993年6月发布，IBIS开放式论坛也在那时成立。

IBIS开放式论坛包括EDA厂商、计算机制造商、半导体厂商、大学和终端用户。它负责提议进行更新和评审、修订标准，组织会议。它促进IBIS模型的发展，在IBIS网站上提供有用的文档和工具。1995年，IBIS开放式论坛与电子工业联盟(EIA)合作。

已经发布了几个IBIS版本。第一个版本描述了CMOS电路和TTL I/O缓冲器。每个版本都增加并支持新的功能、技术和器件种类。所有版本都互相兼容。IBIS 4.0版本由IBIS开放式论坛在2002年7月批准，但它还不是ANSI/EIA标准。

如何生成IBIS模型

可以通过仿真过程中或基准测量中收集的数据来获得IBIS模型。如果选择前一种方法，可以使用SPICE进行仿真，收集每个输出/输出缓冲器的V/I和V/T数据。这样可以在模型中包含过程转折数据。然后，使用IBIS网站上的SPICE至IBIS转换程序可以由SPICE生成IBIS模型。

模型可以在三种不同条件下生成：典型、最小和最大。在典型模型中，使用标称电源电压、温度和工艺参数获取数据；在最小模型中，使用最低电源电压、较高温度和较弱工艺参数获取数据；对于最大模型，条件是最高电源电压、较低温度和较强的工艺参数。

每种条件会产生相应的典型、慢速和快速模型。快速模型是在具有快速转换时间和最小封装特性的最高电流值条件下生成的。另一方面，具有较慢转换时间和最大封装值的最低电流值条件将生成慢速模型。

如果数据是在实验室测量中获得的，那么模型取决于器件的特性。如果是标称器件，将获得典型模型。

数据收集好后，以可读的ASCII文本格式存入文件中。Golden Parser，也称为ibischk3，用于根据标准检查IBIS文件的句法和结构。最后一步，设计人员应通过将仿真结果与实际芯片测量关联起来验证模型。

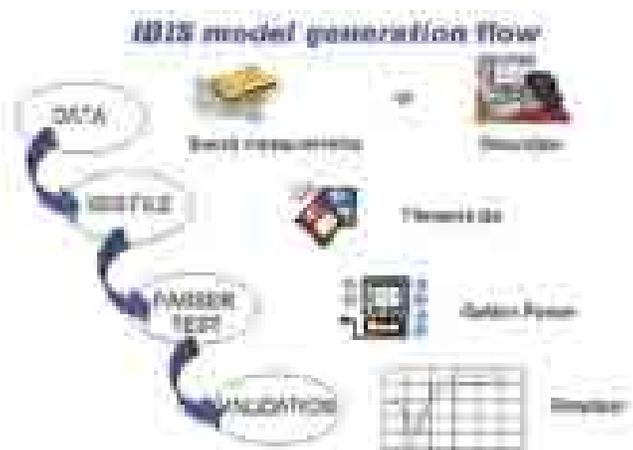


图1. IBIS模型的生成流程

所需数据

IBIS规范支持几种输入和输出，例如可建模为三态、集电极开路、开漏、I/O和ECL的输入/输出。第一步是识别器件上不同类型的输入和输出，确定设计中存在多少缓冲器。值得注意的是在IBIS文件中一个模型可用于表示多个输入或输出。然而，如果C_Comp和封装参数不同，就需要不同的模型。

三态输出

图2所示为三态输出的结构；模型可视为一个驱动器。它包含一个PMOS晶体管和一个NMOS晶体管，两个ESD保护二极管，芯片电容和封装寄生电容。

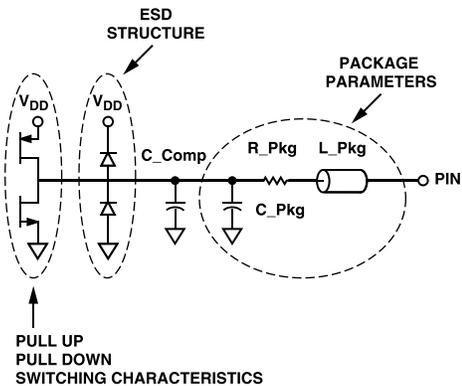


图2. 三态输出缓冲器

输出模型通过以下直流电气数据、交流或转换数据以及参数进行表征：

1. 上拉和下拉曲线
2. 电源和GND箝位曲线
3. 斜坡速率
4. 上升和下降波形
5. C_Comp
6. 封装参数

上拉和下拉曲线

上拉和下拉数据决定器件的驱动强度。这些曲线通过特征化输出中的两个晶体管来获得。上拉数据描述当输出为逻辑高电平状态(PMOS晶体管导通)时的I/V行为。反之，下拉数据表示当输出为逻辑低电平状态(NMOS晶体管导通)时的直流电气特性。

数据需要在 $-V_{DD}$ 至 $2 \times V_{DD}$ 的范围内获取。虽然这个电压范围超过了半导体厂商在器件规格中指出的绝对最大额定值，但是这个范围覆盖了传输线中可能发生的欠冲、过冲和反射的情况。因此，驱动器和接收器需要使用这个电压范围建模。

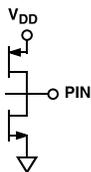


图3. 输出中的PMOS和NMOS晶体管

值得注意的是下拉数据是相对于GND的，而上拉数据是相对于 V_{DD} 的，这是因为输出电流取决于输出端和 V_{DD} 引脚之间的电压，而不是输出端和接地引脚之间的电压。因此，IBIS文件中的上拉数据应按照下面的表达式输入

$$V_{TABLE} = V_{DD} - V_{OUT}$$

电源和GND箝位曲线

这些曲线是在输出为高阻态时生成的。GND和电源箝位数据表示输出端在GND箝位和电源箝位二极管分别导通时的电气性能。当输出低于接地电平时GND箝位有效，当输出高于 V_{DD} 时电源箝位有效。对于GND箝位曲线，数据在 $-V_{DD}$ 至 V_{DD} 范围内获取，对于电源箝位曲线，数据在 V_{DD} 至 $2 \times V_{DD}$ 范围内获取。由于是上拉数据，电源箝位数据需要相对于 V_{DD} ，因此输入文件的值使用与上面相同的表达式($V_{TABLE} = V_{DD} - V_{OUT}$)获得。

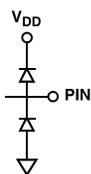


图4. GND和电源箝位二极管

GND和电源箝位数据需要从上拉和下拉数据中减去。否则，仿真器要计算两次。

表扫描电压范围

I/V特性	范围
下拉	$-V_{DD}$ 至 $2 \times V_{DD}$
上拉	$-V_{DD}$ 至 $2 \times V_{DD}$
GND箝位	$-V_{DD}$ 至 V_{DD}
电源箝位	$+V_{DD}$ 至 $2 \times V_{DD}$

斜坡速率和切换波形

斜坡速率(dV/dt)描述输出端从当前逻辑状态切换到其它逻辑状态的转换时间。它是在默认50 Ω阻性负载条件下在20%和80%点测得的。

下降和上升波形显示出器件在驱动连接到地和 V_{DD} 的阻性负载从高电平到低电平和从低电平到高电平所需的时间。对于标准推挽CMOS，可产生四种不同波形。两个上升波形，两个下降波形。在每种情况下，一个是负载与 V_{DD} 连接，另一个是负载与GND连接。然而，在模型中经常只能看到其中两个波形。

斜坡速率与下降和上升波形包含了芯片电容的影响。因此，如果仿真器使用 C_{Comp} 值作为输出端的额外负载，就会产生错误的结果。这是 C_{Comp} 影响的重复计算。

由于有I/V曲线，封装的影响没有包括在内。

C_Comp

这是硅芯片电容，不包括封装电容。它是焊盘与驱动器之间的电容。 C_{Comp} 是关键参数，特别是对于接收器的输入。 C_{Comp} 对于每个不同转折点(最小、典型和最大)都有一个对应值。 C_{Comp} 最大的值应在最大转折点之下，最小值应在最小转折点之下。

封装参数

R_{Pin} 、 L_{Pin} 和 C_{Pin} 是每个引脚到缓冲器连接的电阻、电感和电容的电气特性。 R_{Pkg} 、 L_{Pkg} 和 C_{Pkg} 是整个封装的集总值。与 C_{Comp} 参数一样，最大的值以最大值列出，最小的值以最小值列出。

输入模型

图5所示为输入结构；其模型可视为接收器。它包括两个ESD保护二极管、芯片电容和封装寄生电容。

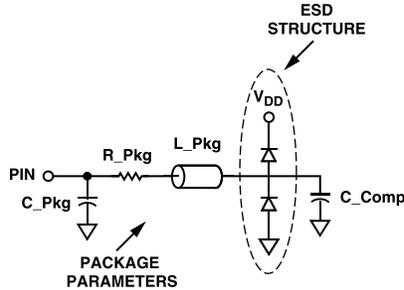


图5. 输入缓冲器

这些元件形成表征输入特性的V/I曲线。在这种情况下，除了封装寄生和C_Comp参数外，输入端模型包括从ESD二极管获得的电源和GND箝位数据。这些曲线遵照用于输出端的相同的程序生成。扫描电压范围对于GND箝位是 $-V_{DD}$ 至 V_{DD} ，对于电源箝位曲线是 V_{DD} 至 $2 \times V_{DD}$ 。此外，由于电源箝位数据是相对于 V_{DD} 的，它需要以 $V_{TABLE} = V_{DD} - V_{IN}$ 的方式输入文件中。

其它参数

对于输出模型，有一些参数应包含在文件中，对时序要求进行后仿真。这些时序测试负载和测量点是测试负载电容值(C_{REF})、测试负载电阻值(R_{REF})、测试负载上拉或下拉参考电压(V_{REF})和输出电压测量点(V_{MEAS})。当指定传播延迟和/或器件输出切换时间时，他们与半导体厂商使用的测试负载相同。

对于输入，应包括 V_{INL} 和 V_{INH} 参数。这些是输入端的输入电压阈值，可从数据手册中获得。

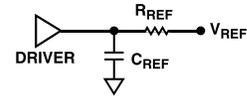


图6. C_{REF} 、 R_{REF} 和 V_{REF} 的连接

IBIS文件看上去是什么样的?

IBIS文件不是可执行文件；它是收集所有描述器件电性能数据的文件，能在仿真器中使用。IBIS文件包括三个主要部分。

1. 头文件或关于文件、器件和公司的一般信息
2. 器件名称、引脚排列和引脚到缓冲器映射
3. 每个模型的I/V和V/T数据

IBIS模型可包含多个器件的特征。在这种情况下，第2和第3点随包含的器件而重复多次。

以下部分显示了IBIS文件的主要部分。括号内的文字被称为关键字；它们中的一些是可选的，其它的必须被包括。

文件头和一般信息

```

[IBIS Ver] 3.2
[File Name] ad6645sq.ibs
[File Rev] 3.0
[Source] Measured and created by Teraspeed Consulting Group
[Date] 02-19-2003
[Notes] Quality Check of this IBIS model: Model Passes IBIS Check.
Model
parses into ICX IS. Simulates using HyperLynx.
    
```

关键字

器件及引脚信息

```

[Component] AD6645sq-80
[Manufacturer] Analog Devices
|
[Package]
| variable  typ  min  max
R_pkg  0.010ohms  0.009ohms  0.011ohms
L_pkg  1.933nH    1.900nH    1.966nH
C_pkg  1.000pF     0.900pF    1.100pF
|
[Pin] signal_name  model_name  R_pin  L_pin  C_pin
|
1      DVCC          POWER      0.01   3.71E-09  1.23E-12
...    ...           ...        ...    ...      ...
33     DVCC          POWER      0.01   3.03E-09  1.00E-12
51     D13          OUT1       0.01   3.71E-09  1.23E-12
52     DRY          OUT3       0.01   3.95E-09  1.31E-12
|
    
```

封装参数

指定的引脚模型

模型的验证

IBIS文件一旦创建出来，必须经过验证。Golden Parser，也称为ibischk3，是对文件的句法和结构进行核对的程序，确保其符合IBIS规范。这个程序可从IBIS网站免费获得，地址为<http://www.eigroup.org/ibis/tools.htm>。接下来，用户应该对从文件中生成的I/V和V/T曲线进行检查，确保结果如预期。这可以使用Innoveda公司提供的Visual IBIS Editor来完成，该软件可从IBIS网站免费获取。

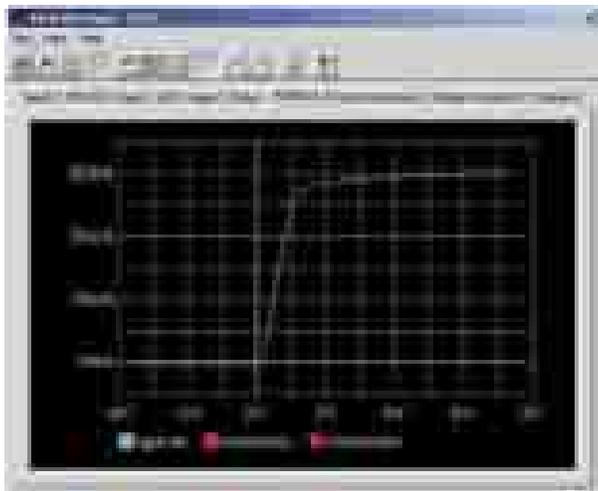


图7. 下拉曲线

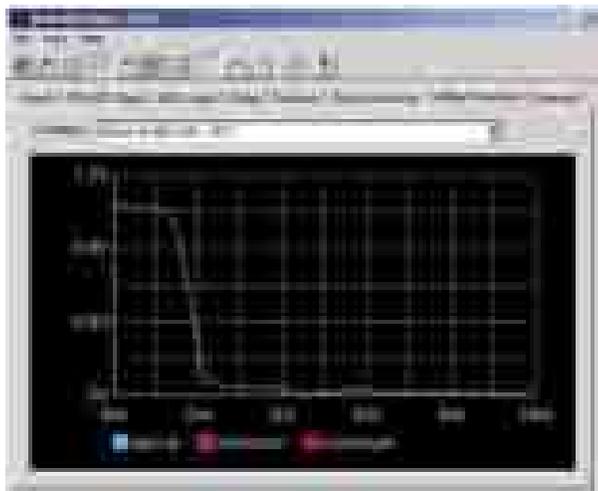


图8. 下降波形

这之后，模型应采用不同EDA厂商提供的多种IBIS仿真器在不同标准负载下运行。这些厂商包括HyperLynx、Cadence和Avanti Corporation。结果应与使用相同负载的晶体管级参考仿真(SPICE仿真)进行对比。最后，IBIS仿真结果应与实际的芯片测量相关联。

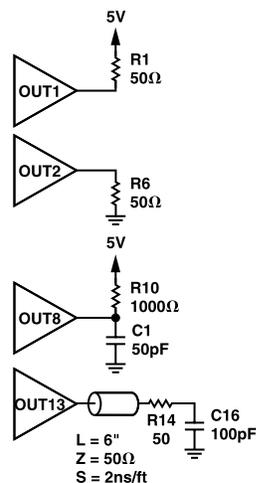


图9. 在不同负载下对模型进行仿真

由于不同半导体公司提供的模型质量不同，IBIS质量委员会开发了一个质量检查清单来定义不同的质量级别，如表II所示。此外，IBIS精度手册介绍了将仿真与测量相关联的方法。其主要目的是提供精确、高质量的模型，使用户可以确信得到可靠的数据。

表II. IBIS质量检查清单中的质量级别

质量级别	描述
0级	通过ibischk, Golden Parser
1级	与检查清单文件中一样完整及正确的。
2a级	与仿真相关
2b级	与测量相关
3级	以上全部

结论

IBIS模型是很精确，易于生成，并与多种仿真平台兼容。从半导体厂商的观点来看，IBIS是解决SPICE模型专有信息问题的标准规范。IBIS模型可以利用SPICE到IBIS转换过程从SPICE模型中生成。IBIS网站上可以找到转换工具。从用户角度来看，上述各点提高了模型的可用性。然而，要生成高质量级别的模型仍有不少工作要做。

参考文献

IBIS (I/O Buffer Information Specification) Version 4.0
I/O Buffer Modeling Cookbook, IBIS Open Forum,
Sept. 1997

IBIS Model Process For High-Speed LVDS Interface
Products, National Semiconductor Corporation, Nov.
2002

IBIS Models: Background and Usage, Actel Corpora-
tion, May 2002

Effective Signal Integrity Analysis using IBIS Models,
Syed B. Huq, DesigCon 2000

Introduction to IBIS Modeling of Fiber Optic Trans-
ceivers, Mark Chang, Agilent Technologies

Generating Accurate Behavioral Models of I/O Buffers,
Thomas Fisher, Texas Instruments

Practical Issues with IBIS Models, Bob Ross,
Inteconnec-tix Unit of Mentor Graphics Corporation
Ease System Simulation with IBIS Device Models, Syed
Huq, 1996

IBIS Models for Signal Integrity Applications, Bob
Ross, Syed Huq, John Powell, Sept. 1996

IBIS Behavioral Models, Micron, 1996

I/O Buffer modeling spec simplifies simulation for
high-speed systems, Derrick Duehren, Will Hobbs,
ArpadMuranyi, Robin Rosenbaum, Sept. 1994