

3.3V、E1/T1/J1、短程八通道线路接口单元

www.maxim-ic.com.cn

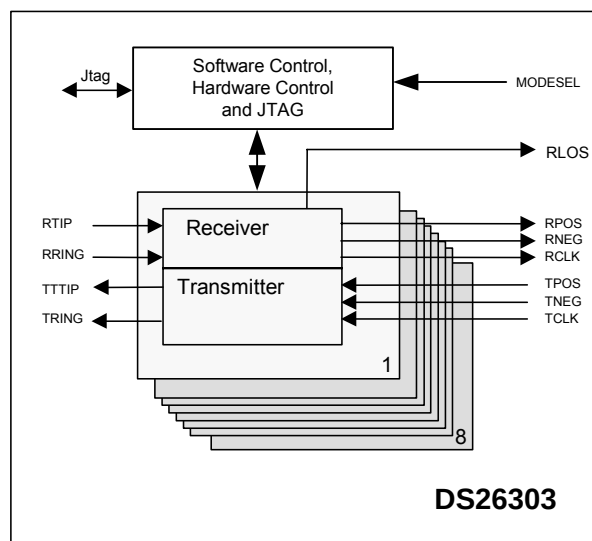
概述

DS26303是支持3.3V供电E1/T1/J1系统的8通道短程线路接口单元(LIU)。通过内部端接或外部端接支持各种应用，只需一套少量的外部元件即可支持E1/T1/J1工作。利用非介入监视、最佳阻抗模式和1:1或1+1增强备份支持冗余操作。内置频率合成器从一个主时钟输入产生不同频率的E1/T1/J1时钟。该芯片还提供两路参考时钟输出。

应用

T1数字交叉连接
ATM与帧中继设备
无线基站
ISDN一次群接口
E1/T1/J1多路复用器和信道集
E1/T1/J1 LAN/WAN路由器

功能框图



关键特性

- 8通道完备的E1、T1或J1短程线路接口单元
- 独立选择E1、T1或J1工作模式
- 内置由软件选择的发送、接收侧的端接
- 晶体无抖动衰减
- 可选择单极性摆幅和双极性摆幅模式，以及AMI或HDB3/B8ZS线路编解码
- AIS检测与发生器
- 数字/模拟信号丢失检测，符合T1.231、G.775和ETSI 300 233标准
- T1/J1或E1模式的外部主时钟可以是2.048MHz或1.544MHz的倍频；该时钟由内部自适应调整，用于T1或E1模式。
- 内置的BERT检测器，用于诊断功能
- 8位并行接口支持Intel、Motorola模式或4线串口
- 硬件模式接口支持
- 发送短路保护
- G.772非介入监视
- 符合最新T1/E1标准 - ANSI T1.102、AT&T Pub 62411、T1.231、T1.403、ITU G.703、G.742、G.775、G.823、ETSI 300 166和ETSI 300 233
- 单电源3.3V供电，具有5V I/O容限
- 符合IEEE 1149.1的JTAG边界扫描
- 采用144引脚的eLQFP封装

订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS26303L-XXX	0°C to +70°C	144 eLQFP
DS26303L-XXX+	0°C to +70°C	144 eLQFP
DS26303LN-XXX	-40°C to +85°C	144 eLQFP
DS26303LN-XXX+	-40°C to +85°C	144 eLQFP

注意：XXX为075时，表示的是在E1模式下，该器件的阻抗默认为72Ω。当XXX为120时，表示的是器件的阻抗默认为120Ω。

+ 表示无铅/RoHS兼容器件。

目录

1	详细说明	6
2	电信规范支持	7
3	结构框图	9
4	引脚说明	11
4.1	硬件和主机端口操作	20
4.1.1	硬件模式.....	20
4.1.2	串口操作.....	21
4.1.3	并口操作.....	22
4.1.4	中断处理.....	22
5	寄存器.....	24
5.1	寄存器说明	29
5.1.1	主寄存器.....	29
5.1.2	第二寄存器.....	37
5.1.3	独立LIU寄存器.....	38
5.1.4	BERT寄存器.....	45
6	功能说明	52
6.1	上电和复位	52
6.2	主时钟.....	52
6.3	发送器.....	53
6.3.1	发送线路模板.....	54
6.3.2	LIU发送前端.....	56
6.3.3	双极性摆幅模式.....	57
6.3.4	单极性摆幅模式.....	57
6.3.5	零抑制—B8ZS或者HDB3.....	57
6.3.6	发送关断.....	57
6.3.7	发送全 1.....	57
6.3.8	驱动故障监控.....	57
6.4	接收器.....	57
6.4.1	峰值探测器和限幅器.....	57
6.4.2	时钟和数据恢复.....	58
6.4.3	丢失信号.....	58
6.4.4	AIS	59
6.4.5	双极性违规(BPV)和多零检测器.....	60
6.4.6	LIU接收器前端.....	60
6.5	无过冲保护切换(HPS)	60
6.6	抖动衰减器	62
6.7	G.772 监控.....	63
6.8	环回	63
6.8.1	模拟环回.....	63
6.8.2	数字环回.....	63
6.8.3	远程环回.....	64
6.9	BERT	65
6.9.1	配置和监控.....	65
6.9.2	接收模板检测.....	66
6.9.3	发送模板产生.....	67
7	JTAG边界扫描结构和测试访问端口	69

7.1	TAP控制器状态机	70
7.2	指令寄存器	73
7.3	测试寄存器	74
7.3.1	边界扫描寄存器	74
7.3.2	旁路寄存器	74
7.3.3	标识寄存器	74
8	工作参数	75
9	热特性	76
10	交流特性	77
10.1	线接口特性	77
10.2	并行主机接口时序特性	78
10.3	串行端口	90
10.4	系统时序	91
10.5	JTAG时序	93
11	封装信息	94
11.1	144 引脚ELQFP封装图(56-G6037-002) (1/2)	94
11.2	144 引脚ELQFP封装图(2/2)	95
12	文档修订历史	96

图表

图 3-1. 结构框图	9
图 3-2. 接收逻辑电路	10
图 3-3. 发送逻辑电路	10
图 4-1. 144 引脚eLQFP引脚排布	19
图 4-2. 串口写操作	21
图 4-3. CLKE = 0 时串口读操作	21
图 4-4. CLKE = 1 时串口读操作	22
图 4-5. 中断处理流程图	23
图 6-1. 预标定PLL和时钟发生器	52
图 6-2. T1 发送脉冲模板	54
图 6-3. E1 发送脉冲模板	55
图 6-4. LIU前端	56
图 6-5. HPS逻辑	61
图 6-6. HPS结构框图	61
图 6-7. 抖动衰减	62
图 6-8. 模拟环回	63
图 6-9. 数字环回	64
图 6-10. 远程环回	64
图 6-11. PRBS同步状态图	66
图 6-12. 重复模板同步状态图	67
图 7-1. JTAG功能框图	69
图 7-2. TAP控制器状态图	72
图 10-1. Intel Nonmuxed读周期	79
图 10-2. Intel Mux读周期	80
图 10-3. Intel Nonmux写周期	82
图 10-4. Intel Mux写周期	83
图 10-5. Motorola Nonmux读周期	85
图 10-6. Motorola Mux读周期	86
图 10-7. Motorola Nonmux写周期	88
图 10-8. Motorola Mux写周期	89
图 10-9. 串行总线写操作时序	90
图 10-10. 串行总线读操作时序, CLKE = 0	90
图 10-11. 串行总线读操作时序, CLKE = 1	90
图 10-12. 发送系统时序	91
图 10-13. 接收系统时序	92
图 10-14. JTAG时序	93

表格

表 2-1. 与T1 相关的电信规范	7
表 2-2. 与E1 相关的电信规范	8
表 4-1. 引脚说明	11
表 4-2. 硬件模式配置范例	20
表 4-3. 并口模式选择和引脚功能	22
表 5-1. 主寄存器组	24
表 5-2. 第二寄存器组	25
表 5-3. 独立LIU寄存器组	25
表 5-4. BERT寄存器组	26
表 5-5. 主寄存器组位图	27
表 5-6. 第二寄存器组位图	27
表 5-7. 独立LIU寄存器组位图	27
表 5-8. BERT寄存器位图	28
表 5-9. G.772 监控	32
表 5-10. TST模板选择发送器寄存器	34
表 5-11. 模板选择	35
表 5-12. 地址指针区域选择	36
表 5-13. MCLK选择	40
表 5-14. PLL时钟选择	43
表 5-15. 时钟A选择	43
表 6-1. DS26303 发送器支持的电信规范	53
表 6-2. DS26303 发送器控制的相关寄存器	53
表 6-3. DS26303 模板选择	54
表 6-4. LIU前端取值	56
表 6-5. T1.231、G.775 和ETSI 300 233 规范的信号丢失标准	58
表 6-6. T1.231、G.775 和ETSI 300 233 规范的AIS标准	59
表 6-7. AIS检测和复位标准	59
表 6-8. 与AIS检测相关的寄存器	59
表 6-9. BPV、码违规和多零错误报告	60
表 6-10. 伪随机模板产生	65
表 6-11. 重复模板产生	65
表 7-1. IEEE 1149.1 体系指令代码	73
表 7-2. ID编码结构	74
表 7-3. 器件ID编码	74
表 8-1. 推荐的直流工作条件	75
表 8-2. 电容	75
表 8-3. 直流特性	75
表 9-1. 热特性	76
表 10-1. 发送器特性	77
表 10-2. 接收器特性	77
表 10-3. Intel读模式特性	78
表 10-4. Intel写周期特性	81
表 10-5. Motorola读周期特性	84
表 10-6. Motorola写周期特性	87
表 10-7. 串行端口时序特性	90
表 10-8. 发送系统时序特性	91
表 10-9. 接收系统时序特性	92
表 10-10. JTAG时序特性	93

1 详细说明

DS26303是T1 (1.544Mbps)和E1 (2.048Mbps)单芯片8通道短程线路接口单元。在单个eLQFP封装内提供8个独立的接收器和发送器。LIU可分别选择设置为T1、J1或E1工作。LIU需要一个主参考时钟，即MCLK。MCLK可以是1.544MHz或2.048MHz，或者是其倍频，每一频率均适合内部T1、J1或E1模式。发射和接收通道的内部阻抗匹配减少了外部元件数量。发射波形符合G.703和T1.102规范。DS26303提供软件选择的内部发射终端匹配，支持100Ω T1双绞线、110Ω J1双绞线、120Ω E1双绞线和75Ω E1同轴应用。发送器可快速处理高阻，能够独立关断。

在T1模式和E1模式下，接收器最大可提供15dB接收信号衰减。DS26303能够配置成7通道LIU，1通道用于非介入监控功能，符合G.772标准。接收器和发送器可设置为单极性摆幅或双极性摆幅模式。在单极性摆幅模式下可选择AMI或HDB3/B8ZS编码和解码。可在每一LIU接收或发射方向放置128位晶振无抖动衰减。抖动衰减器符合ETSI CTR12/13 ITU G.736、G.742、G.823和AT&T Pub 62411规范。

DS26303探测并产生的AIS符合T1.231、G.775和ETSI 300 233。信号丢失探测符合T1.231、G.775和ETSI 300 233。DS26303在每一LIU上均可进行数字、模拟、远程和双路环回控制。数字引脚提供JTAG边界扫描功能。

DS26303可以采用8位复用或非复用Intel或Motorola端口，4线串行端口或者工作模式受限的硬件模式进行配置。

E1线路的模拟AMI/HDB3波形或者T1线路的AMI/B8ZS波形耦合变送至DS26303的RTIP和RRING引脚。用户可选择75Ω、100Ω、110Ω或120Ω的内部端接。器件从模拟信号中恢复时钟和数据，通过一个可选抖动衰减器后，接收到的线路时钟输出至RCLK，数据输出至RPOS和RNEG。

在T1和E1模式下，DS26303接收器能够从经过15dB衰减的发送信号中恢复数据和时钟。接收器1可监控接收器2至8或发送器2至8的性能。

DS26303含有8路相同的发送器。数字发送数据输入至以TCLK为基准的TPOS/TNEG。这些引脚的数据可以是单极性摆幅或双极性摆幅。整形电路处理这些数据，经线路驱动输出至TTIP和TRING，符合T1/J1的ANSI T1.102或者E1的G.703模板。

DS26303通过耦合变压器从TTIP和TRING引脚驱动E1或T1线路。DS26303的Tx和Rx通道分别支持1:2和2:1的变压器。

2 电信规范支持

DS26303 LIU符合所有最新电信规范。以下表格列出了T1和E1规范，以及DS26303的相关章节。

表 2-1. 与 T1 相关的电信规范

ANSI T1.102–Digital Hierarchy Electrical Interface
AMI Coding
B8ZS Substitution Definition
DS1 Electrical Interface. Line rate $\pm 32\text{ppm}$; Pulse Amplitude between 2.4V to 3.6V peak; Power level between 12.6dBm to 17.9dBm. The T1 pulse mask is provided that we comply. DSX-1 for cross connects the return loss is greater than 26dB. The DSX-1 cable is restricted up to 655 feet.
This specification also provides cable characteristics of DSX-Cross Connect cable—22 AVG cable of 1000 feet.
ANSI T1.231–Digital Hierarchy–Layer 1 in Service Performance Monitoring
BPV Error Definition, Excessive Zero Definition, LOS description, AIS definition
ANSI T1.403–Network and Customer Installation Interface–DS1 Electrical Interface
Description of the Measurement of the T1 Characteristics—100 Ω , pulse shape and template according to T1.102; power level 12.4dBm to 19.7dBm when all ones are transmitted.
<i>LBO for the Customer Interface (CI) is specified as 0dB, 7.5dB, and 15dB. Line rate is $\pm 32\text{ppm}$. Pulse Amplitude is 2.4V to 3.6V.</i>
AIS generation as unframed all ones is defined.
<i>The total cable attenuation is defined as 22dB. The DS26303 functions up to 36dB cable loss.</i>
Note that the pulse mask defined by T1.403 and T1.102 are different—specifically at Times 0.61, -0.27, -34, and 0.77. The DS26303 is compliant to both templates.
Pub 62411
This specification has tighter jitter tolerance and transfer characteristics than other specifications. The jitter transfer characteristics are tighter than G.736 and jitter tolerance is tighter the G.823.

表 2-2. 与 E1 相关的电信规范

ITU-T G.703 Physical/Electrical Characteristics of G.703 Hierarchical Digital Interfaces
Defines the 2048kbps bit rate: 2048 ± 50 ppm. The transmission media are 75Ω coax or 120Ω twisted pair; peak-to-peak space voltage is ± 0.237 V; nominal pulse width is 244ns.
Return loss: 51Hz to 102Hz is 6dB, 102Hz to 3072Hz is 8dB, 2048Hz to 3072Hz is 14dB
Nominal peak voltage is 2.37V for coax and 3V for twisted pair.
The pulse mask for E1 is defined in G.703.
ITU-T G.736 Characteristics of Synchronous Digital Multiplex Equipment Operating at 2048kbps
The peak-to-peak jitter at 2048kbps must be less than 0.05UI at 20Hz to 100Hz.
Jitter transfer between 2.048 synchronization signal and 2.048 transmission signal is provided.
ITU-T G.742 Second-Order Digital Multiplex Equipment Operating at 8448kbps
The DS26303 jitter attenuator is compliant with jitter transfer curve for sinusoidal jitter input.
ITU-T G.772
This specification provides the method for using receiver for transceiver 0 as a monitor for the rest of the seven transmitter/receiver combinations.
ITU-T G.775
An LOS detection criterion is defined.
ITU-T G.823–The control of jitter and wander within digital networks that are based on 2.048kbps Hierarchy
G.823 provides the jitter amplitude tolerance at different frequencies, specifically 20Hz, 2.4kHz, 18kHz, and 100kHz.
ETSI 300 166
This specification provides transmit return loss of 6dB for a range of 0.25fb to 0.05fb, and 8dB for a range of 0.05fb to 1.5fb where fb equals 2.048kHz for 2.048kbps interface.
ETSI 300 233
This specification provides LOS and AIS signal criteria for E1 mode.
Pub 62411
This specification has tighter jitter tolerance and transfer characteristics than other specifications. The jitter transfer characteristics are tighter than G.736 and jitter tolerance is tighter than G.823.

3 结构框图

图 3-1. 结构框图

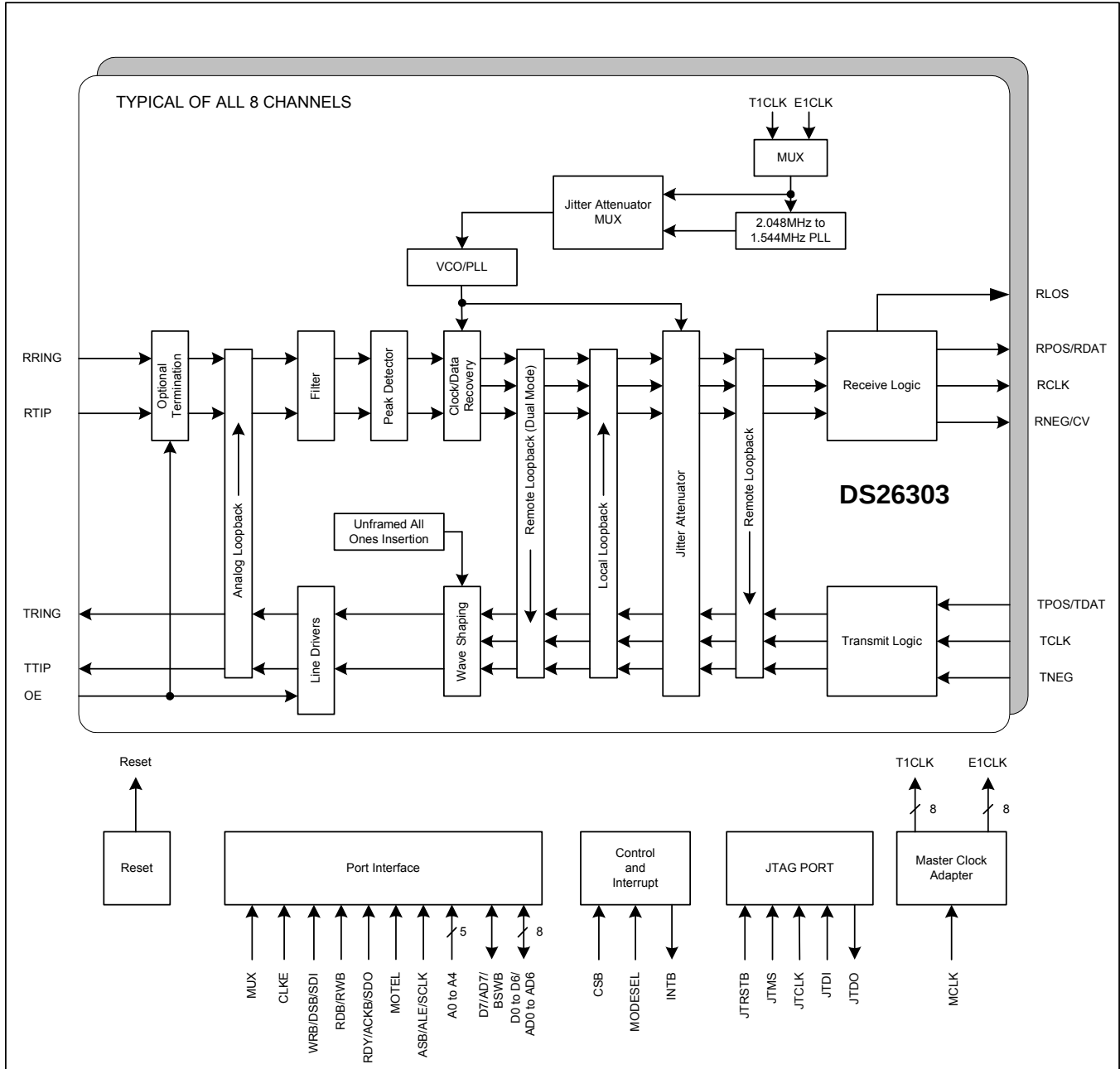


图 3-2. 接收逻辑电路

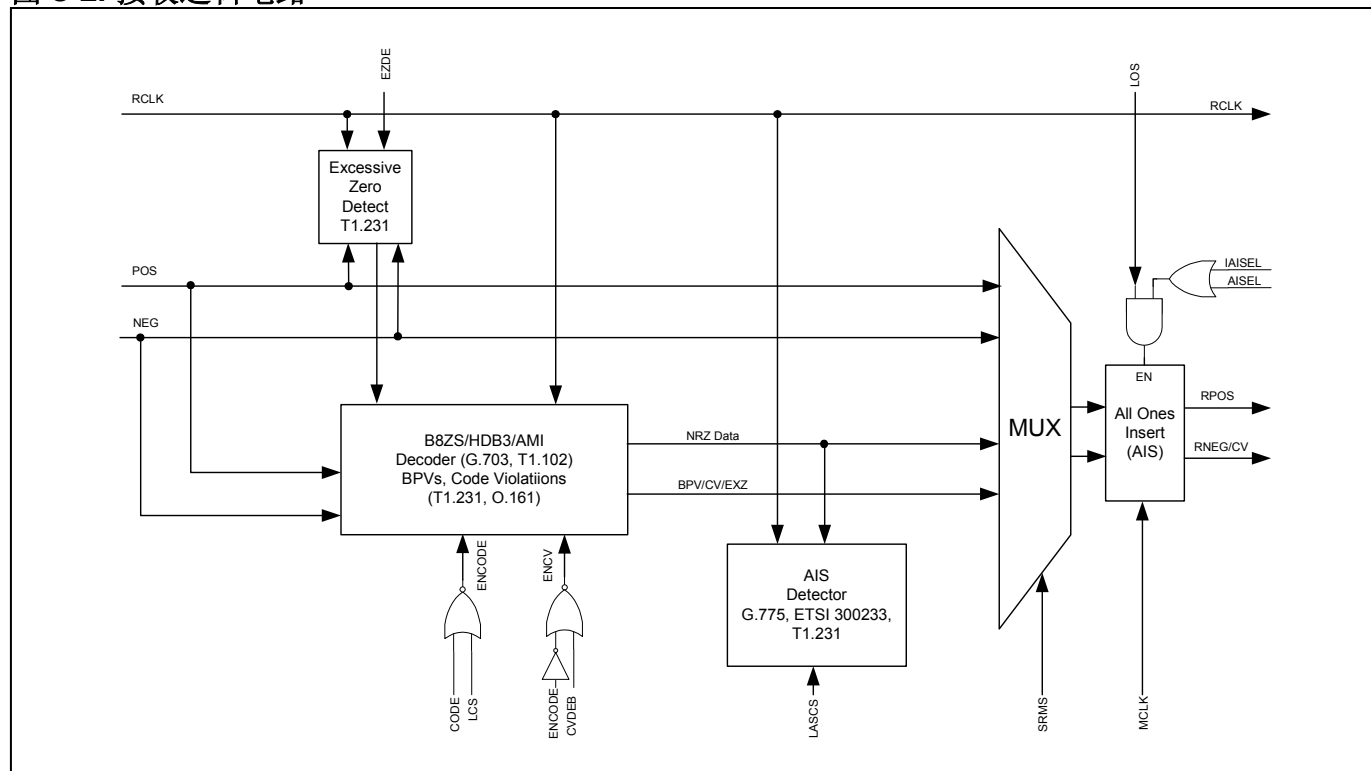
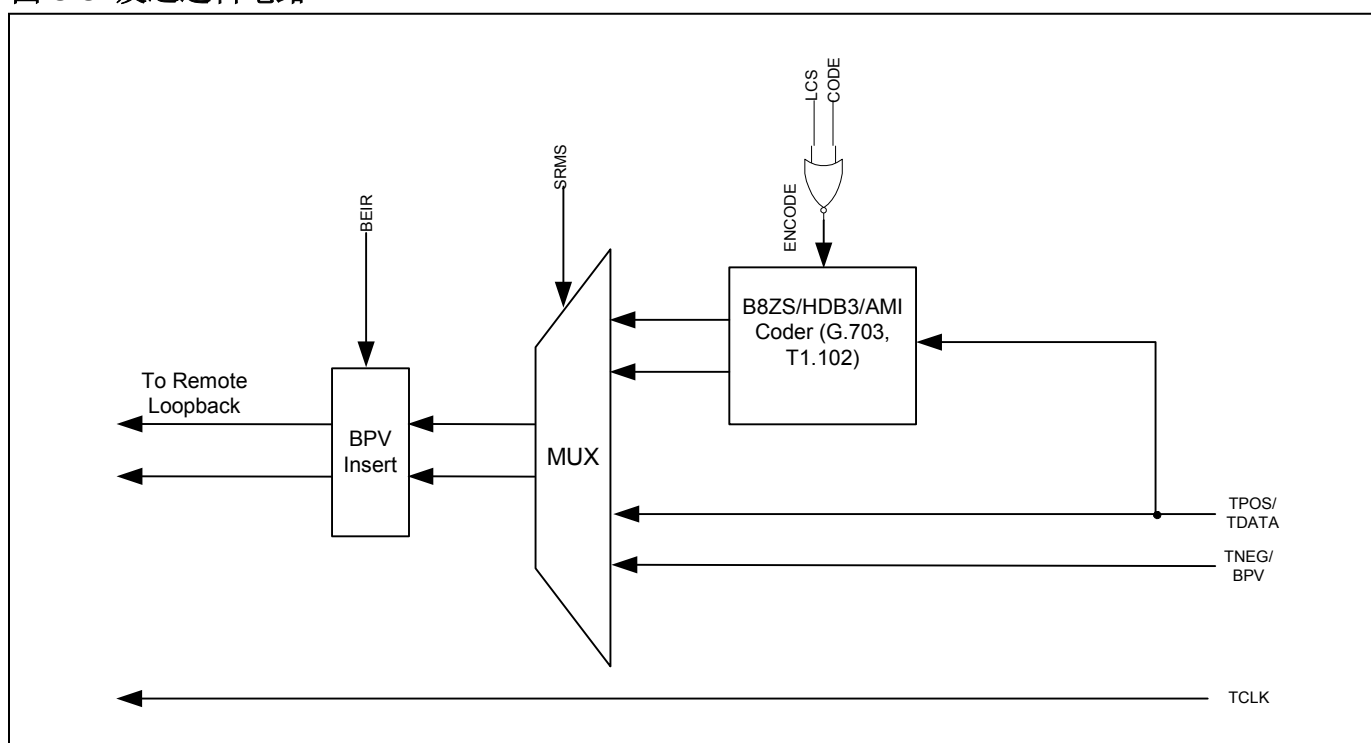


图 3-3. 发送逻辑电路



4 引脚说明

表 4-1. 引脚说明

名称	引脚	类型	功能
模拟发送和接收			
TTIP1	45	模拟输出	通道1-8发送双极性tip。 这些引脚是差分线路驱动器输出。如果OE为低电平，这些引脚可以置为高阻。如果相应的TCLKn保持低电平的时间达到64个MCLK (其中n表示8通道发送器的1-8通道)，则将相应的发送器置为关断模式。当OEB.OEB位置为“1”时，相应的引脚变为高阻。TTIPn和TRINGn差分输出可以为E1 75Ω、E1 120Ω、T1 100Ω以及J1 110Ω提供内部阻抗匹配。
TTIP2	52		
TTIP3	57		
TTIP4	64		
TTIP5	117		
TTIP6	124		
TTIP7	129		
TTIP8	136		
TRING1	46	模拟输出	通道1-8发送双极性ring。 这些引脚是差分线路驱动器ring输出。如果OE为低电平，这些引脚可以置为高阻抗。如果相应的TCLKn保持低电平的时间达到64个MCLK (其中n表示8通道发送器的1-8通道)，则将相应的发送器置为关断模式。当OEB.OEB位置为“1”，相应的引脚变为高阻。TTIPn和TRINGn差分输出可以为E1 75Ω、E1 120Ω、T1 100Ω以及J1 110Ω提供内部阻抗匹配。
TRING2	51		
TRING3	58		
TRING4	63		
TRING5	118		
TRING6	123		
TRING7	130		
TRING8	135		
RTIP1	48	模拟输入	通道1-8接收双极性tip。 差分接收器的模拟输入。数据和时钟恢复后，分别在RPOS/RNEG和RCLK引脚输出。RTIPn和RRINGn差分输入可以为E1 75Ω、E1 120Ω、T1 100Ω以及J1 110Ω提供内部阻抗匹配。
RTIP2	55		
RTIP3	60		
RTIP4	67		
RTIP5	120		
RTIP6	127		
RTIP7	132		
RTIP8	139		
RRING1	49	模拟输入	通道1-8接收双极性ring。 差分接收器的接收模拟输入。数据和时钟恢复后，分别在RPOS/RNEG和RCLK引脚输出。RTIPn和RRINGn的差分输入可以为E1 75Ω、E1 120Ω、T1 100Ω以及J1 110Ω提供内部阻抗匹配。
RRING2	54		
RRING3	61		
RRING4	66		
RRING5	121		
RRING6	126		
RRING7	133		
RRING8	138		

名称	引脚	类型	功能															
数字 Tx/Rx																		
TPOS1/TDATA1	37	I	通道1–8发送正极性数据输入/通道1–8发送数据输入 <i>TPOS[1:8]</i> : 当DS26303配置为双极性摆幅模式时，TPOS _n 数据输入在线路上输出为正极性脉冲 (TIP和RING)。 <i>TDATA[1:8]</i> : 当器件配置为单极性摆幅模式时，NRZ数据输入至TDATA _n 。数据在输出至线路之前，编码为HDB3/B8ZS或者AMI格式。															
TPOS2/TDATA2	30																	
TPOS3/TDATA3	80																	
TPOS4/TDATA4	73																	
TPOS5/TDATA5	108																	
TPOS6/TDATA6	101																	
TPOS7/TDATA7	8																	
TPOS8/TDATA8	1																	
TNEG1	38	I	通道1–8发送负极性数据 。当DS26303配置为双极性摆幅模式时，TNEG _n 数据输入在线路上输出为负极性脉冲，如下所示： <table><tr><th>TPOS_n</th><th>TNEG_n</th><th>输出脉冲</th></tr><tr><td>0</td><td>0</td><td>空</td></tr><tr><td>0</td><td>1</td><td>负极性</td></tr><tr><td>1</td><td>0</td><td>正极性</td></tr><tr><td>1</td><td>1</td><td>空</td></tr></table> 当TNEG _n 被拉高的时间超过16个TCLK时钟周期，则选择单摆幅I/O。	TPOS _n	TNEG _n	输出脉冲	0	0	空	0	1	负极性	1	0	正极性	1	1	空
TPOS _n	TNEG _n			输出脉冲														
0	0			空														
0	1			负极性														
1	0			正极性														
1	1			空														
TNEG2	31																	
TNEG3	79																	
TNEG4	72																	
TNEG5	109																	
TNEG6	102																	
TNEG7	7																	
TNEG8	144																	
TCLK1	36	I	通道1–8发送时钟 。T1模式下发送时钟必须是1.544MHz，E1模式下发送时钟必须是2.048MHz。TCLK _n 是TPOS/TNEG或TDAT的采样时钟，下降沿采样，TCLK可以反相。 如果TCLK _n 保持高电平超过16个MCLK，则向相应的发送通道线路侧发送全1 (TAO)。当TCLK _n 再次启动时，相应的发送通道开始正常工作。 如果TCLK _n 保持低电平超过64个MCLK，线路侧相应的发送通道关断，进入高阻态。当TCLK _n 再次启动时，相应的发送通道开启，退出高阻抗状态。															
TCLK2	29																	
TCLK3	81																	
TCLK4	74																	
TCLK5	107																	
TCLK6	100																	
TCLK7	9																	
TCLK8	2																	
RPOS1/RDATA1	40	O, 三态	通道1–8接收正极性数据输出/通道1–8接收数据输出 <i>RPOS[1:8]</i> : 在双极性摆幅模式下，NRZ数据输出表明在RTIP/RRING上出现正极性脉冲。如果某个接收器处于关断模式，相应的RPOS引脚为高阻态。 <i>RDATA[1:8]</i> : 在单极性摆幅模式下，NRZ数据由该引脚送出。 注意: 在LOS状态下，RPOS/RDATA输出保持有效。															
RPOS2/RDATA2	33																	
RPOS3/RDATA3	77																	
RPOS4/RDATA4	70																	
RPOS5/RDATA5	111																	
RPOS6/RDATA6	104																	
RPOS7/RDATA7	5																	
RPOS8/RDATA8	142																	
RNEG1/CV1	41	O, 三态	通道1–8接收负极性数据输出/通道1–8编码违规 <i>RNEG[1:8]</i> : 在双极性摆幅模式下，NRZ数据输出表明在RTIP/RRING上出现负极性脉冲。如果某个接收器处于关断模式，相应的RNEG引脚为高阻态。 <i>CV[1:8]</i> : 在单极性摆幅模式下，驱动CV _n 至高持续一个时钟周期，报告双极性违规、编码违规和零过多。如果没有选择HDB3或者B8ZS，该引脚指示只有BPV。															
RNEG2/CV2	34																	
RNEG3/CV3	76																	
RNEG4/CV4	69																	
RNEG5/CV5	112																	
RNEG6/CV6	105																	

名称	引脚	类型	功能
RNEG7/CV7	4		注意: 在LOS状态下, 输出保持有效。
RNEG8/CV8	141		
RCLK1	39	O, 三态	通道1-8接收时钟。 接收数据RPOS/RNEG或RDAT在RCLK上升沿同步输出。RCLK输出可以反相。如果某个接收器处于关断模式, RCLK为高阻态。
RCLK2	32		
RCLK3	78		
RCLK4	71		
RCLK5	110		
RCLK6	103		
RCLK7	6		
RCLK8	143		
MCLK	10	I	主时钟。 这是一个自激振荡的独立时钟, 频率可以是E1模式 2.048MHz $\pm$ 50ppm或者T1模式 1.544MHz $\pm$ 50ppm的倍数。由MC的MPS0、MPS1、FREQS和PLLE位进行时钟选择。2.048MHz倍频可以内部应用于1.544MHz, 1.544MHz倍频可以内部应用于2.048MHz。硬件模式下, 内部自适应无效, 因此用户必须为E1模式提供2.048MHz $\pm$ 50ppm的时钟或者为T1模式提供1.544MHz $\pm$ 50ppm的时钟。
RLOS1/TECLK	42	O	信号输出丢失/T1-E1时钟 RLOS1: 在规定时间间隔内, 接收信号没有跳变时, 该输出变为高电平。在接收到的信号中有足够多的1时, 输出变为低电平。 <i>功能说明</i> 一节中说明了RLOS置位和解除置位的标准。可以配置RLOS输出, 使其符合T1.231、ITU G.775或ETSI 300 233的要求。在硬件模式下, ETSI 300 233 “RLOS 标准” 无效。 TECLK: 由寄存器MC使能后, 该输出成为T1或E1可编程时钟输出。关于T1或E1频率选择, 请参考寄存器CCR。这选项在硬件模式下无效。
RLOS2/ RXPROBEA1	35	I/O	信号丢失输出/接收检测 RLOS[2:4]: 参考RLOS1引脚说明。 RXPROBE A1, B1, C1: 仅用于测试。
RLOS3/ RXPROBEB1	75		
RLOS4/ RXPROBEC1	68		
RLOS5/ scan_do	113	O	信号丢失输出/扫描数据输出 RLOS5: 参考RLOS1引脚说明。 scan_do: 扫描期间数据输出。
RLOS6/ scan_di	106	I/O	信号丢失输出/扫描数据输入 RLOS6: 参考RLOS1引脚说明。 scan_di: 扫描期间数据输出。
RLOS7/ scan_clk	3	I/O	信号丢失输出/扫描时钟 RLOS7: 参考RLOS1引脚说明。 scan_clk: 扫描期间时钟输入。

名称	引脚	类型	功能
RLOS8/ scan_en	140	I/O	信号丢失输出/扫描使能 <i>RLOS8</i>: 参考RLOS1引脚说明。 <i>scan_en</i>: 测试期间, 当引脚scan_mode为高时, 使能扫描。
CLKA	93	O, 三态	时钟A。由寄存器MC使能后, 该输出成为可编程时钟输出。关于频率选择, 请参考CCR。该选项在硬件模式下无效。如果不用该选项, 则悬空该引脚。
scan_mode	94	I (下拉至 V _{SS})	扫描模式。为高电平时, 选择扫描模式。如果不用扫描模式, 则将该引脚悬空或接地。
硬件和端口工作			
MODESEL	11	I (上拉至 V _{DD} /2)	模式选择。该引脚用于选择DS26303的控制模式。 低电平 → 硬件模式 V_{DD}/2 → 串行主机模式 高电平 → 并行主机模式 注意: 如果悬空, 请勿将具有快速瞬变的信号走线靠近MODESEL排布。这样会最大程度的减少耦合电容。
MUX/ TIMPRM	43	I	复用/非复用选择引脚/ 发送阻抗/接收阻抗匹配 <i>MUX</i>: 在主机模式下, 该引脚用于选择地址和数据复用, 或者独立的地址和数据总线。当mux为高电平时, 采用复用地址和数据。 <i>TIMPRM</i>: 在硬件模式下, 该引脚为E1模式或T1/J1模式选择内部发送端接阻抗和接收阻抗匹配。 E1模式为0 → 75Ω 或者T1模式为100Ω E1模式为1 → 120Ω 或者J1模式为110Ω 注意: 如果器件编号尾缀为120, 则默认接低电平时为120Ω, 接高电平时为75Ω。(仅适用于E1模式)
MOTEL/ CODE	88	I	Motorola Intel 选择/编码 <i>MOTEL</i>: 并口主机模式下, 该引脚为低电平时, 选择Motorola模式; 为高电平时, 选择Intel模式。 <i>CODE</i>: 在硬件模式下, 当该引脚为高电平时, 对于所有的LIU选择AMI编码/解码。当该引脚为低电平时, 对于所有的LIU, 在T1模式下则选择B8ZS, 而在E1模式下则选择HDB3。

名称	引脚	类型	功能
CSB/ JAS	87	I (在HW 模式 下, 上 拉至 V _{DD} /2)	片选按钮/抖动衰减选择 CSB: 访问寄存器期间, 该信号应为低电平。 JAS: 硬件模式下, 该引脚用于选择抖动衰减。 低电平 → 抖动衰减用于发送通道。 VDDIO/2 → 不采用抖动衰减。 高电平 → 抖动衰减用于接收通道。 注意: 悬空或者在处于硬件模式时, 请勿将带有快速瞬变的信号走线靠近JAS排布。这样会最大程度的减小耦合电容。
SCLK/ALE/ ASB/TS2	86	I	移位时钟/地址锁存使能/地址选通按钮/模板选择2 SCLK: 在串行主机模式下, 该引脚为串行时钟。SDI上的数据同步于SCLK的上升沿。如果CLKE为高电平, SDO上的数据同步于SCLK的上升沿。如果CLKE为低电平, SDO上的数据同步于SCLK的下降沿。 ALE: 在并行Intel复用模式下, 地址线在ALE的下降沿锁存。如果采用非复用模式, 则将ALE接高电平。 ASB: 在并行Motorola复用模式下, 地址在ASB的下降沿进行采样。如果采用非服用模式, 则将ASB接高电平。 TS2: 在硬件模式下, 该引脚信号对应表 5-11 中的最高位。
RDB/RWB/TS1	85	I	读操作按钮/读写按钮/模板选择1 RDB: Intel主机模式下, 读操作时, 该引脚必须为低电平。 RWB: 在Motorola模式下, 该引脚保持低电平进行写操作, 高电平为读操作。 TS1: 硬件模式下, 该引脚信号对应表 5-11 中的次高位。
SDI/WRB/DSB/TS0	84	I	串行数据输入/读操作按钮/数据选通按钮/模板选择0 SDI: 在串行主机模式下, 该引脚是串行输入SDI。它在SCLK的上升沿进行采样。 WRB: 在Intel主机模式下, 写操作期间, 该引脚低电平有效。数据或者地址 (复用模式)在WRB上升沿采样。 DSB: 在并行Motorola模式下, 该引脚低电平有效。写操作期间, 数据或者地址在DSB的上升沿采样。读操作期间, 数据(D[7:0]或AD[7:0]) 在DSB上升沿被驱动。在非复用Motorola模式下, 地址总线 (A[5:0])在DSB下降沿锁存。 TS0: 硬件模式下, 该引脚信号对应表 5-11 中的最低位。

名称	引脚	类型	功能
SDO/RDY/ACKB/ RIMPOFF	83	I/O	串行数据输出/准备就绪输出/确认按钮/接收阻抗关断 SDO: 在串行主机模式下, SDO数据由该引脚输出。如果进行串行写操作, 该引脚为高阻态。读操作期间, 当SDI处于命令/地址模式时, SDO为高阻态。如果CLKE是低电平, SDO在SCLK的上升沿输出。如果CLKE是高电平, 在下降沿输出。 RDY: 该引脚为低电平时, 报告主机周期还没完成, 必须插入等待状态; 为高电平时表明周期已经完成。 ACKB: 在Motorola并行模式下, 该引脚的低电平表明主机可以进行数据读取, 或写数据周期已经完成。 RIMPOFF: 在硬件模式下, 当该引脚为高电平时, RTIP和RING引脚的内部阻抗关断。
$\overline{\text{INTB}}$	82	O, 开漏	低电平有效中断按钮。 当任意寄存器的使能中断发生中断时, 该中断信号变为低电平。没有发生中断时, 该引脚可以设置为高电平或者非高电平。没有使能中断源时, 其复位默认状态为非高电平。当软件复位时, 所有中断源被禁用, 必须通过设置才能开中断。
D7/AD7/BSWP/LP8	28	I/O (在 HW模式 下, 上 拉至 V _{DD} /2)	数据总线7-0/地址/数据总线7-0/位交换/ 环回选择7-0 D[7:0]: 在非复用主机模式下, 这些引脚是双向数据总线。 AD[7:0]: 在复用主机模式下, 这些引脚是双向地址/数据总线。注意: AD7和AD6不承载地址信息, 在串行主机模式下, AD6-AD0应接地。 BSWP: 在串行主机模式下, 该引脚为低电平时, 定义串行数据位置为LSB在前, 高电平时MSB在前。 LP[8:1] 在硬件模式下, 这些引脚将相应的LIU设置为环回模式, 如下所示: 低电平 → 远程环回 V_{DDIO}/2 → 无环回 高电平 → 模拟环回 注意: 当悬空或者处于硬件模式时, 请勿将带有快速瞬变的信号走线靠近LP1-LP8排布。这样会最大程度的减小耦合电容。
D6/AD6/LP7	27		
D5/AD5/LP6	26		
D4/AD4/LP5	25		
D3/AD3/LP4	24		
D2/AD2/LP3	23		
D1/AD1/LP2	22		
D0/AD0/LP1	21		

名称	引脚	类型	功能
A4/RIMPMSB	12	I	地址总线4-0/G.772监控/Rx阻抗模式选择 A[4:0]: 在并行主机模式下, 这5个引脚为地址引脚。在串行主机模式和复用主机模式下, 这些引脚接地。 RIMPMSB: 在硬件模式下, 当该引脚为低电平时, 选择内部阻抗模式, 因此RTIP和RING无需外部阻抗元件。当该引脚为高电平时, 则选择外部阻抗模式, 因此RTIP和RING需要外部阻抗。 GMC[3:0]: 在硬件模式下, 这些引脚的信号用于选择非介入监控的发送器或者接收器。接收器1用于监控RTIP2-RTIP8/RRING2-RRING8一个接收器或TTIP2-TTIP8/TRING2-TRING8一个发送器的2至8通道。这些引脚对应表 5-9 中的各个位。
A3/GMC3	13		
A2/GMC2	14		
A1/GMC1	15		
A0/GMC0	16		
OE	114	I	输出使能。 该引脚如果为低电平, 所有的发送器输出 (TTIP和TRING) 为高阻态。此外, 如果寄存器 GMR.RHPMC 置位, 客户可以通过相同引脚来同时关断接收器的所有阻抗匹配。
CLKE	115	I	时钟沿。 当CLKE为高电平, SDO在SCLK下降沿输出。当CLKE为低电平, 则SDO在SCLK上升沿输出。当CLKE为高电平时, 所有通道的RCLK全部反相。使RPOS/RNEG与RCLK下降沿对齐, 同时使寄存器 RCLKI 的设置无效。为低电平时, 则RPOS/RNEG与寄存器 RCLKI 的设置对齐。
JTAG			
JTRSTB	95	I, 上拉	JTAG测试端口复位。 如果该引脚为低电平, 则复位JTAG端口。如果不使用该引脚, 可将其悬空。
JTMS	96	I, 上拉	JTAG测试模式选择。 该引脚同步于JTCLK上升沿, 用于控制选择JTAG的扫描和测试机器控制。
JTCLK	97	I	JTAG测试时钟。 数据JTDI和JTMS同步于JTCLK的上升沿, TDO在JTCLK的下降沿同步输出。
JTDO	98	O, 高阻	JTAG测试数据输出。 这是JTAG端口的串行输出。数据在JTCLK的下降沿同步输出。
JTDI	99	I, 上拉	测试数据输入。 该引脚输入是JTAG测试的串行数据。JTDI数据同步于JTCLK的上升沿。该引脚可以不连接。
电源			
DVDD	19	—	3.3V数字电源。
DVSS	20	—	数字地。
VDDIO	17, 92	—	3.3V I/O电源。
VSSIO	18, 91	—	I/O地。

名称	引脚	类型	功能
TVDD1	44	—	发送器 3.3V 电源。所有TVDD引脚必须连接到3.3V的TVDD。
TVDD2	53		
TVDD3	56		
TVDD4	65		
TVDD5	116		
TVDD6	125		
TVDD7	128		
TVDD8	137		
TVSS1	47	—	发送器模拟地。
TVSS2	50		
TVSS3	59		
TVSS4	62		
TVSS5	119		
TVSS6	122		
TVSS7	131		
TVSS8	134		
AVDD	90	—	3.3V 模拟核电源。
AVSS	89	—	模拟核地。

图 4-1. 144 引脚 eLQFP 引脚排布

NAME	PIN	NAME	PIN	NAME	PIN	NAME	PIN
TPOS8/TDATA8	1	TPOS1/TDATA1	37	TPOS4/TDATA4	73	TNEG5	109
TCLK8	2	TNEG1	38	TCLK4	74	RCLK5	110
RLOS7	3	RCLK1	39	RLOS3/RXPROBEB1	75	RPOS5/RDATA5	111
RNEG7/CV7	4	RPOS1/RDATA1	40	RNEG3/CV3	76	RNEG5/CV5	112
RPOS7/RDATA7	5	RNEG1/CV1	41	RPOS3/RDATA3	77	RLOS5	113
RCLK7	6	RLOS1/TECLK	42	RCLK3	78	OE	114
TNEG7	7	MUX/TIMPRM	43	TNEG3	79	CLKE	115
TPOS7/TDATA7	8	TVDD1	44	TPOS3/TDATA3	80	TVDD5	116
TCLK7	9	TTIP1	45	TCLK3	81	TTIP5	117
MCLK	10	TRING1	46	INTB	82	TRING5	118
MODESEL	11	TVSS1	47	SD0/RDY/ACKB/ RIMOFF	83	TVSS5	119
A4/RIMPMSB	12	RTIP1	48	SDI/WRB/DSB/TS0	84	RTIP5	120
A3/GMC3	13	RRING1	49	RDB/RWB/TS1	85	RRING5	121
A2/GMC2	14	TVSS2	50	SCLK/ALE/ASB/TS2	86	TVSS6	122
A1/GMC1	15	TRING2	51	CSB/JAS	87	TRING6	123
A0/GMC0	16	TTIP2	52	MOTEL/CODE	88	TTIP6	124
VDDIO	17	TVDD2	53	AVSS	89	TVDD6	125
VSSIO	18	RRING2	54	AVDD	90	RRING6	126
DVDD	19	RTIP2	55	VSSIO	91	RTIP6	127
DVSS	20	TVDD3	56	VDDIO	92	TVDD7	128
D0/AD0/LP1	21	TTIP3	57	CLKA	93	TTIP7	129
D1/AD1/LP2	22	TRING3	58	scan_mode	94	TRING7	130
D2/AD2/LP3	23	TVSS3	59	JTRSTB	95	TVSS7	131
D3/AD3/LP4	24	RTIP3	60	JTMS	96	RTIP7	132
D4/AD4/LP5	25	RRING3	61	JTCLK	97	RRING7	133
D5/AD5/LP6	26	TVSS4	62	JTDO	98	TVSS8	134
D6/AD6/LP7	27	TRING4	63	JTDI	99	TRING8	135
D7/AD7/BSWP/LP8	28	TTIP4	64	TCLK6	100	TTIP8	136
TCLK2	29	TVDD4	65	TPOS6/TDATA6	101	TVDD8	137
TPOS2/TDATA2	30	RRING4	66	TNEG6	102	RRING8	138
TNEG2	31	RTIP4	67	RCLK6	103	RTIP8	139
RCLK2	32	RLOS4/RXPROBEC1	68	RPOS6/RDATA6	104	RLOS8	140
RPOS2/RDATA2	33	RNEG4/CV4	69	RNEG6/CV6	105	RNEG8/CV8	141
RNEG2/CV2	34	RPOS4/RDATA4	70	RLOS6	106	RPOS8/RDATA8	142
RLOS2/RXPROBEA1	35	RCLK4	71	TCLK5	107	RCLK8	143
TCLK1	36	TNEG4	72	TPOS5/TDATA5	108	TNEG8	144

4.1 硬件和主机端口操作

4.1.1 硬件模式

DS26303支持硬件配置模式，允许用户通过设置器件引脚的电平来配置器件。该模式无需微处理器即可实现DS26303的配置。在硬件模式下，并不支持所有的器件功能。欲了解硬件模式下的可用选项，请参见表 4-1的引脚说明。

下列表格给出了硬件模式下，通过引脚设定可实现的两种基本配置实例。

表 4-2. 硬件模式配置范例

PIN NAME, HARDWARE MODE	STANDARD MODE CONFIGURATION		NOTES
	T1	E1	
TTIP[8:1]	Output	Output	—
TRING[8:1]	Output	Output	—
RTIP[8:1]	Input	Input	—
RRING[8:1]	Input	Input	—
TPOS[8:1]	Input	Input	—
TNEG[8:1]	Input	Input	—
TCLK[8:1]	Input: 1.544MHz	Input: 2.048MHz	—
RPOS[8:1]	Output	Output	—
RNEG[8:1]	Output	Output	—
RCLK[8:1]	Output: 1.544MHz	Output: 2.048MHz	—
MCLK	Input: 1.544MHz	Input: 2.048MHz	Used as recovery clock.
RLOS[8:1]	Output	Output	Meets T1.231 and ITU G.775.
MODESEL	0	0	Low for hardware mode.
TIMPRM	0	0 (Part number ends in -75)	100Ω for T1 mode/75Ω E1 mode.
CODE	1	1	AMI endocoding/decoding.
JAS	N.C.: Pulled to VDDIO/2	N.C.: Pulled to VDDIO/2	Jitter attenuator is not used.
TS[2:0]	111	000	Set template T1 (655ft)-100Ω/E1-75Ω.
RIMPOFF	0	0	Receive impedance should default to on.
$\overline{\text{INTB}}$	N.C.	N.C.	Not used in hardware mode.
LP[8:1]	N.C.: Pulled to VDDIO/2	N.C.: Pulled to VDDIO/2	Internally pulled to VDDIO/2.
RIMPMS	0	0	Internal impedance mode selected.
GMC[3:0]	0000	0000	No monitoring enabled.
OE	1	1	TTIP and TRING are outputs.
CLKE	0	0	RPOS _n /RNEG _n are clocked on rising edge.
JTRSTB	Input, Pulled Up	Input, Pulled Up	JTAG.
JTMS	Input	Input	
JTCLK	Input	Input	
JTDO	Output, High-Z	Output, High-Z	
JTDI	Input, Pulled Up	Input, Pulled Up	
RSTB	Input, Pullup	Input, Pullup	Reset.
CLKA	N.C.	N.C.	Not available in hardware node.
scan_mode	0	0	Pull low or ground. Used only in factory test.

4.1.2 串口操作

设置MODESEL = VDDIO/2使能DS26303的串行总线接口。端口读/写时序与系统发送和接收时序无关，支持主机异步读或写操作。参见第10.3节的串口交流时序。当BSWP引脚设置为低电平时，所有串口读写为LSB在前，当BSWP引脚设置为高电平时，所有串口读写为MSB在前。图4-2至图4-4所示为LSB在前的工作情况。

该端口兼容Motorola处理器定义的SPI接口。具体实例是Motorola的MMC2107。

内部寄存器读或写操作需要在传送寄存器数据之前，写入一个地址/命令字节。地址/命令字节的最低有效位(LSB)规定访问操作是读(1)还是写(0)。后面5位定义寄存器地址(A1至A5) (忽略A6和A7)。

驱动CSB输入至低电平，初始化所有的数据传送。当CLKE为低电平时，在SCLK上升沿输出SDO数据，当CLKE为高电平时，在SCLK下降沿输出数据。数据保持至下一上升沿或下降沿。如果CSB输入跳变至高电平，则终止所有的数据传送。当CSB高电平时，禁止端口控制逻辑，SDO进入三态。SDI总是在SCLK的上升沿进行采样。

图 4-2. 串口写操作

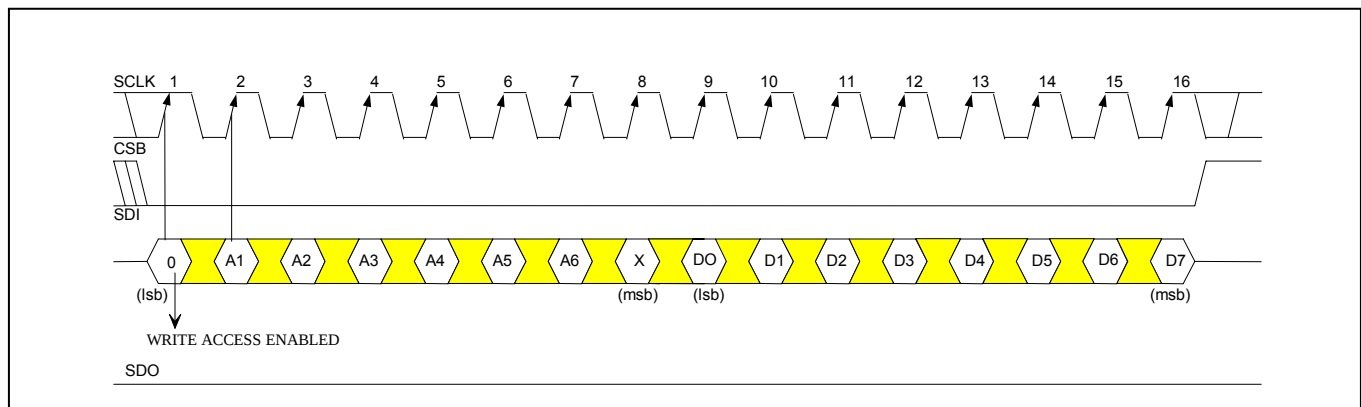


图 4-3. CLKE = 0 时串口读操作

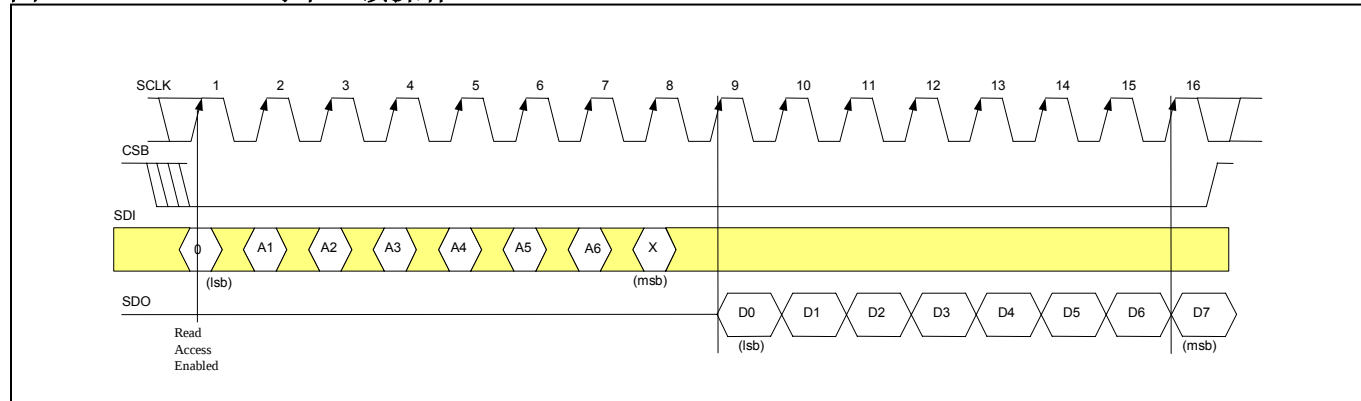
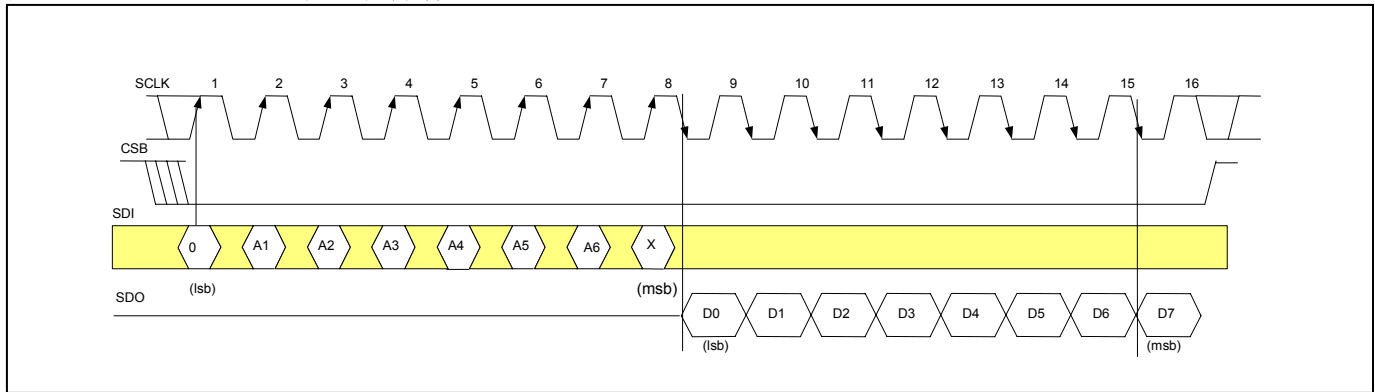


图 4-4. CLKE = 1 时串口读操作



4.1.3 并口操作

使用DS26303的并行接口时，用户可以选择复用总线工作，或者非复用总线工作。非复用总线工作时，**ALE**引脚上拉至高电平。DS26303可工作在Intel或者Motorola总线时序配置下，由**MOTEL**引脚进行选择。该引脚高电平时选择Intel模式。并行端口模式仅在**MODESEL**引脚高电平时有效。下表列出了并行端口模式下所有的引脚及其功能。参见第10节的时序图，了解详细情况。

表 4-3. 并口模式选择和引脚功能

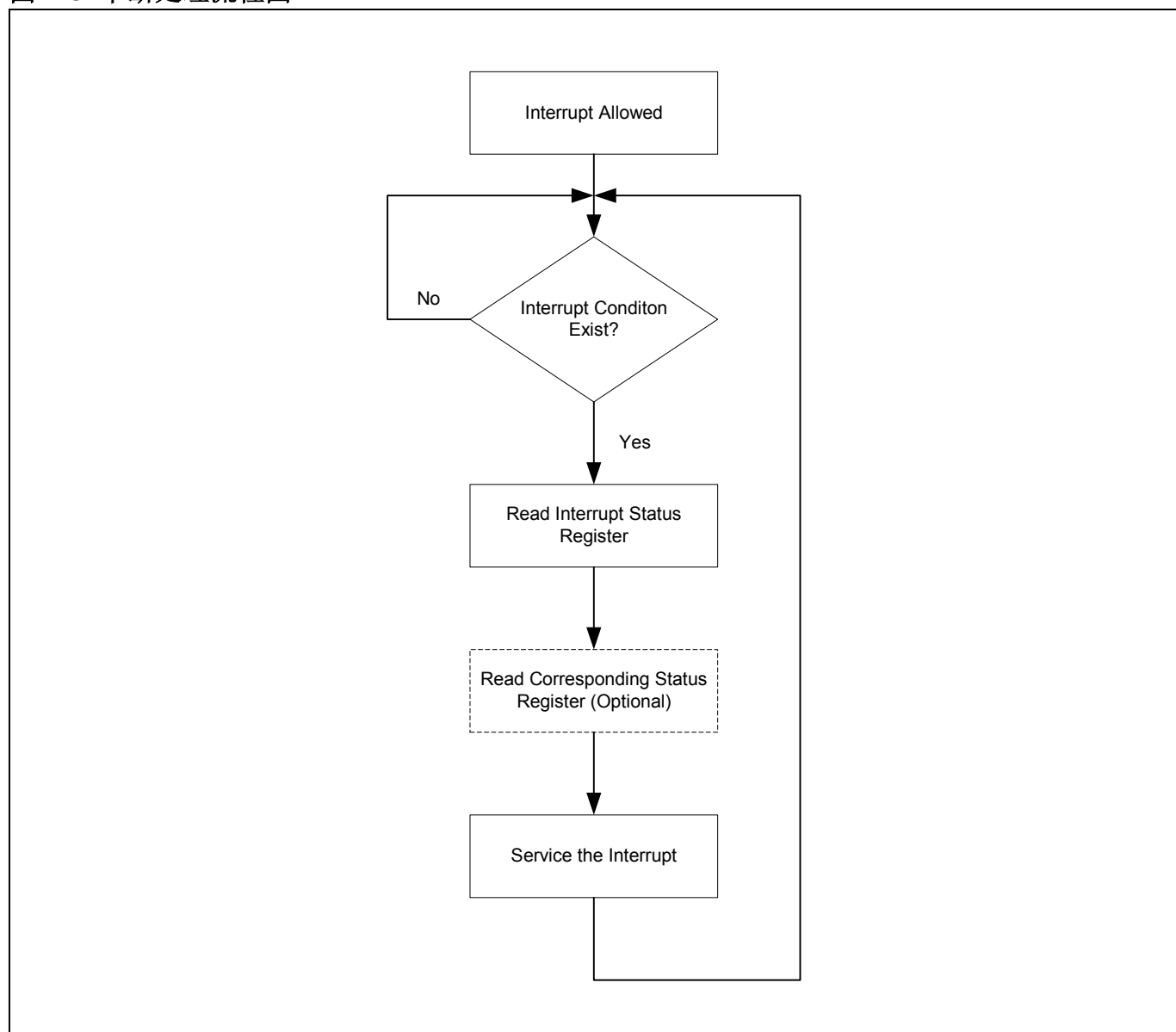
MODESEL, MOTEL, MUX	PARALLEL HOST INTERFACE	ADDRESS, DATA, AND CONTROL
100	Nonmultiplexed Motorola	CSB, ACKB, DSB, RWB, ASB, A[4:0], D [7:0], $\overline{\text{INTB}}$
110	Nonmultiplexed Intel	CSB, RDY, WRB, RDB, ALE, A[4:0], D [7:0], $\overline{\text{INTB}}$
101	Multiplexed Motorola	CSB, ACKB, DSB, RWB, ASB, AD[7:0], $\overline{\text{INTB}}$
111	Multiplexed Intel	CSB, RDY, WRB, RDB, ALE, AD[7:0], $\overline{\text{INTB}}$

4.1.4 中断处理

有4组事件会触发中断，中断功能如下：

- 中断事件状态改变时，如果相应的中断使能寄存器使能事件， $\overline{\text{INTB}}$ 引脚将变为低电平。采用一个10k Ω 电阻将 $\overline{\text{INTB}}$ 外部上拉至高电平，进行线“或”操作。如果不需要线“或”操作，则通过寄存器[GISC.INTM](#)，将 $\overline{\text{INTB}}$ 引脚置为高电平。
- 中断发生时，主机处理器必须读取中断状态寄存器，以确定中断源。读操作也会清除中断状态寄存器，清除 $\overline{\text{INTB}}$ 引脚的输出。通过寄存器[GISC.CWE](#)，将中断状态寄存器配置为读清零位。当执行读清零时， $\overline{\text{INTB}}$ 清零。
- 随后，主机读取相应的状态寄存器，检查事件的实时状态。

图 4-5. 中断处理流程图



5 寄存器

5个地址位用于控制寄存器设置。在并行非复用模式下使用AD[4:0]。在复用模式下使用AD[4:0]，串行模式下使用AD[5:1]。地址00h至1Fh的寄存器空间包含了对通道1至8的控制。[ADDP](#) (1F)寄存器用作指针，用于访问不同的寄存器区。将寄存器设置为AAh，可访问寄存器第二区域；设置为01h，可访问寄存器的独立LIU区域；设置为02h，访问寄存器的BERT区域。复位该寄存器至00h，访问寄存器的主区域。

表 5-1. 主寄存器组

NAME	SYMBOL	ADDRESS			RW
		HEX	PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)	
Identification	ID	00	xxx00000	xx00000	R
Analog Loopback Configuration	ALBC	01	xxx00001	xx00001	RW
Remote Loopback Configuration	RLBC	02	xxx00010	xx00010	RW
Transmit All-Ones Enable	TAOE	03	xxx00011	xx00011	RW
LOS Status	LOSS	04	xxx00100	xx00100	R
Driver Fault Monitor Status	DFMS	05	xxx00101	xx00101	R
LOS Interrupt Enable	LOSIE	06	xxx00110	xx00110	RW
Driver Fault Monitor Interrupt Enable	DFMIE	07	xxx00111	xx00111	RW
LOS Interrupt Status	LOSI	08	xxx01000	xx01000	R
Driver Fault Monitor Interrupt Status	DFMIS	09	xxx01001	xx01001	R
Software Reset	SWR	0A	xxx01010	xx01010	W
G.772 Monitor Configuration	GMC	0B	xxx01011	xx01011	RW
Digital Loopback Configuration	DLBC	0C	xxx01100	xx01100	RW
LOS/AIS Criteria Selection	LASCS	0D	xxx01101	xx01101	RW
Automatic Transmit All-Ones Select	ATAOS	0E	xxx01110	xx01110	RW
Global Configuration	GC	0F	xxx01111	xx01111	RW
Template Select Transceiver Register	TST	10	xxx10000	xx10000	RW
Template Select	TS	11	xxx10001	xx10001	RW
Output-Enable Bar	OEB	12	xxx10010	xx10010	RW
Alarm Indication Signal	AIS	13	xxx10011	xx10011	R
AIS Interrupt Enable	AISIE	14	xxx10100	xx10100	RW
AIS Interrupt Status	AISIS	15	xxx10101	xx10101	R
Reserved	—	16-1E	xxx10110- xxx11110	xx10110- xx11110	—
Address Pointer for Secondary Register Set	ADDP	1F	xxx11111	xx11111	RW

表 5-2. 第二寄存器组

NAME	SYMBOL	ADDRESS			RW
		HEX	PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)	
Single Rail-Mode Select	SRMS	00	xxx00000	xx00000	RW
Line Code Selection	LCS	01	xxx00001	xx00001	RW
Not Used	—	02	xxx00010	xx00010	—
Receive Power-Down Enable	RPDE	03	xxx00011	xx00011	RW
Transmit Power-Down Enable	TPDE	04	xxx00100	xx00100	RW
Excessive Zero Detect Enable	EZDE	05	xxx00101	xx00101	RW
Code Violation Detect Enable Bar	CVDEB	06	xxx00110	xx00110	RW
Not Used	—	07-1E	xxx00111- xxx11110	xx00111- xx11110	—
Address Pointer for Secondary Register Set	ADDP	1F	xxx11111	xx11111	RW

表 5-3. 独立 LIU 寄存器组

NAME	SYMBOL	ADDRESS			RW
		HEX	PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)	
Individual JA Enable	IJAE	00	xxx00000	xx00000	RW
Individual JA Position Select	IJAPS	01	xxx00001	xx00001	RW
Individual JA FIFO Depth Select	IJAFDS	02	xxx00010	xx00010	RW
Individual JA FIFO Limit Trip	IJAFLT	03	xxx00011	xx00011	R
Individual Short Circuit Protection Disable	ISCPD	04	xxx00100	xx00100	RW
Individual AIS Select	IAISEL	05	xxx00101	xx00101	RW
Master Clock Select	MC	06	xxx00110	xx00110	RW
Global Management Register	GMR	07	xxx00111	xx00111	RW
Reserved	Reserved	08-0B	xxx01000- xxx01011	xx01000- xx01011	RW
Reserved	Reserved	0C-0F	xxx01100- xxx01111	xx01100- xx01111	R
Bit Error Rate Tester Control Register	BTCR	10	xxx10000	xx10000	RW
Line Violation Detect Status	LVDS	12	xxx10010	xx10010	R
Receive Clock Invert	RCLKI	13	xxx10011	xx10011	RW
Transmit Clock Invert	TCLKI	14	xxx10100	xx10100	RW
Clock Control Register	CCR	15	xxx10101	xx10101	RW
RCLK Disable Upon LOS Register	RDULR	16	xxx10110	xx10110	RW
Global Interrupt Status Control	GISC	1E	xxx11110	xx11110	RW
Address Pointer for Secondary Register Set	ADDP	1F	xxx11111	xx11111	RW

表 5-4. BERT 寄存器组

NAME	SYMBOL	ADDRESS			RW
		HEX	PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)	
BERT Control Register	BCR	00	xxx00000	xx00000	RW
Reserved	—	01	xxx00001	xx00001	
BERT Pattern Configuration 1	BPCR1	02	xxx00010	xx00010	RW
BERT Pattern Configuration 2	BPCR2	03	xxx00011	xx00011	RW
BERT Seed/Pattern 1	BSPR1	04	xxx00100	xx00100	RW
BERT Seed/Pattern 2	BSPR2	05	xxx00101	xx00101	RW
BERT Seed/Pattern 3	BSPR3	06	xxx00110	xx00110	RW
BERT Seed/Pattern 4	BSPR4	07	xxx00111	xx00111	RW
Transmit Error Insertion Control	TEICR	08	xxx01000	xx01000	RW
Reserved	—	09-0A	xxx01001- xx01010	—	—
BERT Status Register	BSR	0C	xxx01100	xx01100	R
Reserved		0D	xxx01101	xx01101	
BERT Status Register Latched	BSRL	0E	xxx10011	xx10011	RW
BERT Status Register Interrupt Enable	BSRIE	10	xxx10000	xx10000	RW
Reserved	—	11-13	xxx10001- xxx10011	xx10001- xx10011	—
Receive Bit Error Count Register 1	RBECR1	14	xxx10100	xx10100	R
Receive Bit Error Count Register 2	RBECR2	15	xxx10101	xx10101	R
Receive Bit Error Count Register 3	RBECR3	16	xxx10110	xx10110	R
Receive Bit Error Count Register 4	RBECR4	17	xxx10111	xx10111	R
Receive Bit Count Register 1	RBCR1	18	xxx11000	xx11000	R
Receive Bit Count Register 2	RBCR2	19	xxx11001	xx11001	R
Receive Bit Count Register 3	RBCR3	1A	xxx11010	xx11010	R
Receive Bit Count Register 4	RBCR4	1B	xxx11011	xx11011	R
Reserved	—	1C-1E	xxx11100- xxx11110	xx11100- xx11110	—
Address Pointer for Secondary Register Set	ADDP	1F	xxx11111	xx11111	RW

表 5-5. 主寄存器组位图

REGISTER	ADDRESS	TYPE	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ID	00	R	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
ALBC	01	RW	ALBC8	ALBC7	ALBC6	ALBC5	ALBC4	ALBC3	ALBC2	ALBC1
RLBC	02	RW	RLBC8	RLBC7	RLBC6	RLBC5	RLBC4	RLBC3	RLBC2	RLBC1
TAOE	03	RW	TAOE8	TAOE7	TAOE6	TAOE5	TAOE4	TAOE3	TAOE2	TAOE1
LOSS	04	RW	LOSS8	LOSS7	LOSS6	LOSS5	LOSS4	LOSS3	LOSS2	LOSS1
DFMS	05	RW	DFMS8	DFMS7	DFMS6	DFMS5	DFMS4	DFMS3	DFMS2	DFMS1
LOSIE	06	RW	LOSIE8	LOSIE7	LOSIE6	LOSIE5	LOSIE4	LOSIE3	LOSIE2	LOSIE1
DFMIE	07	RW	DFMIE8	DFMIE7	DFMIE6	DFMIE5	DFMIE4	DFMIE3	DFMIE2	DFMIE1
LOSI8	08	R	LOSI8	LOSI7	LOSI6	LOSI5	LOSI4	LOSI3	LOSI2	LOSI1
DFMIS	09	R	DFMIS8	DFMIS7	DFMIS6	DFMIS5	DFMIS4	DFMIS3	DFMIS2	DFMIS1
SWR	0A	W	SWR8	SWR7	SWR6	SWR5	SWR4	SWR3	SWR2	SWR1
GMC	0B	RW	—	—	—	—	GMC4	GMC3	GMC2	GMC1
DLBC	0C	RW	DLBC8	DLBC7	DLBC6	DLBC5	DLBC4	DLBC3	DLBC2	DLBC1
LASCS	0D	RW	LASCS8	LASCS7	LASCS6	LASCS5	LASCS4	LASCS3	LASCS2	LASCS1
ATAOS	0E	RW	ATAOS8	ATAOS7	ATAOS6	ATAOS5	ATAOS4	ATAOS3	ATAOS2	ATAOS1
GC	0F	RW	RIMPMS	AISEL	SCPD	CODE	JADS	—	JAPS	JAE
TST	10	RW	—	—	—	—	—	TST2	TST1	TST0
TS	11	RW	RIMPOFF	TIMPOFF	T1MODE	TIMPRM1	TIMPRM	TS2	TS1	TS0
OEB	12	RW	OEB8	OEB7	OEB6	OEB5	OEB4	OEB3	OEB2	OEB1
AIS	13	R	AIS8	AIS7	AIS6	AIS5	AIS4	AIS3	AIS2	AIS1
AISIE	14	RW	AISIE8	AISIE7	AISIE6	AISIE5	AISIE4	AISIE3	AISIE2	AISIE1
AISI	15	R	AISI8	AISI7	AISI6	AISI5	AISI4	AISI3	AISI2	AISI1
Not Used	16-1E	—	—	—	—	—	—	—	—	—
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

表 5-6. 第二寄存器组位图

REGISTER	ADDRESS	TYPE	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SRS	00	RW	SRMS8	SRMS7	SRMS6	SRMS5	SRMS4	SRMS3	SRMS2	SRMS1
LCS	01	RW	LCS8	LCS7	LCS6	LCS5	LCS4	LCS3	LCS2	LCS1
Not Used	02	RW	—	—	—	—	—	—	—	—
RPDE	03	RW	RPDE8	RPDE7	RPDE6	RPDE5	RPDE4	RPDE3	RPDE2	RPDE1
TPDE	04	RW	TPDE8	TPDE7	TPDE6	TPDE5	TPDE4	TPDE3	TPDE2	TPDE1
EZDE	05	RW	EZDE8	EZDE7	EZDE6	EZDE5	EZDE4	EZDE3	EZDE2	EZDE1
CVDEB	06	RW	CVDEB8	CVDEB7	CVDEB6	CVDEB5	CVDEB4	CVDEB3	CVDEB2	CVDEB1
Not Used	07-1E	—	—	—	—	—	—	—	—	—
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

表 5-7. 独立 LIU 寄存器组位图

REGISTER	ADDRESS	TYPE	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
IJAE	00	RW	IJAE8	IJAE7	IJAE6	IJAE5	IJAE4	IJAE3	IJAE2	IJAE1
IJAPS	01	RW	IJAPS8	IJAPS7	IJAPS6	IJAPS5	IJAPS4	IJAPS3	IJAPS2	IJAPS1
IJAFDS	02	RW	IJAFDS8	IJAFDS7	IJAFDS6	IJAFDS5	IJAFDS4	IJAFDS3	IJAFDS2	IJAFDS1
IJAFLT	03	R	IJAFLT8	IJAFLT7	IJAFLT6	IJAFLT5	IJAFLT4	IJAFLT3	IJAFLT2	IJAFLT1
ISCPD	04	RW	ISCPD8	ISCPD7	ISCPD6	ISCPD5	ISCPD4	ISCPD3	ISCPD2	ISCPD1
IAISEL	05	RW	IAISEL8	IAISEL7	IAISEL6	IAISEL5	IAISEL4	IAISEL3	IAISEL2	IAISEL1
MC	06	RW	—	PCLKI	TECLKI	CLKAE	MPS1	MPS0	FREQS	PLLE
GMR	07	RW	—	—	—	—	—	—	—	RHPMC
Reserved	08	RW	—	—	—	—	—	—	—	—
Reserved	09	RW	—	—	—	—	—	—	—	—
Reserved	0A	RW	—	—	—	—	—	—	—	—
Reserved	0B	RW	—	—	—	—	—	—	—	—
Reserved	0C	R	—	—	—	—	—	—	—	—
Reserved	0D	R	—	—	—	—	—	—	—	—
Reserved	0E	R	—	—	—	—	—	—	—	—
Reserved	0F	R	—	—	—	—	—	—	—	—
BTCR	10	RW	BTS2	BTS1	BTS0	—	—	—	—	BERTE
BEIR	11	RW	BEIR8	BEIR7	BEIR6	BEIR5	BEIR4	BEIR3	BEIR2	BEIR1
LVDS	12	R	LVDS8	LVDS7	LVDS6	LVDS5	LVDS4	LVDS3	LVDS2	LVDS1
RCLKI	13	RW	RCLKI8	RCLKI7	RCLKI6	RCLKI5	RCLKI4	RCLKI3	RCLKI2	RCLKI1
TCLKI	14	RW	TCLKI8	TCLKI7	TCLKI6	TCLKI5	TCLKI4	TCLKI3	TCLKI2	TCLKI1
CCR	15	RW	PCLKS2	PCLKS1	PCLKS0	TECLKS	CLKA3	CLKA2	CLKA1	CLKA0
RDULR	16	RW	RDULR8	RDULR7	RDULR6	RDULR5	RDULR4	RDULR3	RDULR2	RDULR1
GISC	1E	RW	—	—	—	—	—	—	INTM	CWE
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

表 5-8. BERT 寄存器位图

REGISTER	ADDRESS	TYPE	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
BCR	00	RW	PMUM	LPMU	RNPL	RPIC	MPR	APRD	TNPL	TPIC
Not Used	01	—	—	—	—	—	—	—	—	—
BPCR1	02	RW	—	QRSS	PTS	PLF4	PLF3	PLF2	PLF1	PLF0
BPCR2	03	—	—	—	—	PTF4	PTF3	PTF2	PTF1	PTF0
BSPR1	04	RW	BSP7	BSP6	BSP5	BSP4	BSP3	BSP2	BSP1	BSP0
BSPR2	05	—	BSP15	BSP14	BSP13	BSP12	BSP11	BSP10	BSP9	BSP8
BSPR3	06	RW	BSP23	BSP22	BSP21	BSP20	BSP19	BSP18	BSP17	BSP16
BSPR4	07	—	BSP31	BSP30	BSP29	BSP28	BSP27	BSP26	BSP25	BSP24
TEICR	08	RW	—	—	TEIR2	TEIR1	TEIR0	BEI	TSEI	MEIMS
Not Used	09–0B	—	—	—	—	—	—	—	—	—
BSR	0C	R/W	—	—	—	—	PMS	—	<u>BEC</u>	<u>OOS</u>
Not Used	0D	—	—	—	—	—	—	—	—	—
BSRL	0E	RL/W	—	—	—	—	PMSL	<u>BEL</u>	<u>BECL</u>	<u>OOSL</u>
Not Used	0F	—	—	—	—	—	—	—	—	—
BSRIE	10	RW	—	—	—	—	PMSIE	BEIE	BECIE	OOSIE
Not Used	11–13	—	—	—	—	—	—	—	—	—
RBECR1	14	R	<u>BEC7</u>	<u>BEC6</u>	<u>BEC5</u>	<u>BEC4</u>	<u>BEC3</u>	<u>BEC2</u>	<u>BEC1</u>	<u>BEC0</u>
RBECR2	15	R	<u>BEC15</u>	<u>BEC14</u>	<u>BEC13</u>	<u>BEC12</u>	<u>BEC11</u>	<u>BEC10</u>	<u>BEC9</u>	<u>BEC8</u>
RBECR3	16	R	<u>BEC23</u>	<u>BEC22</u>	<u>BEC21</u>	<u>BEC20</u>	<u>BEC19</u>	<u>BEC18</u>	<u>BEC17</u>	<u>BEC16</u>
Not Used	17	—	—	—	—	—	—	—	—	—
RBCR1	18	R	<u>BC7</u>	<u>BC6</u>	<u>BC5</u>	<u>BC4</u>	<u>BC3</u>	<u>BC2</u>	<u>BC1</u>	<u>BC0</u>
RBCR2	19	R	<u>BC15</u>	<u>BC14</u>	<u>BC13</u>	<u>BC12</u>	<u>BC11</u>	<u>BC10</u>	<u>BC9</u>	<u>BC8</u>
RBCR3	1A	R	<u>BC23</u>	<u>BC22</u>	<u>BC21</u>	<u>BC20</u>	<u>BC19</u>	<u>BC18</u>	<u>BC17</u>	<u>BC16</u>
RBCR4	1B	R	<u>BC31</u>	<u>BC30</u>	<u>BC29</u>	<u>BC28</u>	<u>BC27</u>	<u>BC26</u>	<u>BC25</u>	<u>BC24</u>
Not Used	1C–1E	—	—	—	—	—	—	—	—	—
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

注: 下划线标注为只读。

5.1 寄存器说明

本节对寄存器的每一位进行详细说明。斜体变量“*n*”用于对任意寄存器的说明，表示1、2、3、4、5、6、7和8。

5.1.1 主寄存器

寄存器名称: ID
寄存器说明: ID 寄存器
寄存器地址: 00h

位#	7	6	5	4	3	2	1	0
名称	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

第7位: 器件编码ID第7位(ID7). 对于75Ω阻抗的器件，该位为0，而对于120Ω的器件，该位则为1。

第6位至第3位: 器件编码ID第6位至第3位(ID6至ID3). 这些位表示器件所含有的端口数量。

第2位至第0位: 器件编码ID第2位至第0位(ID2至ID0). 这些位表示器件型号的版本。请联系工厂，了解详细情况。

寄存器名称: ALBC
寄存器说明: 模拟环回控制
寄存器地址: 01h

位#	7	6	5	4	3	2	1	0
名称	ALBC8	ALBC7	ALBC6	ALBC5	ALBC4	ALBC3	ALBC2	ALBC1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道*n*模拟环回控制位(ALBC_{*n*}). 置位时，LIUn置于模拟环回。TTIP和TRING环回至RTIP和RRING。忽略RTIP和RRING的数据。LOS检测继续保持工作。如果发送器或接收器的抖动衰减器使能，则抖动衰减器保持工作。

寄存器名称: RLBC
寄存器说明: 远程环回控制
寄存器地址: 02h

位#	7	6	5	4	3	2	1	0
名称	RLBC8	RLBC7	RLBC6	RLBC5	RLBC4	RLBC3	RLBC2	RLBC1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道*n*远程环回控制位(RLBC_{*n*}). 置位时，使能LIUn的远端环回。模拟接收信号通过接收数字，环回至发送器。忽略TPOS和TNEG数据。如果使能了抖动衰减器，则使用抖动衰减器。

寄存器名称: **TAOE**
 寄存器说明: 发送全 1 使能
 寄存器地址: **03h**

位#	7	6	5	4	3	2	1	0
名称	TAOE8	TAOE7	TAOE6	TAOE5	TAOE4	TAOE3	TAOE2	TAOE1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 发送全1使能(TAOEn)。置位时, 将TTIP和TRING的连续全1数据流送至通道 n 。MCLK用作发送全1信号的参考时钟。忽略到达TPOS和TNEG的信号。

寄存器名称: **LOSS**
 寄存器说明: 信号丢失状态
 寄存器地址: **04h**

位#	7	6	5	4	3	2	1	0
名称	<u>LOS8</u>	<u>LOS7</u>	<u>LOS6</u>	<u>LOS5</u>	<u>LOS4</u>	<u>LOS3</u>	<u>LOS2</u>	<u>LOS1</u>
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 丢失信号状态 (LOS n)。置位时, 表明在LIUn上检测到LOS状态。LOS标准和条件在[6.4.3: 丢失信号](#)部分中进行了说明。

寄存器名称: **DFMS**
 寄存器说明: 驱动器故障监视状态
 寄存器地址: **05h**

位#	7	6	5	4	3	2	1	0
名称	<u>DFMS8</u>	<u>DFMS7</u>	<u>DFMS6</u>	<u>DFMS5</u>	<u>DFMS4</u>	<u>DFMS3</u>	<u>DFMS2</u>	<u>DFMS1</u>
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 驱动器故障监视状态(DFMS n)。置位时, 表示在LIUn的发送驱动器出现了短路。

寄存器名称: **LOSIE**
 寄存器说明: 信号丢失中断使能
 寄存器地址: **06h**

位#	7	6	5	4	3	2	1	0
名称	LOSIE8	LOSIE7	LOSIE6	LOSIE5	LOSIE4	LOSIE3	LOSIE2	LOSIE1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 信号丢失中断使能(LOSIE n)。置位时, LIUn的LOS状态变化会产生一次中断。

寄存器名称: **DFMIE**
 寄存器说明: **驱动器故障监视中断使能**
 寄存器地址: **07h**

位#	7	6	5	4	3	2	1	0
名称	DFMIE8	DFMIE7	DFMIE6	DFMIE5	DFMIE4	DFMIE3	DFMIE2	DFMIE1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 驱动器故障监视中断使能(DFMIE n)。置位时, DFM的状态变化会产生一次监视器 n 的中断。

寄存器名称: **LOSI**
 寄存器说明: **信号丢失中断状态**
 寄存器地址: **08h**

位#	7	6	5	4	3	2	1	0
名称	<u>LOSI8</u>	<u>LOSI7</u>	<u>LOSI6</u>	<u>LOSI5</u>	<u>LOSI4</u>	<u>LOSI3</u>	<u>LOSI2</u>	<u>LOSI1</u>
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 信号丢失中断(LOSI n)。置位时, 检测到LIU n 中, LOS状态出现“0至1”或“1至0”的变化。寄存器LOSI(06h)使能LIU n 位。该位锁存后, 在读操作时清零。

寄存器名称: **DFMIS**
 寄存器说明: **驱动器故障监视中断状态**
 寄存器地址: **09h**

位#	7	6	5	4	3	2	1	0
名称	<u>DFMIS8</u>	<u>DFMIS7</u>	<u>DFMIS6</u>	<u>DFMIS5</u>	<u>DFMIS4</u>	<u>DFMIS3</u>	<u>DFMIS2</u>	<u>DFMIS1</u>
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 驱动器故障状态寄存器(DFMIS n)。置位时, 检测到LIU n 中, DFM状态出现“0至1”或“1至0”的变化。寄存器DFMIE(07h)使能LIU n 位。该位锁存后, 在读操作时清零。

寄存器名称: **SWR**
 寄存器说明: **软件复位**
 寄存器地址: **0Ah**

位#	7	6	5	4	3	2	1	0
名称	SWR8	SWR7	SWR6	SWR5	SWR4	SWR3	SWR2	SWR1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 软件复位(SWR)。对该寄存器进行任何写操作, 将至少产生1 μ s的复位, 复位DS26303。所有寄存器将恢复至默认值。读操作总是返回全0。

寄存器名称: **GMC**
 寄存器说明: **G.772 监控**
 寄存器地址: **0Bh**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	GMC3	GMC2	GMC1	GMC0
默认值	0	0	0	0	0	0	0	0

第3位至第0位: G.772 监控(GMC)。这些位选择非介入监控的发送器或接收器。接收器1用于监控RTIP2–RTIP8/RRING2–RRING8一个接收器或TTIP2–TTIP8/TRING2–TRING8一个发送器的2至8通道。参见[表 5-9](#)。

表 5-9. G.772 监控

GMC3	GMC2	GMC1	GMC0	SELECTION
0	0	0	0	No Monitoring
0	0	0	1	Receiver 2
0	0	1	0	Receiver 3
0	0	1	1	Receiver 4
0	1	0	0	Receiver 5
0	1	0	1	Receiver 6
0	1	1	0	Receiver 7
0	1	1	1	Receiver 8
1	0	0	0	No Monitoring
1	0	0	1	Transmitter 2
1	0	1	0	Transmitter 3
1	0	1	1	Transmitter 4
1	1	0	0	Transmitter 5
1	1	0	1	Transmitter 6
1	1	1	0	Transmitter 7
1	1	1	1	Transmitter 8

寄存器: **DLBC**
 寄存器说明: **数字环回控制**
 寄存器地址: **0Ch**

位#	7	6	5	4	3	2	1	0
名称	DLBC8	DLBC7	DLBC6	DLBC5	DLBC4	DLBC3	DLBC2	DLBC1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 数字环回控制(DLBC n)。置位时, LIUn置于数字环回。对TPOS/TNEG的数据进行编码, 环回至解码器, 在RPOS/RNEG上输出。可选择抖动衰减器用于发送或接收通道。

寄存器名称: **LASCS**
 寄存器说明: **LOS/AIS 标准选择**
 寄存器地址: **0Dh**

位#	7	6	5	4	3	2	1	0
名称	LASCS8	LASCS7	LASCS6	LASCS5	LASCS4	LASCS3	LASCS2	LASCS1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n LOS/AIS标准选择(LASCS n)。该位用于LIUn的LOS/AIS选择标准。在E1模式下, 如果置位, 使用ETSI 300 233模式。如果复位, 使用G.775标准。在T1/J1模式下, 选择T1.231标准。

寄存器名称: **ATAOS**
 寄存器说明: **自动发送全1选择**
 寄存器地址: **0Eh**

位#	7	6	5	4	3	2	1	0
名称	ATAOS8	ATAOS7	ATAOS6	ATAOS5	ATAOS4	ATAOS3	ATAOS2	ATAOS1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 自动发送全1选择(ATAOS n)。置位时, 如果检测到LIU n 出现信号丢失, 则发送全1信号。“全1信号”使用MCLK作为参考时钟。

寄存器名称: **GC**
 寄存器说明: **全局配置**
 寄存器地址: **0Fh**

位#	7	6	5	4	3	2	1	0
名称	RIMPMS	AISEL	SCPD	CODE	JADS	—	JAPS	JAE
默认值	0	0	0	0	0	0	0	0

位7: 接收阻抗模式选择(RIMPMS)。置位时, 选择内部阻抗模式, RTIP和RING无需外部阻抗元件。选择该模式时, 应将封装底部的管芯焊盘接地, 便于散热。复位时, 选择外部阻抗模式, 因此RTIP和RING需要外部阻抗。注意, 即使在外阻抗模式下, 针对T1 (100 Ω), J1 (110 Ω)和E1 (75 Ω)三种模式的操作, 外部阻抗仍然根据模板选择内部调节, 因此外部只需要一个电阻。在E1 (120 Ω)模式下, 外部阻抗无需任何内部调整。

第6位: 丢失期间AIS使能(AISEL)。置位时, 检测到某通道出现LOS后, 向系统侧发送一个AIS, 每个LIU寄存器 [IAISEL](#) 的设置将被忽略。如果复位, [IAISEL](#) 寄存器将进行控制。

第5位: 短路保护禁止(SCPD)。置位时, 所有发送器的短路保护功能被禁止, 每个LIU寄存器 [ISCPD](#) 的设置将被忽略。如果复位, [ISCPD](#) 寄存器将进行控制。

第4位: 编码。置位时, 选择AMI编码器/解码器, [LCS](#) 寄存器设置将被忽略。如果复位, [LCS](#) 寄存器将进行控制。

第3位: 抖动衰减器深度选择(JADS)。置位时, 抖动衰减器FIFO深度是128位, [IJAFDS](#) 寄存器设置将被忽略。如果复位, [IJAFDS](#) 寄存器将进行控制。

第1位: 抖动衰减器位置选择(JAPS)。当JAPS置为高电平时, JA将处于接收通道; 设置为默认值或者低电平时, 处于发送通道。通过设置寄存器 [IJAPS](#), 可改变每一LIU的这些设置。注意, 当JAE置位时, 将忽略寄存器 [IJAPS](#) 的设置。

第0位: 抖动衰减器使能(JAE)。置位时, 使能JA。如果该寄存器置位, 将忽略[IJAE](#)寄存器的设置。如果复位, IJAE寄存器将进行控制。

寄存器名称: **TST**
 寄存器说明: **模板选择发送寄存器**
 寄存器地址: **10h**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	—	TST2	TST1	TST0
默认值	0	0	0	0	0	0	0	0

第2位至第0位: TST模板选择收发器[2:0] (TST[2:0])。LIU 1-8使用发送模板选择寄存器(hex 11)时, TST[2:0]用于选择收发器。参见[表 5-10](#)。

表 5-10. TST 模板选择发送器寄存器

TST[2:0]	CHANNEL	TST[2:0]	CHANNEL
000	1	100	5
001	2	101	6
010	3	110	7
011	4	111	8

寄存器名称: **TS**
 寄存器说明: **模板选择寄存器**
 寄存器地址: **11h**

位#	7	6	5	4	3	2	1	0
名称	RIMPOFF	TIMPOFF	—	—	TIMPRM	TS2	TS1	TS0
默认值	0	0	—	—	0	0	0	0

第7位: 接收阻抗匹配关闭(RIMPOFF)。置位时, 接收阻抗匹配关闭。

第6位: 发送阻抗匹配关闭(TIMPOFF)。置位时, 所有内部发送端匹配阻抗关闭。

第5位和第4位: 保留。

第3位: 发送阻抗接收匹配(TIMPRM)。该位选择E1模式和T1/J1模式的内部发送匹配阻抗和接收阻抗匹配。注意: 如果器件尾缀带-120, 则默认值为120Ω, 置位时设置为75Ω (仅适用于E1模式)。

DEVICE	BIT SETTING	E1 MODE (Ω)	T1 MODE (Ω)
DS26303L-120	0	120	100
DS26303L-120	1	75	110
DS26303L-75	0	75	100
DS26303L-75	1	120	110

第2位至第0位: 模板选择[2:0] (TS[2:0])。TS[2:0]用于选择E1或者T1/J1模式、模板, 并对各种电缆长度进行设置。发送器阻抗匹配和接收器阻抗匹配由TIMPRM规定。参见[表 5-11](#)的TS[2:0]位选择。

表 5-11. 模板选择

TS[2:0]	LINE LENGTH	CABLE LOSS (dB)	IMPEDANCE (Ω) ¹	OPERATION MODE
011	0–133ft. ABAM	0.6	100/110	T1/J1
100	133–266ft. ABAM	1.2	100/110	T1
101	266–399ft. ABAM	1.8	100/110	T1
110	399–533ft. ABAM	2.4	100/110	T1
111	533–655ft. ABAM	3.0	100/110	T1
000	G.703 coaxial and twisted pair cable		75/120	E1
001 and 010	Reserved	—	—	—

¹关于发送阻抗和接收匹配选择, 请参考SWM里的TIMPRM位或HWM里的TIMPRM位。

寄存器名称: **OEB**
 寄存器说明: 输出使能标志
 寄存器地址: **12h**

位#	7	6	5	4	3	2	1	0
名称	OEB8	OEB7	OEB6	OEB5	OEB4	OEB3	OEB2	OEB1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 输出使能标志(OEB n). 置位时, LIUn发送器输出高阻抗。注意, OE引脚为低电平时, 该设置无效。

寄存器名称: **AIS**
 寄存器说明: 报警指示信号状态
 寄存器地址: **13h**

位#	7	6	5	4	3	2	1	0
名称	<u>AIS8</u>	<u>AIS7</u>	<u>AIS6</u>	<u>AIS5</u>	<u>AIS4</u>	<u>AIS3</u>	<u>AIS2</u>	<u>AIS1</u>
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 报警指示信号(AIS n). LIUn探测到AIS后, 该位置1。在[6.4.4: AIS](#)一节中详细说明了AIS选择标准。通过对[LASCS](#) (0D)寄存器进行设置选择AIS标准。

寄存器名称: AISIE
 寄存器说明: AIS 中断使能
 寄存器地址: 14h

位#	7	6	5	4	3	2	1	0
名称	AISIE8	AISIE7	AISIE6	AISIE5	AISIE4	AISIE3	AISIE2	AISIE1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n AIS中断模板(AISIE n)。置位时, 如果AIS状态变化, LIU n 产生中断。

寄存器名称: AISI
 寄存器说明: AIS 中断
 寄存器地址: 15h

位#	7	6	5	4	3	2	1	0
名称	AISI8	AISI7	AISI6	AISI5	AISI4	AISI3	AISI2	AISI1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n AIS中断(AISI n)。 AISIE(14) 寄存器使能LIU n 中断, 当AIS出现“0至1”或“1至0”变化时, 该位置1。如果该位置1, 读操作或中断使能寄存器关闭时, 该位清零。

寄存器名称: ADDP
 寄存器说明: 地址指针
 寄存器地址: 1Fh

位#	7	6	5	4	3	2	1	0
名称	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 地址指针(ADDP)。该指针用于主寄存器、第二寄存器、独立寄存器、BERT寄存器指针和所有测试寄存器的切换。参见表 5-12 的地址指针选择。

表 5-12. 地址指针区域选择

ADDP7 TO ADDP0 (HEX)	BANK NAME
00	Primary Bank
AA	Secondary Bank
01	Individual LIU Bank
02	BERT Bank
03	Global Test Bank
04	LIU1 Test Bank
05	LIU2 Test Bank
06	LIU3 Test Bank
07	LIU4 Test Bank
08	LIU5 Test Bank
09	LIU6 Test Bank
0A	LIU7 Test Bank
0B	LIU8 Test Bank

5.1.2 第二寄存器

寄存器名称: **SRMS**
 寄存器说明: **单极性摆幅模式选择**
 寄存器地址: **00h**

位#	7	6	5	4	3	2	1	0
名称	SRMS8	SRMS7	SRMS6	SRMS5	SRMS4	SRMS3	SRMS2	SRMS1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 单极性摆幅模式选择(SRMS n)。置位时, 系统发送器和接收器 n 设置为单极性摆幅模式。如果该位复位, 则选择双极性摆幅模式。

寄存器名称: **LCS**
 寄存器说明: **线路编码选择**
 寄存器地址: **01h**

位#	7	6	5	4	3	2	1	0
名称	LCS8	LCS7	LCS6	LCS5	LCS4	LCS3	LCS2	LCS1
默认	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 线路编码选择(LCS n)。置位时, LIUn选择AMI编码/解码。如果复位, LIUn选择B8ZS或者HDB3编码/解码。注意, 如果[GC.CODE](#) (0F) 置位, 将忽略该寄存器设置。

寄存器名称: **RPDE**
 寄存器说明: **接收关断使能**
 寄存器地址: **03h**

位#	7	6	5	4	3	2	1	0
名称	RPDE8	RPDE7	RPDE6	RPDE5	RPDE4	RPDE3	RPDE2	RPDE1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 接收关断使能(RPDE n)。置位时, LIUn接收器关断。

寄存器名称: **TPDE**
 寄存器说明: **发送器关断使能**
 寄存器地址: **04h**

位#	7	6	5	4	3	2	1	0
名称	TPDE7	TPDE6	TPDE5	TPDE4	TPDE3	TPDE2	TPDE1	TPDE0
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 发送关断使能(TPDE n)。置位时, LIUn发送器关断。

寄存器名称: **EZDE**
 寄存器说明: **零过多检测使能**
 寄存器地址: **05h**

位#	7	6	5	4	3	2	1	0
名称	EXZDE8	EXZDE7	EXZDE6	EXZDE5	EXZDE4	EXZDE3	EXZDE2	EXZDE1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 零过多检测使能(EZDE n)。复位时, LIU n 的零过多检测功能被禁止。置位时, LIU n 的零过多检测功能被使能。零过多检测仅用于单极性摆幅模式的HDB3或者B8ZS编码。

寄存器名称: **CVDEB**
 寄存器说明: **编码违规检测使能标志**
 寄存器地址: **06h**

位#	7	6	5	4	3	2	1	0
名称	CVDEB8	CVDEB7	CVDEB6	CVDEB5	CVDEB4	CVDEB3	CVDEB2	CVDEB1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 编码违规检测使能标志(CVDEB n)。置位时, LIU n 的编码违规检测功能被禁止。如果复位, 则使能编码违规检测功能。编码违规检测仅用于单极性摆幅模式的HDB3编码。注意, 如果将[GC.CODE](#)寄存器置位, 则忽略该寄存器的设置。

5.1.3 独立 LIU 寄存器

寄存器名称: **IJAE**
 寄存器说明: **独立抖动衰减器使能**
 寄存器地址: **00h**

位#	7	6	5	4	3	2	1	0
名称	IJAE8	IJAE7	IJAE6	IJAE5	IJAE4	IJAE3	IJAE2	IJAE1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 独立抖动衰减器使能(IJAE n)。置位时, 使能LIU抖动衰减器 n 。注意, 如果[GC.JAE](#)寄存器置位, 则忽略该寄存器设置。

寄存器名称: **IJAPS**
 寄存器说明: **独立的抖动衰减器位置选择**
 寄存器地址: **01h**

位#	7	6	5	4	3	2	1	0
名称	IJAPS8	IJAPS7	IJAPS6	IJAPS5	IJAPS4	IJAPS3	IJAPS2	IJAPS1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 独立的抖动衰减器位置选择(IJAPS n)。置为高电平时, 抖动衰减器位于通道 n 的接收侧; 为默认值或置为低电平时, 抖动衰减器位于通道 n 的发送侧。注意, 如果[GC.JAE](#)寄存器置位, 则忽略该寄存器设置。

寄存器名称: **IJAFDS**
 寄存器说明: 独立的抖动衰减器 FIFO 深度选择
 寄存器地址: **02h**

位#	7	6	5	4	3	2	1	0
名称	IJAFDS8	IJAFDS7	IJAFDS6	IJAFDS5	IJAFDS4	IJAFDS3	IJAFDS2	IJAFDS1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 独立的抖动衰减器FIFO深度选择 n (IJAFDS n)。置位时, LIU n 的抖动衰减器FIFO深度为128位。复位时, 抖动衰减器FIFO深度为32位。注意, 如果[GC](#).IJAFDS寄存器置位, 则忽略该寄存器设置。

寄存器名称: **IJAFLT**
 寄存器说明: 独立的抖动衰减器 FIFO 限制
 寄存器地址: **03h**

位#	7	6	5	4	3	2	1	0
名称	IJAFLT8	IJAFLT7	IJAFLT6	IJAFLT5	IJAFLT4	IJAFLT3	IJAFLT2	IJAFLT1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 独立的抖动衰减器FIFO限制 n (IJAFLT n)。当抖动衰减器FIFO达到发送器 n 限制的4位以内时, 该位置1。读操作将该位清零。

寄存器名称: **ISCPD**
 寄存器说明: 独立的短路保护禁止
 寄存器地址: **04h**

位#	7	6	5	4	3	2	1	0
名称	ISCPD8	ISCPD7	ISCPD6	ISCPD5	ISCPD4	ISCPD3	ISCPD2	ISCPD1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 独立的短路保护禁止 n (ISCPD n)。置位时, 发送器 n 的短路保护功能被禁止。注意, 如果[GC](#).SCPD寄存器置位, 则忽略该寄存器的设置。

寄存器名称: **IAISEL**
 寄存器说明: 独立的 AIS 选择
 寄存器地址: **05h**

位#	7	6	5	4	3	2	1	0
名称	IAISEL8	IAISEL7	IAISEL6	IAISEL5	IAISEL4	IAISEL3	IAISEL2	IAISEL1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 丢失期间独立的AIS使能 n (IAISEL n)。置位时, 接收器 n 在信号丢失期间的AIS功能被使能, 检测到LOS信号, 将AIS发送至系统侧。注意, 如果[GC](#).AISEL寄存器置位, 该寄存器的设置将被忽略。

寄存器名称: **MC**
 寄存器说明: **主时钟选择**
 寄存器地址: **06h**

位#	7	6	5	4	3	2	1	0
名称	—	PCLKI	TECLK	CLKAE	MPS1	MPS0	FREQS	PLLE
默认值	0	0	0	0	0	0	0	0

第6位: PLL时钟输入(PCLKI)。 该位选择PLL的输入。

0 = 使用MCLK。

1 = 根据寄存器[CCR](#)选择, 使用RCLK1至RCLK8。

第5位: T1/E1时钟势能(TECLK)。 置位时, 使能TECLK输出。否则, 将禁止TECLK, TECLK输出是一个RLOS输出。为保证正常工作, TECLK需要PLLE置位。

第4位: 时钟A使能(CLKAE)。 置位时, 使能CLKA输出。否则, 将禁止CLKA, 此时CLKA输出为三态输出。为保证正常工作, CLKA需要PLLE置位。

第3位至第2位: 主周期选择[1:0] (MPS[1:0])。 MPS[1:0]选择DS26303的外部MCLK频率。参见[表 5-13](#)的详细信息。

第1位: 频率选择(FREQS)。 与MPS[1:0]一起选择DS26303的外部MCLK频率。置位时, 外部主时钟可以是1.544MHz或其倍频。否则, 外部主时钟可以是2.048MHz或其倍频。参见[表 5-13](#)的详细信息。

第0位: 锁相环使能(PLLE)。 置位时, 使能锁相环。如果没有置位, MCLK将作为输入时钟。

表 5-13. MCLK 选择

PLLE	MPS1, MPS0	MCLK (MHz/±50ppm)	FREQS	MODE
0	xx	1.544	x	T1
0	xx	2.048	x	E1
1	00	1.544	1	T1/J1 or E1
1	01	3.088	1	T1/J1 or E1
1	10	6.176	1	T1/J1 or E1
1	11	12.352	1	T1/J1 or E1
1	00	2.048	0	T1/J1 or E1
1	01	4.096	0	T1/J1 or E1
1	10	8.192	0	T1/J1 or E1
1	11	16.384	0	T1/J1 or E1

寄存器名称: **GMR**
 寄存器说明: **全局管理寄存器**
 寄存器地址: **07h**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	—	—	—	RHPMC
默认值	0	0	0	0	0	0	0	0

第0位: 接收无过冲保护模式控制(RHPMC)。 该位置位并且当OE引脚变低时, 将驱动所有接收器关断RTIP和RRING上的所有内部阻抗匹配。当用户要求系统无外接继电器时, 该位用于实现无过冲保护切换。

寄存器名称: **BTCR**
 寄存器说明: **误码率测试控制寄存器**
 寄存器地址: **10h**

位#	7	6	5	4	3	2	1	0
名称	BTS2	BTS1	BTS0	—	—	—	—	BERTE
默认值	0	0	0	0	0	0	0	0

第7位至第5位: 误码率收发器选择[2:0] (BTS[2:0])。BTS[2:0]选择使用BERT的LIU。该功能仅在BERTE置位时使用。

第0位: 误码率测试使能(BERTE)。置位时, BERT使能。BERT每次只能用于一个收发器, 由BTS[2:0]进行选择。

寄存器名称: **BEIR**
 寄存器说明: **BPV 误码插入寄存器**
 寄存器地址: **11h**

位#	7	6	5	4	3	2	1	0
名称	BEIR8	BEIR7	BEIR6	BEIR5	BEIR4	BEIR3	BEIR2	BEIR1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: BPV误码插入寄存器 n (BEIR n)。该位由0至1的跳变, 将导致一个双极性违规(BPV)插入到通道 n 发送数据流中。继续插入误码时, 该位必须被清零, 然后再次置位。

寄存器名称: **LVDS**
 寄存器说明: **线路违规检测状态**
 寄存器地址: **12h**

位#	7	6	5	4	3	2	1	0
名称	<u>LVDS8</u>	<u>LVDS7</u>	<u>LVDS6</u>	<u>LVDS5</u>	<u>LVDS4</u>	<u>LVDS3</u>	<u>LVDS2</u>	<u>LVDS1</u>
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 线路违规检测状态 n (LVDS n)。双极性违规、编码违规或零过多将导致相关的LVDS n 位锁存。读操作该位清零。LVDS寄存器在一个三时钟周期窗口捕获第一个违规。如果在三时钟周期窗口中第一次违规后出现了第二次违规, 即使读取了LVDS寄存器, 也不会锁存第二次违规。零过多检测需要由[EZDE](#)寄存器使能。编码违规仅用于HDB3模式, [CVDEB](#)寄存器设置可禁止编码违规检测功能。在双极性摆幅模式下, 该寄存器仅与双极性违规相关。

寄存器名称: **RCLKI**
 寄存器说明: **接收时钟置反**
 寄存器地址: **13h**

位#	7	6	5	4	3	2	1	0
名称	RCLKI8	RCLKI7	RCLKI6	RCLKI5	RCLKI4	RCLKI3	RCLKI2	RCLKI1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 接收时钟置反 n (RCLKI n)。置位时, 通道 n RCLK被置反, 使RPOS/RNEG与RCLK下降沿对齐。复位或处于默认值时, RPOS/RNEG与RCLK上升沿对齐。注意, 如果CLKE引脚为高, 则无论寄存器如何设置, RPOS/RNEG均与RCLK下降沿对齐。

寄存器名称: **TCLKI**
 寄存器说明: **发送时钟置反**
 寄存器地址: **14h**

位#	7	6	5	4	3	2	1	0
名称	TCLKI8	TCLKI7	TCLKI6	TCLKI5	TCLKI4	TCLKI3	TCLKI2	TCLKI1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 发送时钟置反 n (TCLKI n)。置位时, 通道 n 的TCLK置反。TPOS/TNEG应与TCLK下降沿对齐。当复位或处于默认值时, TPOS/TNEG与TCLK上升沿对齐。

寄存器名称: CCR
 寄存器说明: 时钟控制寄存器
 寄存器地址: 15h

位#	7	6	5	4	3	2	1	0
名称	PCLKS2	PCLKS1	PCLKS0	TECLKS	CLKA3	CLKA2	CLKA1	CLKA0
默认值	0	0	0	0	0	0	0	0

第7位至第5位: PLL时钟选择(PCLKS[2:0])。这些位确定用作PLL输入的RCLK。如果在RCLK恢复通道中检测到LOS, PLL将切换至MCLK, 直到清除LOS为止。当清除LOS后, 将再次使用RCLK。参见[表 5-14](#)的RCLK选择。

表 5-14. PLL 时钟选择

PCLKS2 TO PCLKS0	PLL CLOCK SELECTED MC.PCLKI = 1
000	RCLK1
001	RCLK2
010	RCLK3
011	RCLK4
100	RCLK5
101	RCLK6
110	RCLK7
111	RCLK8

第4位: T1/E1时钟选择(TECLKS)。置位时, T1/E1时钟输出为2.048MHz。复位时, T1/E1时钟速率为1.544MHz。

第3位至第0位: 时钟A选择(CLKA[3:0])。这些位选择CLKA引脚的输出频率, 参见[表 5-15](#)频率。

表 5-15. 时钟 A 选择

CLKA3 TO CLKA0	MCLK (Hz)
0000	2.048M
0001	4.096M
0010	8.192M
0011	16.384M
0100	1.544M
0101	3.088M
0110	6.176M
0111	12.352M
1000	1.536M
1001	3.072M
1010	6.144M
1011	12.288M
1100	32k
1101	64k
1110	128k
1111	256k

寄存器名称: **RDULR**
 寄存器说明: **LOS 下的 RCLK 禁止寄存器**
 寄存器地址: **16h**

位#	7	6	5	4	3	2	1	0
名称	RDULR8	RDULR7	RDULR6	RDULR5	RDULR4	RDULR3	RDULR2	RDULR1
默认值	0	0	0	0	0	0	0	0

第7位至第0位: LOS下的RCLK禁止寄存器 n (RDULR n)。置位时, 出现信号丢失, 通道 n 的RCLK被禁止, 输出低电平。复位或处于默认值时, 信号丢失10ms内, RCLK切换至MCLK。

寄存器名称: **GISC**
 寄存器说明: **全局中断状态控制**
 寄存器地址: **1Eh**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	—	—	INTM	CWE
默认值	0	0	0	0	0	0	0	0

第1位: INT引脚模式(INTM)。该位确定 $\overline{\text{INT}}$ 引脚的无效模式。有效时, $\overline{\text{INT}}$ 引脚保持低电平。

0 = 无效时, 引脚为高阻。

1 = 无效时, 引脚为高电平。

第0位: 写清零使能(CWE)。置位时, 使能所有锁存中断状态寄存器的写清零功能。清除某位前, 主处理器已向中断状态寄存器的对应位置写入一个1。读操作时, 所有锁存中断状态寄存器的默认值被清零。

5.1.4 BERT 寄存器

寄存器名称: BCR
 寄存器说明: BERT 控制寄存器
 寄存器地址: 00h

位#	7	6	5	4	3	2	1	0
名称	PMUM	LPMU	RNPL	RPIC	MPR	APRD	TNPL	TPIC
默认值	0	0	0	0	0	0	0	0

第7位: 性能监视更新模式(PMUM)。等于0时, 由LPMU寄存器初始化性能监视更新; 等于1时, 接收性能监视更新信号(RPMU)初始化性能监视更新。注意: 如果RPMU或者LPMU是1, 修改该位的状态将开启性能监视更新。

第6位: 本地性能监视更新(LPMU)。如果使能了本地性能监视更新(PMUM = 0), 该位将初始化性能监视更新, 0至1的跳变将以最新数据更新性能监视寄存器, 计数器复位(0或1)。初始化第二次性能监视更新, 该位必须设置为0, 然后返回1。如果在PMS位变为高电平之前, LPMU变为低电平, 将不会进行更新。当PMUM = 1时, 该位不起作用。

第5位: 装载新接收模板(RNPL)。该位由0至1的跳变将可编程测试模板(QRSS、PTS、PLF[4:0]、PTF[4:0]和BSP[31:0])装载到接收模板发生器。需要装入另一模板时, 该位必须变为0, 然后返回至1。装入新模板将迫使接收模板发生器退出“Sync”状态, 重新开始同步。注意: 从该位由0跳变至1开始, 直到经过四个RXCK时钟周期后, 才能改变QRSS、PTS、PLF[4:0]、PTF[4:0]和BSP[31:0]。

第4位: 接收模式置反控制(RPIC)。等于0时, 不改变接收到的数据流; 等于1时, 接收到的数据流置反。

第3位: 手动模式重新同步(MPR)。该位由0至1的跳变使接收模板发生器与收到的模板重新同步。重新同步时, 该位必须变为0, 然后返回至1。注意: 手动控制重新同步将迫使接收模板发生器退出“Sync”状态。

第2位: 关闭自动模板重新同步(APRD)。等于0时, 如果收到的64位数据流中至少有6位与接收模板发生器输出不匹配, 接收模板发生器将自动与到达模板重新同步。等于1时, 接收模板发生器不具有自动重新同步功能。注意: 如果不允许接收模板发生器自动退出“Sync”状态, 将禁止自动同步功能。

第1位: 装载新发送模板(TNPL)。该位由0至1的跳变使可编程测试模板(QRSS、PTS、PLF[4:0]、PTF[4:0]和BSP[31:0])装载到发送模板发生器中。要装入另一模板, 该位必须置0, 然后返回至1。注意: 从该位由0跳变至1开始, 直到经过四个RXCK时钟周期后, 才能改变QRSS、PTS、PLF[4:0]、PTF[4:0]和BSP[31:0]。

第0位: 发送模板置反控制(TPIC)。等于0时, 不改变发送数据流; 等于1时, 发送数据流置反。

寄存器名称: **BPCR1**
 寄存器说明: **BERT 模板配置寄存器 1**
 寄存器地址: **02h**

位#	7	6	5	4	3	2	1	0
名称	—	QRSS	PTS	PLF4	PLF3	PLF2	PLF1	PLF0
默认值	0	0	0	0	0	0	0	0

第6位: QRSS使能(QRSS)。等于0时, 模板发生器配置由PTS、PLF[4:0]、PTF[4:0]和BSP[31:0]控制; 等于1时, 模板发生器配置必须是PRBS模板, 生成多项式为 $x^{20} + x^{17} + 1$ 。如果后面的14位输出全部为0, 将强制模板发生器输出1。

第5位: 模板类型选择(PTS)。设置为0时, 模板为PRBS; 等于1时, 为重复模板。

第4位至第0位: 模板长度反馈(PLF[4:0])。这5位被用于控制模板发生器的反馈“长度”。“长度”反馈来自于模板发生器($n = \text{PLF}[4:0] + 1$)的第n位。对于PRBS信号, 反馈是第n位和第y位的异或。对于重复模板, 反馈是第n位。

寄存器名称: **BPCR 2**
 寄存器说明: **BERT 模板配置寄存器 2**
 寄存器地址: **03h**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	PTF4	PTF3	PTF2	PTF1	PTF0
默认值	0	0	0	0	0	0	0	0

第4位至第0位: 模板抽头反馈(PTF[4:0])。这些位控制模板发生器的 PRBS 反馈“抽头”。反馈“抽头”来自模板发生器($y = \text{PTF}[4:0] + 1$)的第 y 位; 设置为重复模板时, 忽略这些位。对于 PRBS 信号, 反馈是第 n 位与第 y 位的异或。

寄存器名称: **BSPR1**
 寄存器说明: **BERT 种子/模板寄存器#1**
 寄存器地址: **04h**

位#	7	6	5	4	3	2	1	0
名称	BSP7	BSP6	BSP5	BSP4	BSP3	BSP2	BSP1	BSP0
默认值	0	0	0	0	0	0	0	0

寄存器名称: **BSPR2**
 寄存器说明: **BERT 种子/模板寄存器#2**
 寄存器地址: **05h**

位#	7	6	5	4	3	2	1	0
名称	BSP15	BSP14	BSP13	BSP12	BSP11	BSP10	BSP9	BSP8
默认值	0	0	0	0	0	0	0	0

寄存器名称: **BSPR3**
 寄存器说明: **BERT 种子/模板寄存器#3**
 寄存器地址: **06h**

位#	7	6	5	4	3	2	1	0
名称	BSP23	BSP22	BSP21	BSP20	BSP19	BSP18	BSP17	BSP16
默认值	0	0	0	0	0	0	0	0

寄存器名称: **BSPR4**
 寄存器说明: **BERT 种子/模板寄存器#4**
 寄存器地址: **07h**

位#	7	6	5	4	3	2	1	0
名称	BSP31	BSP30	BSP29	BSP28	BSP27	BSP26	BSP25	BSP24
默认值	0	0	0	0	0	0	0	0

第31位至第0位: BERT种子/模板(BSP[31:0])。这32位是发送PRBS模板的可编程种子, 或者是发送或接收重复模板的可编程模板。对于32位重复模板或32位长度的PRBS, BSP(31)是发送侧的第一位输出。对于32位重复模板, BSP(31)是接收侧的第一位输入。

寄存器名称: **TEICR**
 寄存器说明: **发送误码插入控制寄存器**
 寄存器地址: **08h**

位#	7	6	5	4	3	2	1	0
名称	—	—	TEIR2	TEIR1	TEIR0	BEI	TSEI	MEIMS
默认值	0	0	0	0	0	0	0	0

第5位至第3位: 发送误码插入率(TEIR[2:0])。这3位指示输出数据流中的误码插入率, 每 10^n 位出现一次置反。TEIR[2:0]是数值n, TEIR[2:0]值等于0将禁止某一指定的误码插入率。TEIR[2:0]等于1, 每 10^1 位进行一次置反。TEIR[2:0]值等于2, 每 10^2 位进行一次置反。当该寄存器写入非零TEIR[2:0]值时, 启动误码插入。如果在误码插入过程中写入该寄存器, 则在插入下一误码后启动新的误码率。

第2位: 误码插入使能(BEI)。等于0时, 禁止单一位的误码插入; 等于1时, 允许单一位的误码插入。

第1位: 发送单个误码插入(TSEI)。如果禁止手动控制误码插入(MEIMS = 0), 使能单一位的误码插入, 该位将在发送数据流中插入一个误码, 该位由0至1的跳变插入一个误码。如要插入第二个误码, 该位必须置为0, 然后返回1。**注意:** 如果MEIMS为低电平, 在误码插入期间, 即使该位出现了一次以上的跳变, 也只插入一个误码。

第0位: 手动控制误码插入模式选择(MEIMS)。等于0时, TSEI寄存器初始化误码插入; 等于1时, 误码插入由发送手动控制误码插入信号(TMEI)初始化。**注意:** 如果TMEI或TSEI为1, 该位的状态变化将插入一个误码。

寄存器名称: **BSR**
 寄存器说明: **BERT 状态寄存器**
 寄存器地址: **0Ch**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	<u>PMS</u>	—	<u>BEC</u>	<u>OOS</u>
默认值	0	0	0	0	0	0	0	0

第3位: 性能监视更新状态(PMS)。该位指示接收性能监视寄存器(计数器)更新的状态。更新后, 该位将从低电平跳变至高电平。当LPMU位(PMUM = 0)或RPMU信号(PMUM = 1)变为低电平时, PMS被异步置为低电平。

第1位: 误码计数(BEC)。等于0时, 误码计数为0; 等于1时, 误码计数大于等于1。

第0位: 同步丢失(OOS)。等于0时, 接收模板发生器与到达模板同步; 等于1时, 接收模板发生器不与到达模板同步。

寄存器名称: **BSRL**
 寄存器说明: **BERT 状态寄存器锁存**
 寄存器地址: **0Eh**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	<u>PMSL</u>	<u>BEL</u>	<u>BECL</u>	<u>OOSL</u>
默认值	0	0	0	0	0	0	0	0

第3位: 性能监视更新状态锁存(PMSL)。 PMS位从0跳变至1时, 该位置1; 读操作将该位清零。

第2位: 误码锁存(BEL)。 检测到误码后, 该位置1; 读操作将该位清零。

第1位: 误码计数锁存(BECL)。 BEC位从0跳变至1时, 该位置1; 读操作将该位清零。

第0位: 同步丢失锁存(OOSL)。 OOS位改变状态时, 该位置1; 读操作将该位清零。

寄存器名称: **BSRIE**
 寄存器说明: **BERT 状态寄存器中断使能**
 寄存器地址: **10h**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	PMSIE	BEIE	BECIE	OOSIE
默认值	0	0	0	0	0	0	0	0

第3位: 性能监视更新状态中断使能(PMSIE)。 如果PMSL置位, 该位使能中断。

0 = 禁止中断

1 = 使能中断

第2位: 误码中断使能(BEIE)。 如果BEL置位, 该位使能中断。

0 = 禁止中断

1 = 使能中断

第1位: 误码计数中断使能(BECIE)。 如果BECL置位, 该位使能中断。

0 = 禁止中断

1 = 使能中断

第0位: 同步丢失中断使能(OOSIE)。 如果OOSL置位, 该位使能中断。

0 = 禁止中断

1 = 使能中断

寄存器名称: **RBECR1**
 寄存器说明: **接收误码计数寄存器#1**
 寄存器地址: **14h**

位#	7	6	5	4	3	2	1	0
名称	<u>BEC7</u>	<u>BEC6</u>	<u>BEC5</u>	<u>BEC4</u>	<u>BEC3</u>	<u>BEC2</u>	<u>BEC1</u>	<u>BEC0</u>
默认值	0	0	0	0	0	0	0	0

寄存器名称: **RBECR2**
 寄存器说明: **接收误码计数寄存器#2**
 寄存器地址: **15h**

位#	7	6	5	4	3	2	1	0
名称	<u>BEC15</u>	<u>BEC14</u>	<u>BEC13</u>	<u>BEC12</u>	<u>BEC11</u>	<u>BEC10</u>	<u>BEC9</u>	<u>BEC8</u>
默认值	0	0	0	0	0	0	0	0

寄存器名称: **RBECR3**
 寄存器说明: **接收误码计数寄存器#3**
 寄存器地址: **16h**

位#	7	6	5	4	3	2	1	0
名称	<u>BEC23</u>	<u>BEC22</u>	<u>BEC21</u>	<u>BEC20</u>	<u>BEC19</u>	<u>BEC18</u>	<u>BEC17</u>	<u>BEC16</u>
默认值	0	0	0	0	0	0	0	0

第23位至第1位: 误码计数(BEC[23:0])。这24位指示到达数据流中的误码数量。达到FF FFFFh后, 停止递增计数。当发生OOS时, 对应的误码计数器不会递增计数。

寄存器名称: **RBCR1**
 寄存器说明: **接收误码计数寄存器#1**
 寄存器地址: **18h**

位#	7	6	5	4	3	2	1	0
名称	<u>BC7</u>	<u>BC6</u>	<u>BC5</u>	<u>BC4</u>	<u>BC3</u>	<u>BC2</u>	<u>BC1</u>	<u>BC0</u>
默认值	0	0	0	0	0	0	0	0

寄存器名称: **RBCR2**
 寄存器说明: **接收误码计数寄存器#2**
 寄存器地址: **19h**

位#	15	14	13	12	11	10	9	8
名称	<u>BC15</u>	<u>BC14</u>	<u>BC13</u>	<u>BC12</u>	<u>BC11</u>	<u>BC10</u>	<u>BC9</u>	<u>BC8</u>
默认值	0	0	0	0	0	0	0	0

寄存器名称: **RBCR3**
 寄存器说明: **接收误码计数寄存器#3**
 寄存器地址: **1Ah**

位#	7	6	5	4	3	2	1	0
名称	<u>BC23</u>	<u>BC22</u>	<u>BC21</u>	<u>BC20</u>	<u>BC19</u>	<u>BC18</u>	<u>BC17</u>	<u>BC16</u>
默认值	0	0	0	0	0	0	0	0

寄存器名称: **RBCR4**
 寄存器说明: **接收误码计数寄存器#4**
 寄存器地址: **1Bh**

位#	15	14	13	12	11	10	9	8
名称	<u>BC31</u>	<u>BC30</u>	<u>BC29</u>	<u>BC28</u>	<u>BC27</u>	<u>BC26</u>	<u>BC25</u>	<u>BC24</u>
默认值	0	0	0	0	0	0	0	0

第 31 位至第 0 位: 位计数(BC[31:0])。这 32 位指示到达数据流中的位数。达到 FFFF FFFFh 后, 停止递增计数。当发生 OOS 时, 对应的误码计数器不会递增计数。

6 功能说明

6.1 上电和复位

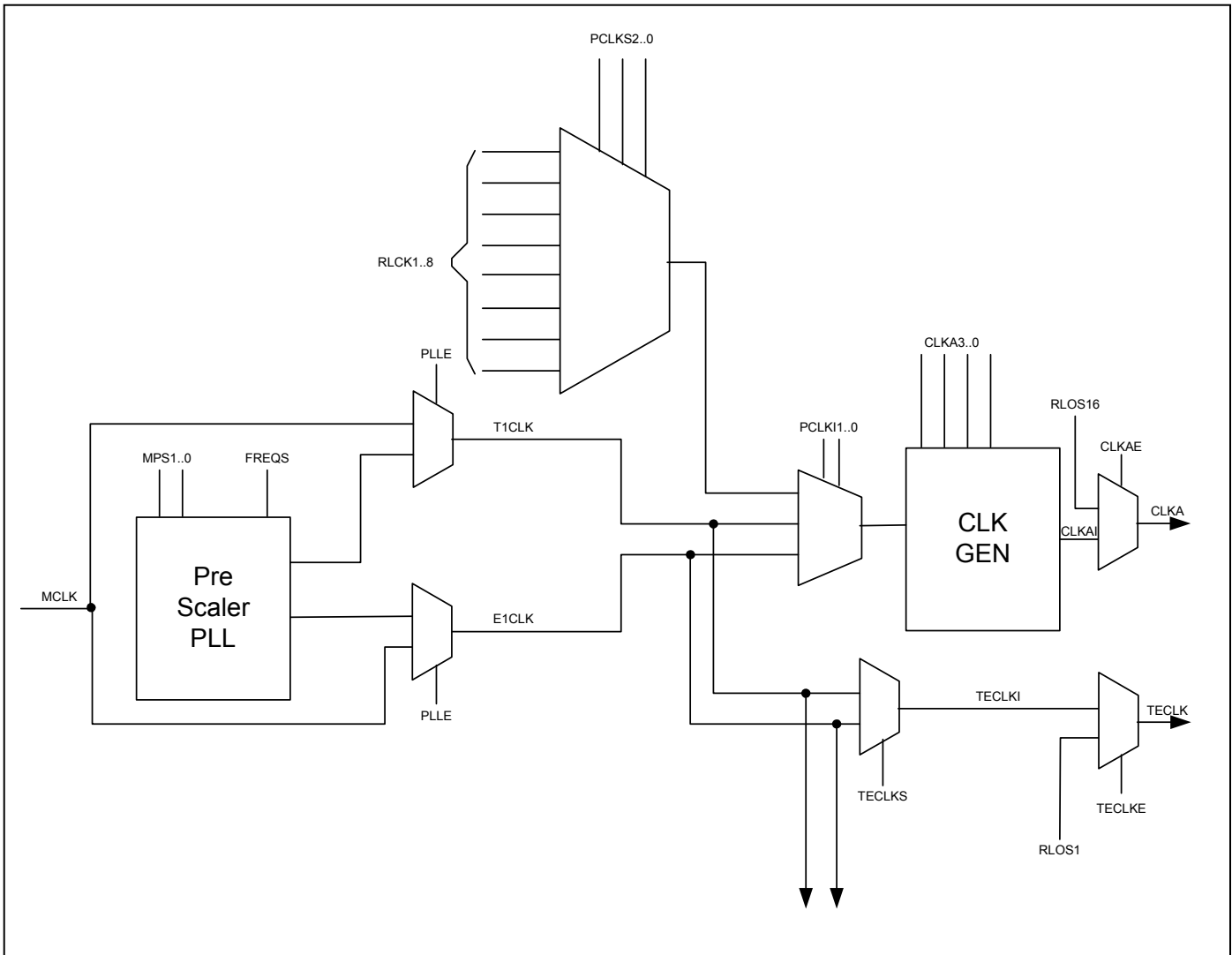
内部Power_On_Reset电路在上电过程中产生一个复位信号。所有寄存器复位至默认值。对软件复位寄存器进行写操作，产生至少1 μ s的复位周期，其作用与上电复位一样。也可以在软件中向[SWR](#)寄存器写入任意值进行复位。

6.2 主时钟

DS26303需要2.048MHz $\pm$ 50ppm或1.544MHz $\pm$ 50ppm，或其倍频频率的时钟。接收器使用MCLK作为参考时钟，完成时钟恢复和抖动衰减，在LOS期间产生RCLK。AIS传输使用MCLK，作为发送全1的条件。参见寄存器[MC](#)，设置所需频率。当PLLE复位时，MCLK等于输入频率。

MCLK或者RCLK也可以用于输出CLKA。寄存器[CCR](#)用于选择CLKA和TECLK产生的时钟。采用相同的寄存器，可以选择RCLK用作时钟发生器的输入。对于这种选择的详细说明，请参见[图 6-1](#)。

图 6-1. 预标定 PLL 和时钟发生器



6.3 发送器

NRZ数据到达发送系统侧的TPOS和TNEG，TPOS和TNEG的数据在TCLK下降沿采样(图 10-12)。

选择单极性摆幅模式时，采用HDB3、B8ZS或NRZ对数据进行编码 (只有TPOS是数据源)。仅在单极性摆幅模式下，通过寄存器BEIR可插入BPV误码进行测试。选择双极性摆幅模式时，将采用预编码数据。如果衰减器已经使能用于发送通道，编码后的数据将送入抖动衰减器。数字排序器和DAC用于产生发送波形，符合T1.102和G.703脉冲模板。

线路驱动支持内部75Ω、100Ω、110Ω和120Ω阻抗匹配模式。

DS26303驱动具有短路和开路驱动失效检测功能。OE引脚可以将发送器输出置为高阻，以保护切换。可以通过寄存器OEB将每个发送器置为高阻状态。DS26303可以分别关断每个发送器。控制发送器工作的寄存器示于表 6-3。

表 6-1. DS26303 发送器支持的电信规范

TRANSMITTER FUNCTION	TELECOMMUNICATIONS COMPLIANCE
AMI Coding, B8ZS Substitution, DS1 Electrical Interface	ANSI T1.102
T1 Telecom Pulse Mask Compliance	ANSI T1.403
T1 Telecom Pulse Mask Compliance	ANSI T1.102
Transmit Electrical Characteristics for E1 Transmission and Return Loss Compliance	ITU-T G.703

表 6-2. DS26303 发送器控制的相关寄存器

REGISTER NAME	ACRONYM	FUNCTION
Transmit All-Ones Enable	TAOE	Transmit All-Ones Enable.
Driver Fault Monitor Status	DFMS	Driver Fault Status.
Driver Fault Monitor Interrupt Enable	DFMIE	Driver Fault Status Interrupt Mask.
Driver Fault Monitor Interrupt Status	DFMIS	Driver Fault Status Interrupt Mask.
Global Configuration Register	GC	Selection of the jitter attenuator in the transmit receive or not used and code for B8ZS or HDB3 substitution.
Template Select Transmitter	IST	The transmitter that the template select applies to.
Template Select	TS	The TS2 to TS0 bits for selection of the templates for transmitter and match impedance for the receiver.
Output Enable Configuration Register	OEB	This bits can be used to place the transmitter outputs in high-impedance mode.
Master Clock Selection	MC	Selects the MCLK frequency used for transmit and receive.
Single-Rail Mode Select Register	SRMS	This register can be used to select between single-rail and dual-rail mode.
Line Code Selection	LCS	The individual LIU line codes can be selected to overwrite the global setting.
Transmit Power-Down	TPDE	Individual transmitters can be powered down.
Individual Short-Circuit-Protection Disable	ISCPD	This register allows the individual transmitters short-circuit protection disable.
BERT Control Register	BTCL	This register is used for sending different BERT patterns for the individual transmitters.

6.3.1 发送线路模板

可设置DS26303发送器，使其分别符合E1和T1/J1模式的脉冲模板。T1/J1脉冲模板示于发送脉冲模板，可在每一LIU中进行配置。TIMPRM引脚/位用于选择内部发送匹配阻抗，T1/J1模式下，选择100Ω/110Ω；而E1模式下，则选择75Ω/120Ω。T1脉冲模板如图 6-2所示，E1脉冲模板如图 6-3所示。

表 6-3. DS26303 模板选择

TS2, TS1, TS0	APPLICATION
000	E1
001	Reserved
010	
011	DSX-1 (0-133 ft)
100	DSX-1 (133-266 ft)
101	DSX-1 (266-399 ft)
110	DSX-1 (399-533 ft)
111	DSX-1 (533-655 ft)

图 6-2. T1 发送脉冲模板

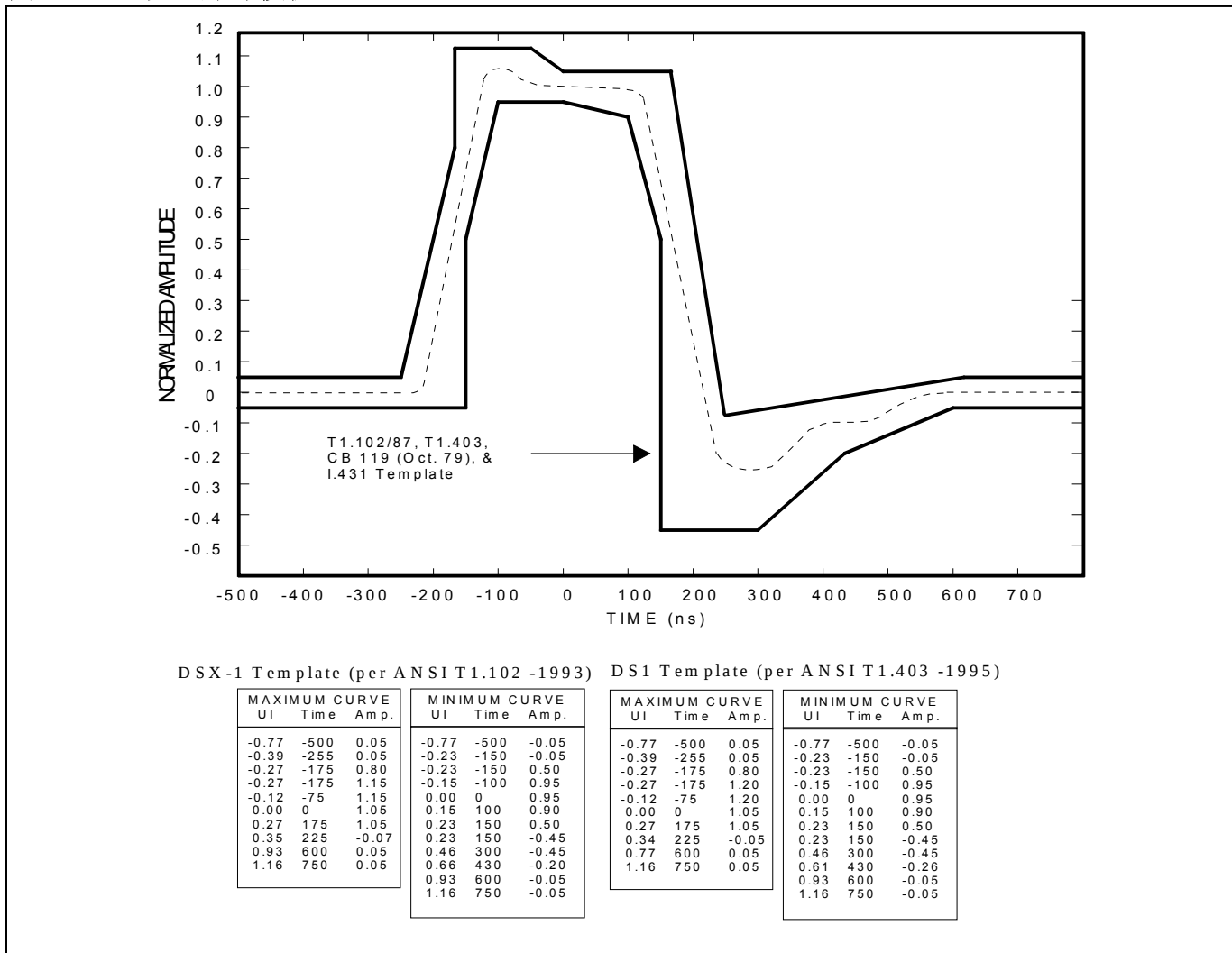
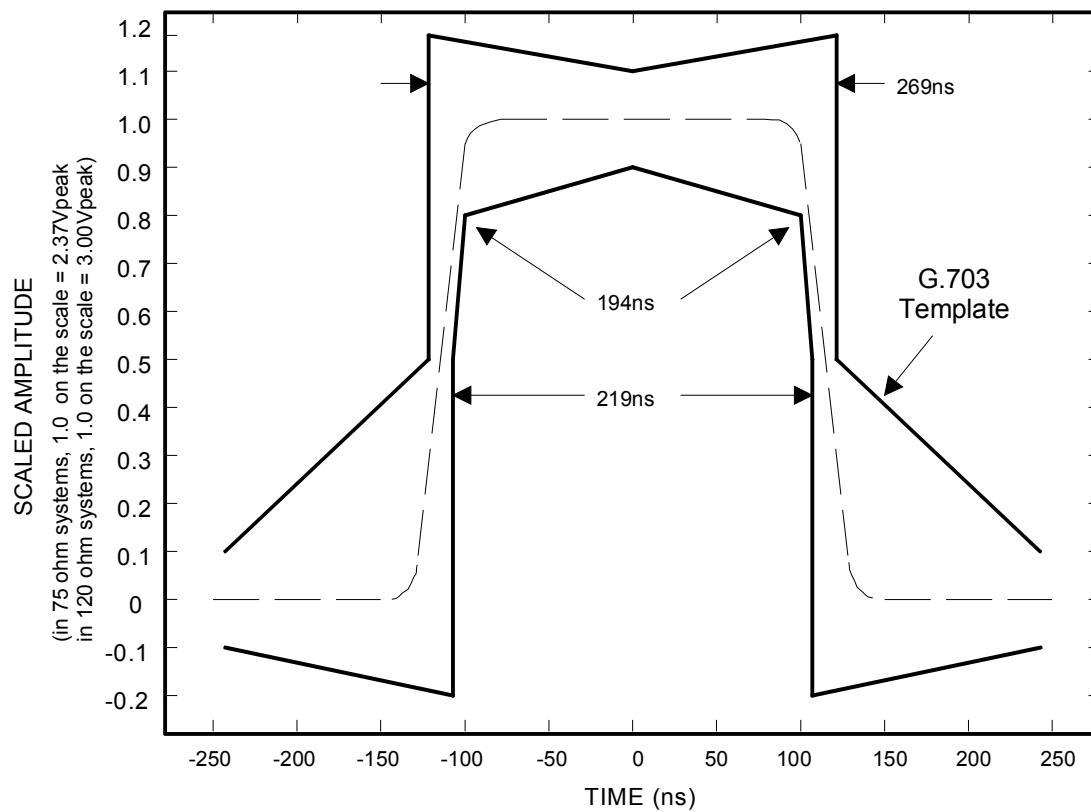


图 6-3. E1 发送脉冲模板



6.3.2 LIU 发送前端

建议按照图 6-4和表 6-4配置发送器LIU。无需串联电阻。E1、J1和T1模式下，发送器具有内部端接。

图 6-4. LIU 前端

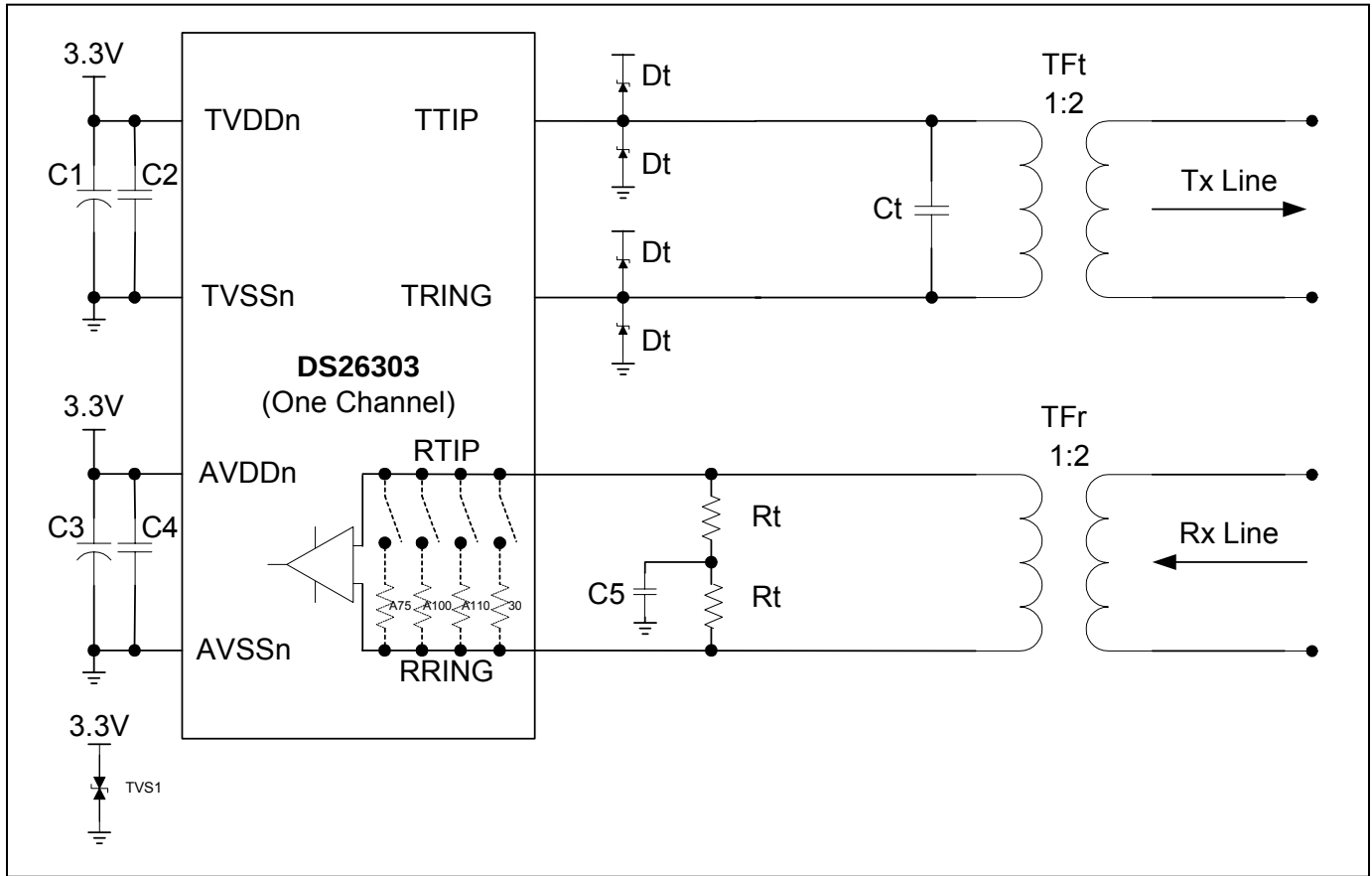


表 6-4. LIU 前端取值

MODE	COMPONENT	75Ω COAX	120Ω TWISTED PAIR	100Ω/110Ω TWISTED PAIR
Tx Capacitance	Ct	560pF typical. Adjust for board parasitics for optimal return loss.		
Tx Protection	Dt	International Rectifier: 11DQ04 or 10BQ060 Motorola: MBR0540T1		
Rx Transformer 1:2	TFr	Pulse: T1124 (0°C to +70°C)		
Tx Transformer 1:2	Tft	Pulse: T1114 (-40°C to +85°C)		
Tx Decoupling (ATVDD)	C1	Common decoupling for all eight channels is 68μF.		
Tx Decoupling (ATVDD)	C2	Recommended decoupling per channel is 0.1μF.		
Rx Decoupling (AVDDn)	C3	Common decoupling for all eight channels is 68μF.		
Rx Decoupling (AVDDn)	C4	Common decoupling for all eight channels is 0.1μF.		
Rx Termination	C5	When in external impedance mode, Rx capacitance for all eight channels is 0.1μF. Do not populate if using internal impedance mode.		
Rx Termination	Rt	When in external impedance mode, the two resistors for all modes are 15.0Ω ±1%. Do not populate if using internal impedance mode.		
Voltage Protection	TVS1	SGS-Thomson: SMLVT 3V3 (3.3V transient suppressor)		

6.3.3 双极性摆幅模式

双极性摆幅由系统侧的TPOS、TNEG和TCLK引脚构建。如图 10-12所示，在TCLK下降沿对NRZ数据进行采样。不允许零替换B8ZS或HDB3。脉冲整形后，TPOS引脚的数据将由TTIP输出，TNEG引脚的数据由TRING输出。单摆幅选择寄存器(SRMS)用于选择双极性摆幅或单极性摆幅模式。通过设置BERT控制寄存器(BTCR)，在维护模式下，可重写到达TPOS和TNEG的数据。

6.3.4 单极性摆幅模式

单极性摆幅由系统侧的TPOS、TNEG和TCLK引脚构建。如图 10-12所示，在TCLK下降沿对NRZ数据进行采样。允许零替换B8ZS或HDB3。脉冲整形后，在TTIP和TRING引脚对TPOS数据以AMI格式编码。单极性模式选择(SRMS)用于选择双极性或单极性摆幅模式。通过设置BERT控制寄存器(BTCR)，在维护模式下，可重写到达TPOS的数据。

6.3.5 零抑制—B8ZS 或者 HDB3

器件处于T1模式时，选择B8ZS编码(由TS寄存器的TS2、TS1和TS0位进行选择)。置位LCS寄存器的LCS禁止B8ZS/HDB3。注意，如果每个LIU配置E1模式，将选择替换HDB3编码。只有B8ZS或者HDB3编码关闭后，可通过BEIR寄存器或发送维护寄存器设置插入双极性违规码。B8ZS替换按照ANSI T1.102标准定义，HDB3按照ITU G.703标准定义。

6.3.6 发送关断

如果TPDE中的相关位置位，发送器将关断。

6.3.7 发送全 1

当使能发送全1后，以MCLK为时序基准连续发送1。忽略TPOS和TNEG的输入数据。设置TAOE寄存器可实现发送全1。同样，如果寄存器ATAOS中的位被置位，也可以发送全1，相应的接收器进入状态寄存器LOSS中的LOS状态。

6.3.8 驱动故障监控

驱动器故障监控引脚连接至TTIP和TRING引脚，该功能检测发送变压器次级的短路。如果检测到短路，驱动电流将被限制为50mA。DFMS状态寄存器以及相应的中断和使能寄存器可用于监控驱动器故障。

6.4 接收器

DS26303的8个接收器完全一样。2:1的变压器将来自线上的输入降压。DS26303全部由软件选择E1和T1/J1模式，而不用改动接收侧的任何外部电阻。内部端接电路的输出反馈输入到峰值探测器。

峰值探测器和数据限幅器处理接收到的信号。数据限幅器将数据输出至时钟和数据恢复电路。2.048MHz/1.544MHz PLL在内部通过另一个内部PLL乘以8后，输出到时钟恢复系统，驱动E1或T1时钟。时钟恢复系统使用来自PLL的时钟，形成一个8倍过采样器，用于恢复时钟和数据。这种过采样技术具有优异的性能，满足抖动容限规范。根据选项设置，进行B8ZS/HDB3/AMI解码。解码后的数据提供给单极性摆幅或双极性摆幅模式下的系统侧。通过设置SRMS寄存器选择单极性摆幅或双极性摆幅模式。

6.4.1 峰值探测器和限幅器

限幅器确定接收数据到达，以及数据极性。限幅器的输出送至时钟和数据恢复电路，提取数据和时钟。限幅器带有内部峰值探测器，用于确定限幅器阈值。

6.4.2 时钟和数据恢复

由2.048MHz/1.544MHz PLL得到的合成E1或T1时钟在内部通过另一个PLL乘以16后，送入时钟恢复系统。时钟恢复系统使用来自PLL电路的时钟，形成一个16倍过采样器，用于恢复时钟和数据。这种过采样技术可实现优异的性能，满足抖动容限指标。

6.4.3 丢失信号

DS26303同时使用数字和模拟丢失检测，以符合T1/J1模式的最新T1.231规范，以及E1模式的ITU G.775或ETSI 300 233规范。

如果接收电平持续低于阈值一段时间，则判断为LOS状态；也可以认为接收到了一串“0”。信号电平和持续时间符合T1.231、G.775或ETSI 300 233规范的定义。

信号丢失检测阈值基于T1和E1模式的15dB电缆损耗。当接收器检测到信号丢失后，由MCLK替代RCLK。如果GC寄存器的AISEL置位，或者IAISEL.ILAISE位置位，则当接收到LOS信号时，RPOS/RNEG数据由全1信号替代，用于给下级设备指示AIS。当接收器检测到信号电平比丢失检测门限高出一定数值后，退出丢失状态。丢失检测信号电平和丢失复位信号电平带有滞回，以防止接收器在LOS和无LOS状态之间反复切换。

下表列出了信号丢失检测的规范。

表 6-5. T1.231、G.775 和 ETSI 300 233 规范的信号丢失标准

CRITERIA	STANDARD		
	T1.231	ITU G.775	ETSI 300 233
Loss Detection	No pulses are detected for 175 $\pm$ 75 bits.	No pulses are detected for duration of 10 to 255 bit periods.	No pulses are detected for a duration of 2048 bit periods or 1ms.
Loss Reset	Loss is terminated if a duration of 12.5% ones are detected over duration of 175 $\pm$ 75 bits. Loss is not terminated if eight consecutive 0s are found if B8ZS encoding is used. If B8ZS is not used, loss is not terminated if 100 consecutive pulses are 0.	The incoming signal has transitions for duration of 10 to 255 bit periods.	Loss reset criteria is not defined.

6.4.3.1 T1 和 J1 模式的 ANSI T1.231

如果接收信号电平低于200mV，并持续192位周期，则认为信号丢失。如果符合以下所有条件，则LOS复位：

- 在192位周期内检测到1的数量在24个以上，RTIP和RRING的检测门限为300mV。
- 在192位周期内检测到连续0的数量少于100。
- 如果B8ZS置位，没有检测到连续的8个0。

6.4.3.2 E1 模式的 ITU G.775

如果接收信号电平低于200mV，并持续192位周期，则认为信号丢失。如果接收信号电平大于300mV，持续192位周期，则LOS复位。

6.4.3.3 E1 模式的 ETSI 300 233

如果接收信号电平低于200mV，持续2048位周期(1ms)，则认为信号丢失。如果接收信号电平大于300mV，持续192位周期，则LOS复位。

6.4.4 AIS

表 6-6 列出了 DS26303 AIS 的相关规范。表 6-7 说明 DS26303 的 AIS 功能。与 AIS 检测相关的寄存器列于表 6-8。

表 6-6. T1.231、G.775 和 ETSI 300 233 规范的 AIS 标准

CRITERIA	STANDARD		
	ITU G.775 FOR E1	ETSI 300 233 FOR E1	ANSI T1.231 FOR T1
AIS Detection	Two or fewer 0s in each of two consecutive 512-bit streams received.	Fewer than three 0s detected in 512-bit period.	Fewer than nine 0s detected in a 8192-bit period (a ones density of 99.9% over a period of 5.3ms) are received.
AIS Clearance	Three or more 0s in each of two consecutive 512-bit streams received.	Three or more 0s in a 512-bit period received.	Nine or more 0s detected in a 8192-bit period are received.

表 6-7. AIS 检测和复位标准

CRITERIA	STANDARD		
	ITU G.775 FOR E1	ETSI 300 233 FOR E1	ANSI T1.231 FOR T1
AIS Detection	Two or fewer 0 in each of two consecutive 512-bit streams received.	Fewer than three 0s detected in 512-bit period.	Fewer than nine 0s contained in 8192 bits.
AIS Clearance	Three or more 0s in each of two consecutive 512-bit streams received.	Three or more 0s in a 512-bit period received.	Nine or more bits received in a 8192-bit stream.

表 6-8. 与 AIS 检测相关的寄存器

REGISTER	ACRONYM POINTER	FUNCTIONALITY
LOS/AIS Criteria	LASCS	Section criteria for AIS. T1.231, G.775, ETSI 300 233 for E1.
AIS Register	AIS	Set when AIS is detected.
AIS Enable Register	AISIE	If reset interrupt due to AIS is not generated.
AIS Interrupt	AISL	Latched if there is a change in AIS and the Interrupt is enabled.

6.4.5 双极性违规(BPV)和多零检测器

DS26303检测编码违规、BPV和零过多错误。RNEGn/CVn引脚报告错误。

B8ZS使能后，如果检测到连续8个零，则认为出现零过多错误；HDB3使能后，如果检测到连续4个零，则认为出现零过多错误。选择了单极性摆幅模式和HDB3/B8ZS编/解码时，零过多检测功能可选。

[EZDE](#)和[CVDEB](#)寄存器中的位决定所报告的内容，[表 6-9](#)列出了这一功能：

表 6-9. BPV、码违规和多零错误报告

CONDITIONS	CVn PIN REPORTS
EZDE is reset, CVDEB is reset	BPV + code violation
EZDE is set, CVDEB is reset	BPV + code violation + excessive zero
EZDE is reset, CVDEB is set	BPV
EZDE is set, CVDEB is set	BPV + excessive zero

6.4.6 LIU 接收器前端

建议按照[表 6-4](#)和[图 6-4](#)配置接收器。接收器前端的内部模式或者外部模式可以通过寄存器[GC.RIMPMS](#)进行选择。按照[图 6-4](#)所示，置位时，设置外部模式，要求用户按提供两个15Ω电阻。外部模式下，如果在模板选择期间选择75Ω、100Ω或110Ω阻抗，则内部可调电阻A75、A100和A110将被置位。然而，内部30Ω电阻将被断开。如果要断开所有电阻或匹配任意一个内部阻抗，则用户必须置位每个LIU的[TS.RIMPOFF](#)位或者在硬件模式下置位RIMPOFF引脚。

6.5 无过冲保护切换(HPS)

很多现行的冗余保护方案的主电路板和备用电路板之间切换采用继电器延时。继电器的切换时间通常为毫秒级的，因此无法实现T1/E1的HPS。切换过程会引起后级设备帧同步的丢失，因此会影响服务的质量。这种情况也同样适用于采用软件或者无效时钟触发HPS的三态机制。

DS26303的LIU具有TTIP和TRING的快速三态输出，可以在小于一个比特周期内关断RTIP和RRING的阻抗匹配。控制逻辑如[图 6-5](#)所示。软件模式下，用户可以设置RHPMC位，进而可以通过OE引脚控制发送器输出和接收器阻抗匹配。这是个极其有用的功能，可以通过硬件引脚控制，允许接收器和发送器快速切换到备用系统。[图 6-6](#)给出了软件模式下，采用OE进行控制的典型HPS应用。硬件模式下，接收器可以通过RIMPOFF引脚快速关断阻抗匹配，而发送器输出则可通过OE引脚快速关断。

图 6-5. HPS 逻辑

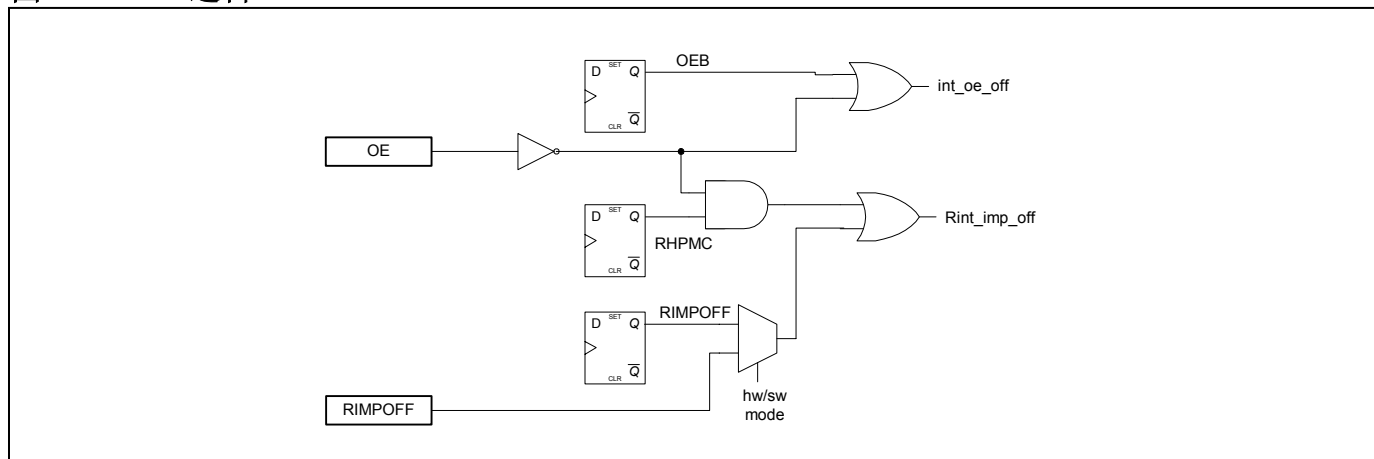
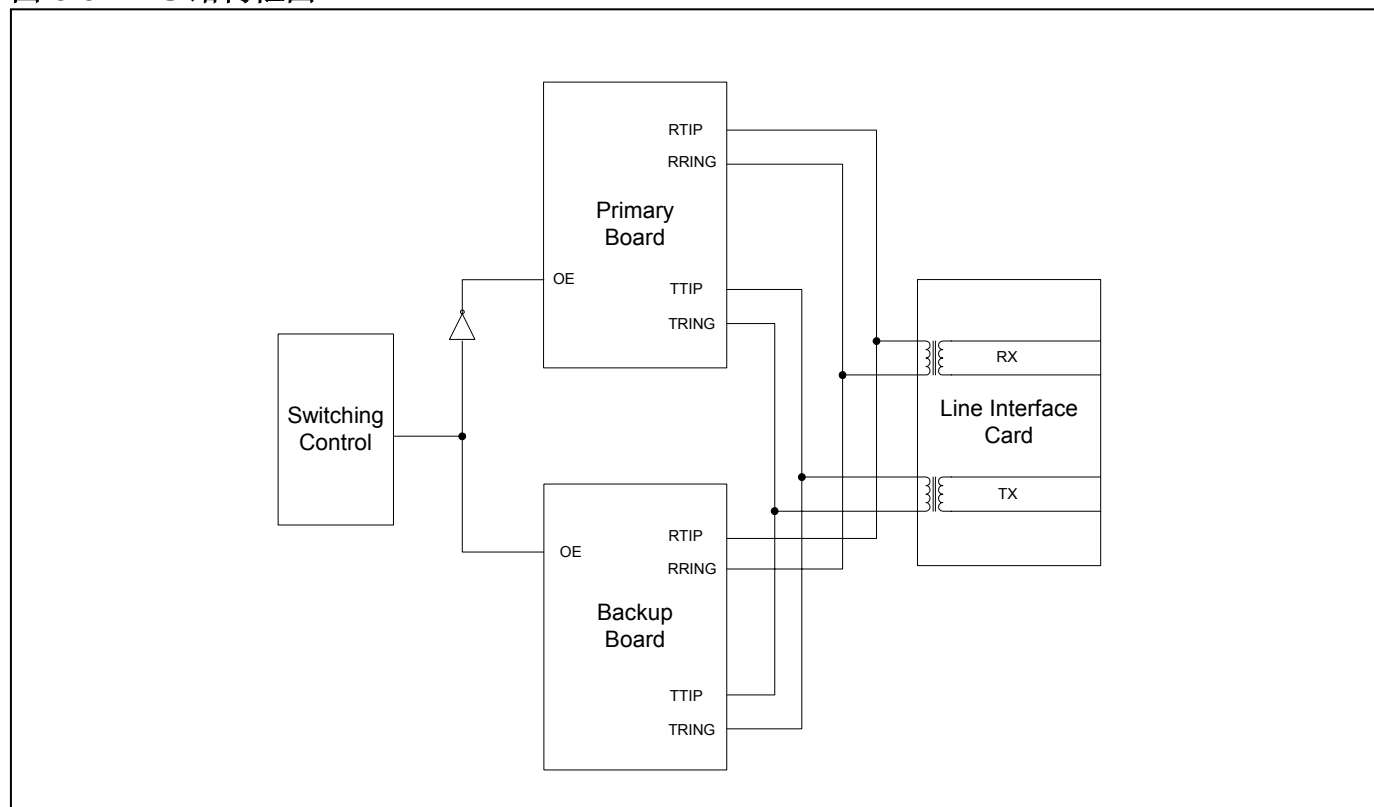


图 6-6. HPS 结构框图

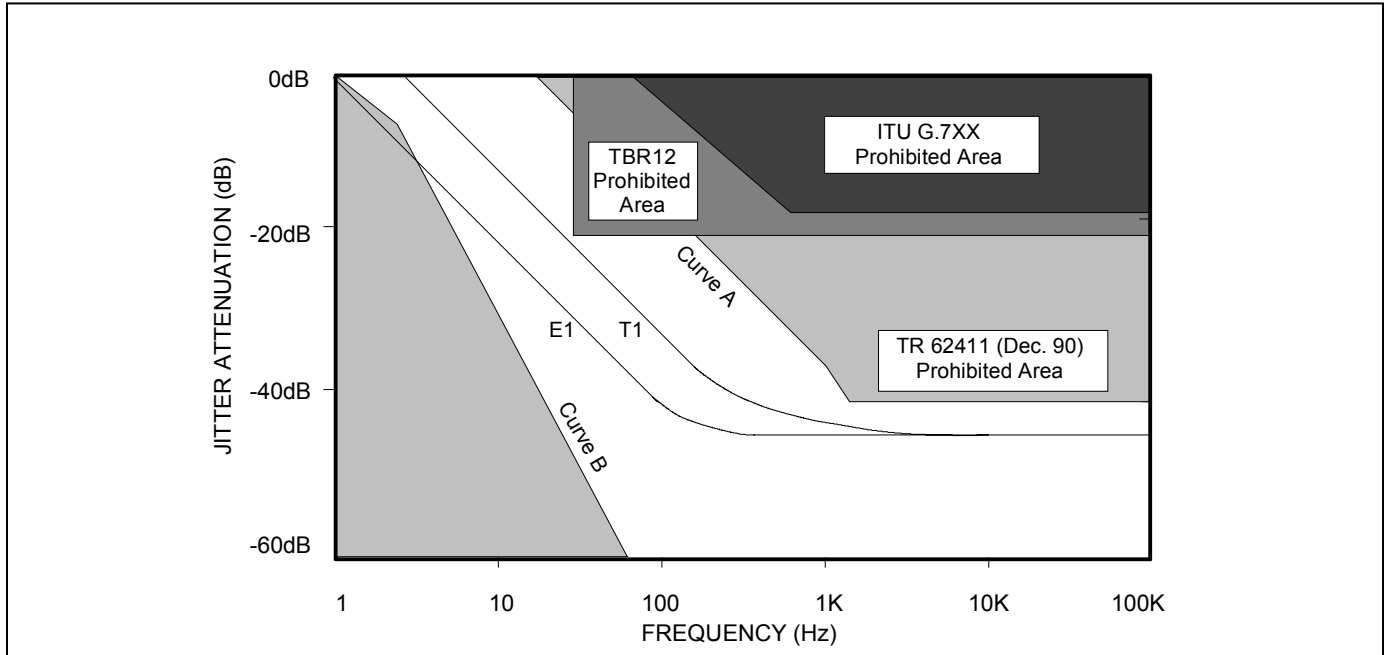


6.6 抖动衰减器

DS26303含有一个板上抖动衰减器，通过寄存器GC中的JADS位，深度设置为32位或128位。通过设置JAFDS寄存器，在每个LIU中控制该衰减器。128位模式用于需要较大漫游范围的应用，32位模式用于对延时敏感的应用。衰减特性示于图 6-7。通过设置寄存器GC的JAPS和JAE位，可以将抖动衰减器放在接收通道，或发送通道，或不使用抖动衰减器。设置JAPS和JAE，在每个LIU中可修改这些选择。

为保证抖动衰减器正常工作，在MCLK上必须出现2.048MHz或其倍频时钟，或1.544MHz或其倍频时钟。ITU规范G.703要求T1和E1应用的精度为 $\pm 50\text{ppm}$ 。TR62411和ANSI规范要求T1接口的精度为 $\pm 32\text{ppm}$ 。板上电路调节从时钟/数据恢复模块中恢复的时钟，或从TCLK引脚时钟平滑产生的无抖动时钟，用于同步抖动衰减器FIFO的数据输出。如果抖动衰减器位于发送侧，可以在TCLK引脚上出现一个带抖动的时钟。如果接收到的时钟抖动超过了 $120\text{UI}_{\text{P-P}}$ (缓冲深度是128位) 或 $28\text{UI}_{\text{P-P}}$ (缓冲深度是32位)，那么，DS26303对内部32.768MHz (E1)或者24.704MHz (T1)时钟进行15或17分频，而不是标称值16分频，以防止缓冲溢出。当器件经过15或17分频后，也将JAFILT寄存器说明的抖动衰减器限制门限(JFLT)位置位。

图 6-7. 抖动衰减



6.7 G.772 监控

在该应用中，只有7个收发器正常工作，一个收发器用于对7个通道的输入和输出进行非介入式监控。通道1用于通道2至8。G.772监控由GMC寄存器进行配置(参见表 5-9)。可通过远端环回配置监控通道1，监控信号在TTIP1和TRING1上输出。

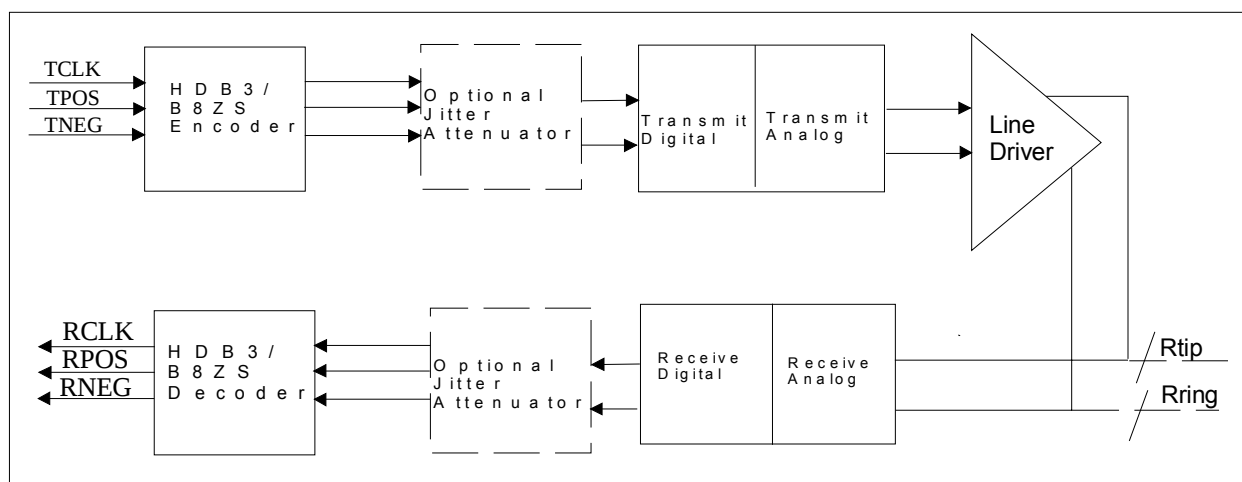
6.8 环回

DS26303提供4种环回用于诊断目的：模拟环回、数字环回、远端环回和双环回。

6.8.1 模拟环回

发送器模拟输出TTIP和TRING环回至接收器的RTIP和RRING。模拟环回时，忽略RTIP和RRING的数据。如图 6-8所示。

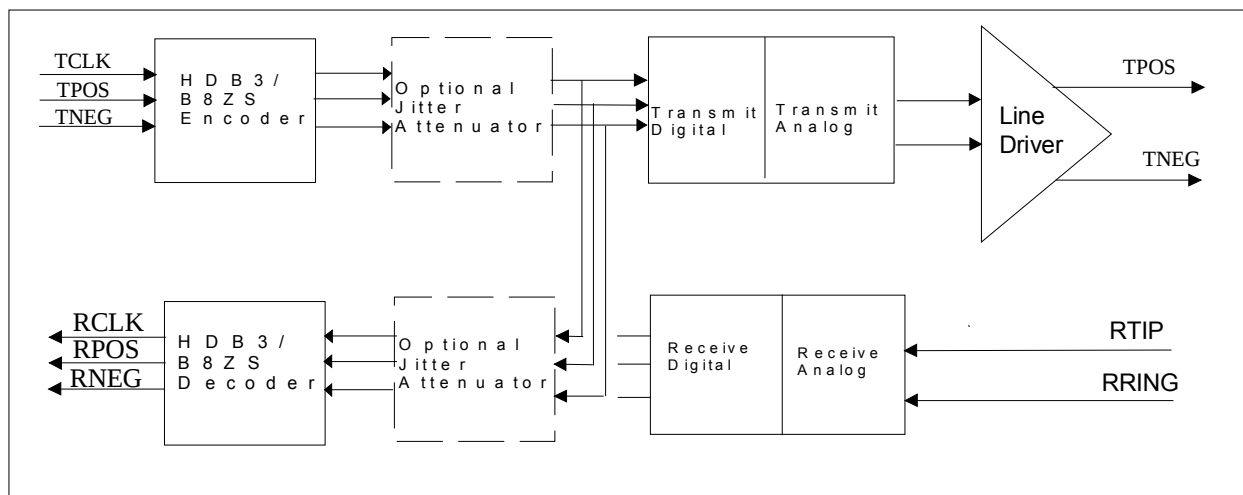
图 6-8. 模拟环回



6.8.2 数字环回

发送系统数据TPOS、TNEG和TCLK环回至RCLK、RPOS和RNEG的输出。对TPOS和TNEG的数据输入进行编码，由TTIP和TRING输出，忽略RTIP和RRING上的信号。这种环回的概念示于图 6-9。

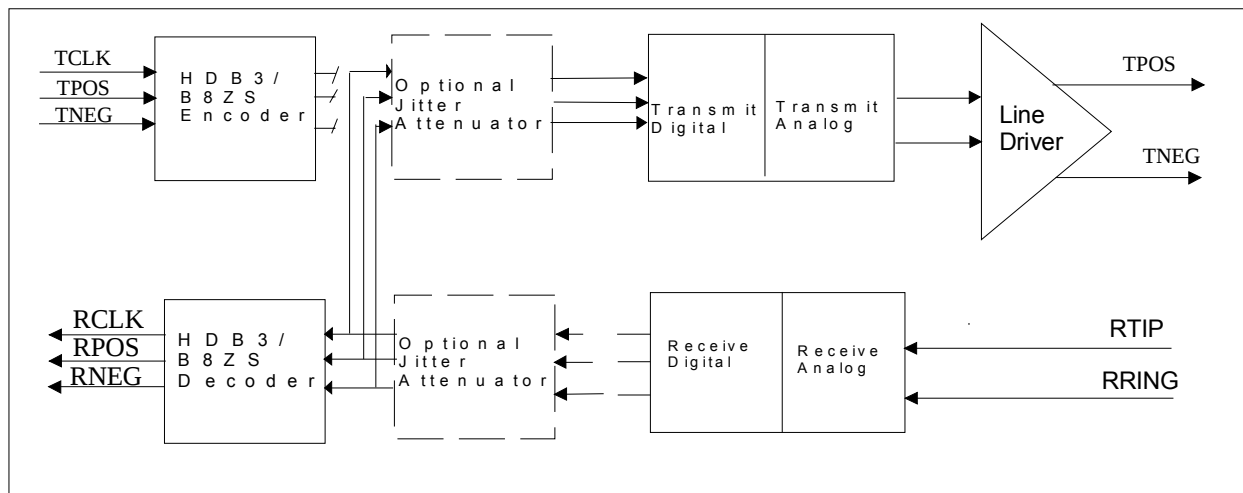
图 6-9. 数字环回



6.8.3 远程环回

RTIP和RRING的输入环回至TTIP和TRING。远端环回期间，忽略TCLK、TPOS和TNEG的输入。这种环回概念示于图 6-10。

图 6-10. 远程环回



6.9 BERT

BERT是软件可编程测试模板发生器和监控器，能够满足大部分数字传输设备的误码性能要求。按照多项式： $x^n + x^y + 1$ 产生并同步伪随机模板，其中， n 和 y 取值范围是1至32，最大长度为32位的重复模板。

在发送方向产生可编程测试模板，在数据流中插入测试模板有效负荷。

在接收方向，从接收数据流中提取测试模板有效负荷，并监控可编程测试模板的负荷。具有以下特性：

- **可编程PRBS模板** – 可以对伪随机序列 (PRBS) 多项式 ($x^n + x^y + 1$) 和码元进行编程 (长度 $n = 1$ 至32，抽头 $y = 1$ 至 $n - 1$ ，码元 = 0 至 $2^n - 1$)。
- **可编程重复模板** – 可以对重复模板长度和模板进行编程(长度 $n = 1$ 至32，模板 = 0 至 $2^n - 1$)。
- **24位误码计数和32位计数寄存器。**
- **可编程误码插入** – 可在引脚跳变或特定速率下分别插入误码。可对速率 $1/10^n$ 进行编程 ($n = 1$ 至7)。
- **10^{-3} BER的模板同步** – 即使在 10^{-3} 误码率 (BER)下，也可以实现模板同步。

6.9.1 配置和监控

设置 $PORT.CR1.BENA = 1$ ，使能 BERT。下表显示了怎样配置板上 BERT，以发送和接收通用模式。

表 6-10. 伪随机模板产生

PATTERN TYPE	BPCR REGISTER				BERT. PCR	BERT. SPR2	BERT. SPR1	BERT.CR TPIC, RPIC
	PTF[4:0] (hex)	PLF[4:0] (hex)	PTS	QRSS				
2^9-1 O.153 (511 type)	04	08	0	0	0x0408	0xFFFF	0xFFFF	0
$2^{11}-1$ O.152 and O.153 (2047 type)	08	0A	0	0	0x080A	0xFFFF	0xFFFF	0
$2^{15}-1$ O.151	0D	0E	0	0	0x0D0E	0xFFFF	0xFFFF	1
$2^{20}-1$ O.153	10	13	0	0	0x1013	0xFFFF	0xFFFF	0
$2^{20}-1$ O.151 QRSS	02	13	0	1	0x0253	0xFFFF	0xFFFF	0
$2^{23}-1$ O.151	11	16	0	0	0x1116	0xFFFF	0xFFFF	1

表 6-11. 重复模板产生

PATTERN TYPE	BPCR REGISTER				BERT. PCR	BERT. SPR2	BERT. SPR1
	PTF[4:0] (hex)	PLF[4:0] (hex)	PTS	QRSS			
All 1s	NA	00	1	0	0x0020	0xFFFF	0xFFFF
All 0s	NA	00	1	0	0x0020	0xFFFF	0xFFFE
Alternating 1s and 0s	NA	01	1	0	0x0021	0xFFFF	0xFFFE
Double alternating and 0s	NA	03	1	0	0x0023	0xFFFF	0xFFFC
3 in 24	NA	17	1	0	0x0037	0xFF20	0x0022
1 in 16	NA	0F	1	0	0x002F	0xFFFF	0x0001
1 in 8	NA	07	1	0	0x0027	0xFFFF	0xFF01
1 in 4	NA	03	1	0	0x0023	0xFFFF	0xFFF1

完成位配置后，必须将模板装入BERT。通过BCR.TNPL和BCR.RNPL由零至1的跳变实现。

监控BERT需要读取BSR寄存器，该寄存器含有BEC位和OOS位。当误码计数器的计数值大于等于1时，BEC为1。当接收模板发生器没有与接收到的模板同步时（在64位窗口中至少接收到6位误码时，将出现这一情况），OOS置1。接收BERT位计数寄存器(RBCR)和接收BERT误码计数寄存器(RBECR)将根据接收到的性能监控更新信号(例如，BCR.LPMU)进行刷新。这一信号将以上次更新后的计数器值刷新寄存器并复位计数器。

6.9.2 接收模板检测

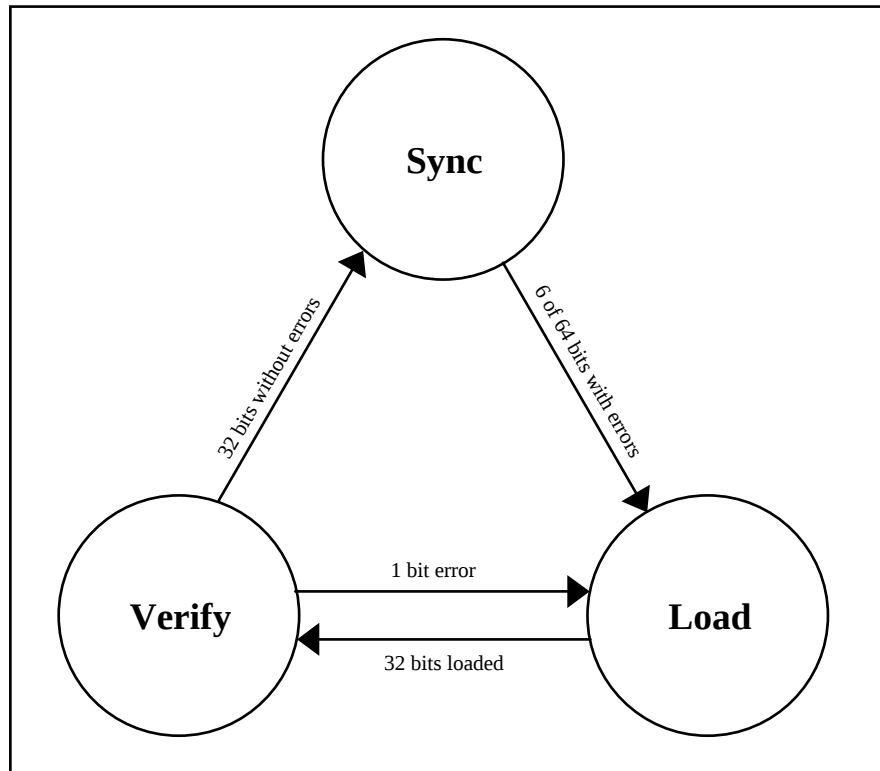
接收BERT仅接收有效负荷数据，将接收模板发生器同步到接收到的模板。接收模板发生器是一个32位移位寄存器，从最低有效位(LSB)或第1位移位至最高有效位(MSB)或第32位。第1位输入是反馈。对于PRBS模板(生成多项式 $x^n + x^y + 1$)，反馈是第n位于第y位的异或。对于重复模板(长度n)，反馈是第n位。可分别编程n和y的数值(1至32)。接收模板发生器的输出是反馈。如果使能QRSS，反馈是第17位和第20位的异或，如果后面的14位为零，将迫使输出为1。可对QRSS进行编程(打开或关闭)。对于PRBS和QRSS模板，如果第1位至第31位为零，将迫使反馈为1。根据所设置的模板类型，模板检测进行PRBS同步或重复模板同步。

6.9.2.1 接收 PRBS 同步

PRBS同步使接收模板发生器与接收到的PRBS或QRSS保持同步。通过将32位数据流装入接收模板发生器使其同步，然后检查后面的32位数据流。如果所有32位数据与收到的模板匹配，则达到同步。如果在当前的64位窗口中，至少有6位接收到的数据与接收模板发生器不一致，则进行初始化重新自动同步模板。可禁用自动重新同步功能。

请参考图 6-11所示的PRBS同步。

图 6-11. PRBS 同步状态图

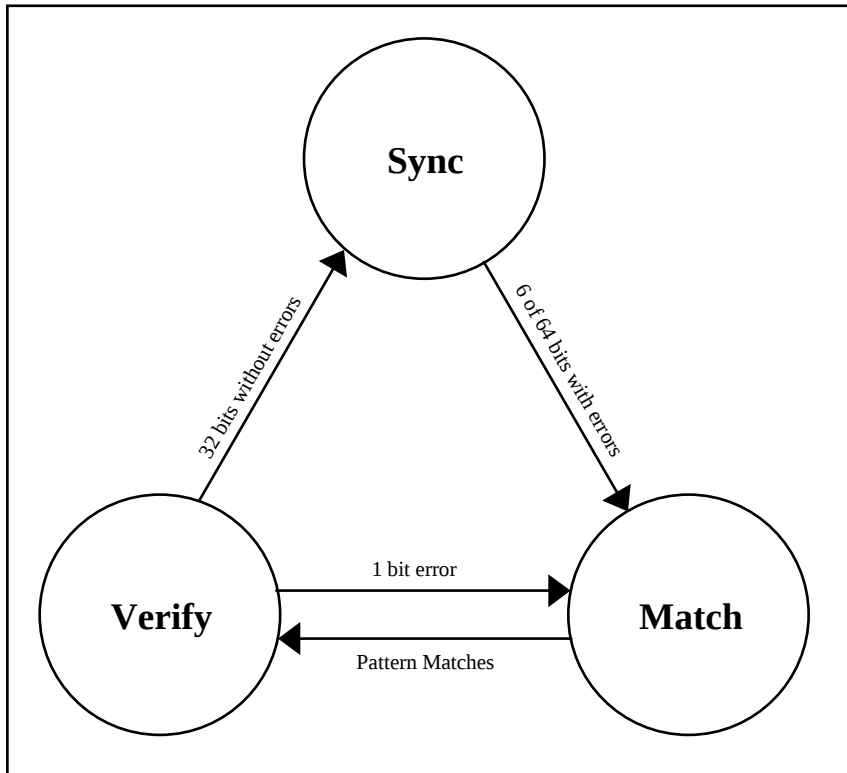


6.9.2.2 接收重复模板同步

重复模板同步使接收模板发生器与接收到的重复模板保持同步。通过搜索重复模板每一到达数据位的位置，然后检查后续32位数据流实现接收模板发生器的同步。如果所有32位数据与输入模板匹配，则实现同步。如果在当前的64位窗口中，至少有6位数据与接收PRBS模板发生器不匹配，则进行初始化，自动重新同步模板。可禁用自动模板重新同步功能。

图 6-12所示为重复模板同步状态图。

图 6-12. 重复模板同步状态图



6.9.2.3 接收模板监控

接收模板监控功能监控到达数据流的OOS状态以及误码，并对收到的位数进行计数。同步状态机不在“同步”状态时，则声明同步丢失(OOS)。当同步状态机处于“同步”状态时，退出OOS。

通过对比到达数据流和接收模板发生器输出确定误码。如果二者不匹配，则报告产生一个误码，同时递增误码和位计数器。如果二者匹配，只有位计数器递增。当出现OOS状况时，位计数和误码计数不会递增。

6.9.3 发送模板产生

模板发生器提供发送测试模板，并传递给误码插入。发送模板发生器是一个32位移位寄存器，从最低有效位(LSB)或第1位移位至最高有效位(MSB)或第32位，第1位输入是反馈。对于PRBS模板(生成多项式 $x^n + x^y + 1$)，反馈是第n位和第y位的异或。对于重复模板(长度n)，反馈是第n位。可分别编程n和y的数值(1至32)。接收模板发生器的输出是反馈。如果使能QRSS，反馈是第17和第20的异或，如果后面的14位全部为零，将迫使输出为1。可对QRSS进行编程(打开或关闭)。对于PRBS和QRSS模板，如果第1位至第31全部为零，将迫使反馈为1。当装入新模板时，在模板发生器启动前，将种子/模板数值装入模板发生器。可对种子/模板数值进行编程(0 - $2^n - 1$)。

6.9.3.1 发送误码插入

误码插入是在发送模板数据流中插入误码。可一次插入一个误码，也可以每 10^n 位插入一个误码。可对 n 值进行编程(1至7或关闭)。可以从微处理器接口初始化单误码插入，也可以通过手动误码插入输入 (TMEI)。可对单误码插入进行设置(寄存器或输入)。如果使能了模板置反，在插入前导码/填充位之前，数据流置反。可对模板置反功能进行编程(打开或关闭)。

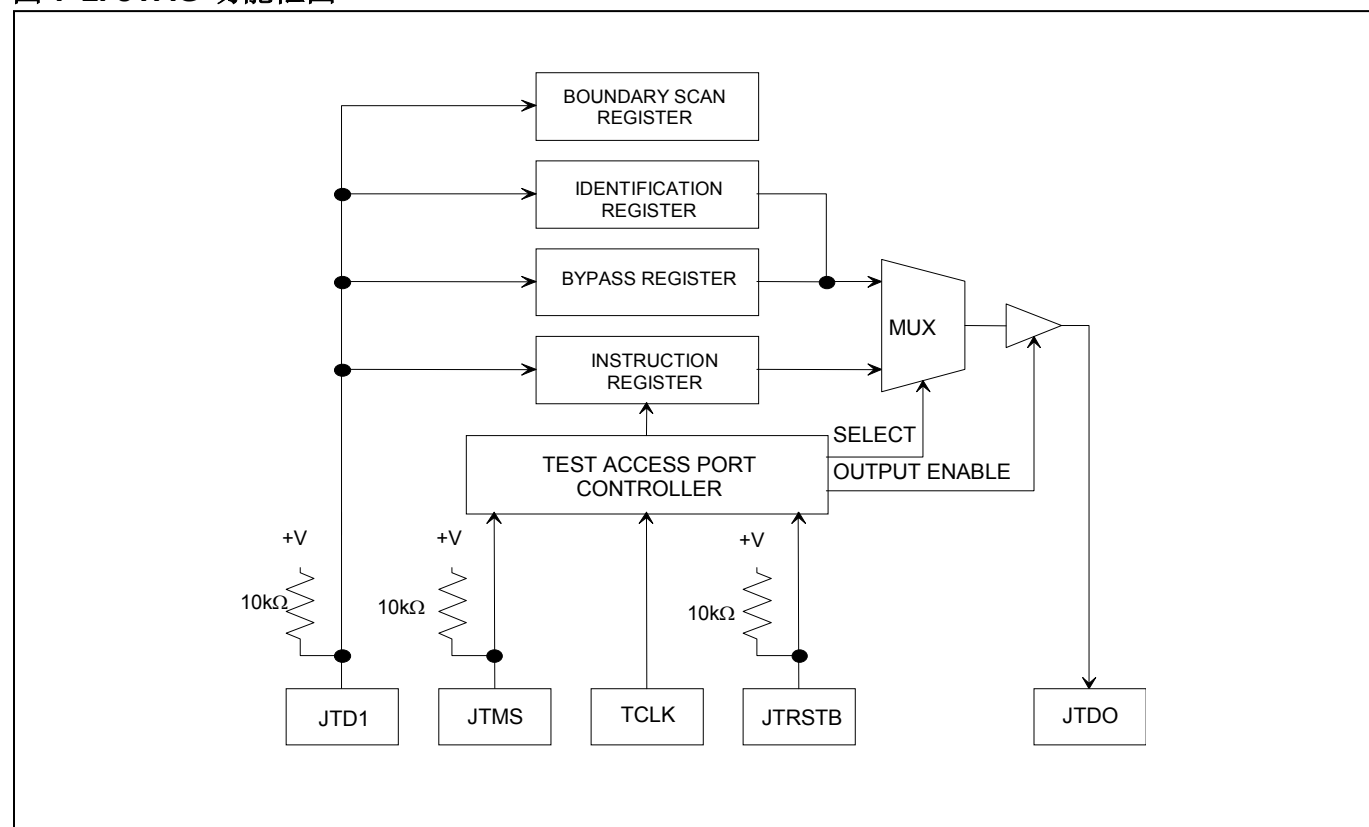
7 JTAG 边界扫描结构和测试访问端口

DS26303的IEEE 1149.1设计支持标准指令代码SAMPLE/PRELOAD、BYPASS和EXTEST。可选的通用指令包括HIGHZ、CLAMP和IDCODE。DS26303含有以下IEEE 1149.1标准测试访问端口和边界扫描体系所要求的内容：

- 测试访问端口 (TAP)
- TAP控制器
- 指令寄存器
- 旁路寄存器
- 边界扫描寄存器
- 器件标识寄存器

请参考IEEE 1149.1-1990、IEEE 1149.1a-1993和IEEE 1149.1b-1994，了解边界扫描体系和测试访问端口的详细信息。测试访问端口含有必须的接口引脚：JTRSTB、TCLK、JTMS、JTDI和JTDO。参见引脚说明，了解详细信息。如需最新的BSDL文件，请访问www.maxim-ic.com.cn/tools/bsdl/，搜索DS26303。

图 7-1. JTAG 功能框图



7.1 TAP 控制器状态机

TAP控制器是一个有限状态机，在TCLK的上升沿响应JTMS逻辑电平。参见图 7-2所示的状态图。

Test-Logic-Reset

上电时，TAP控制器处于Test-Logic-Reset状态。指令寄存器含有IDCODE指令，器件的所有系统逻辑电路将正常工作。上电时自动进入该状态。如果JTMS保持高电平至少5个时钟周期，将从任何状态进入到该状态。

Run-Test-Idle

Run-Test-Idle用于扫描操作之间或特定测试中，指令寄存器和测试寄存器将保持空闲。当JTMS保持低电平时，控制器一直处于该状态。当JTMS为高电平，在TCLK的上升沿控制器进入Select-DR-Scan状态。

Select-DR-Scan

所有测试寄存器保持其前一状态。JTMS低电平时，TCLK上升沿使控制器进入Capture-DR状态，初始化扫描序列。JTMS为高电平时，在TCLK上升沿控制器进入Select-IR-Scan状态。

Capture-DR

如果当前指令是EXTEST或者SAMPLE/PRELOAD，数据可被并行装载到测试数据寄存器。如果指令没有调用并行装载，或所选寄存器不允许并行装载，测试寄存器将保持其当前值。在TCLK的上升沿，如果TMS为低电平，控制器将进入Shift-DR状态；如果JTMS为高电平，控制器进入Exit1-DR状态。

Shift-DR

当前指令所选择的测试数据寄存器连接在JTDI和JTDO之间，在TCLK的每个上升沿数据向其串行输出移动一位。如果当前指令所选择的一个测试寄存器并不在串行通路上，它将保持其前一状态。如果TAP控制器处于该状态，在TCLK的上升沿，如果JTMS为高电平，控制器进入Exit1-DR状态；如果JTMS为低电平，控制器保持Shift-DR状态。

Exit1-DR

在此状态下，如果JTMS为高电平，控制器在TCLK的上升沿进入Update-DR状态，终止扫描过程。如果JTMS为低电平，控制器在TCLK的上升沿进入Pause-DR状态。

Pause-DR

在此状态下，暂停测试寄存器移位。当前指令选择的所有测试寄存器保持其前一状态。JTMS为低电平时，控制器将保持该状态。JTMS为高电平时，控制器在TCLK的上升沿进入Exit2-DR状态。

Exit2-DR

此状态下，如果JTMS为高电平，控制器在TCLK的上升沿进入Update-DR状态，终止扫描过程。如果JTMS为低电平，控制器在TCLK的上升沿进入Shift-DR状态。

Update-DR

Update-DR状态下，TCLK的下降沿将数据从测试寄存器的移位寄存器通路锁存到数据输出锁存器，可以防止由于移位寄存器变化而导致并行输出的变化。

Select-IR-Scan

所有测试寄存器保持其前一状态。在此状态下，指令寄存器保持不变。JTMS为低电平时，控制器在TCLK的上升沿进入Capture-IR状态，初始化指令寄存器的一个扫描序列。如果JTMS为低电平，控制器在TCLK的上升沿回到Test-Logic-Reset状态。

Capture-IR

Capture-IR状态用于将固定值装载到指令寄存器的移位寄存器，在TCLK上升沿装载数据。如果JTMS为高电平，控制器在TCLK的上升沿进入Exit1-IR状态。如果JTMS为低电平，控制器在TCLK的上升沿进入Shift-IR状态。

Shift-IR

在此状态下，指令寄存器的移位寄存器连接在JTDI和JTDO之间，在TCLK的每个上升沿数据向其串行输出移动一位。并行寄存器以及测试寄存器保持其前一状态。如果JTMS为高电平，控制器在TCLK的上升沿进入Exit1-IR状态。如果JTMS为低电平，控制器在TCLK的上升沿进入Shift-IR状态，并将数据在指令移位寄存器中移动一位。

Exit1-IR

如果JTMS为低电平，控制器在TCLK的上升沿进入Pause-IR状态。如果JTMS为高电平，控制器在TCLK的上升沿进入Update-IR状态，终止扫描过程。

Pause-IR

暂停指令移位寄存器的移位过程。如果JTMS为高电平，控制器在TCLK的上升沿进入Exit2-IR状态。如果JTMS为低电平，控制器在TCLK的上升沿将保持Pause-IR状态。

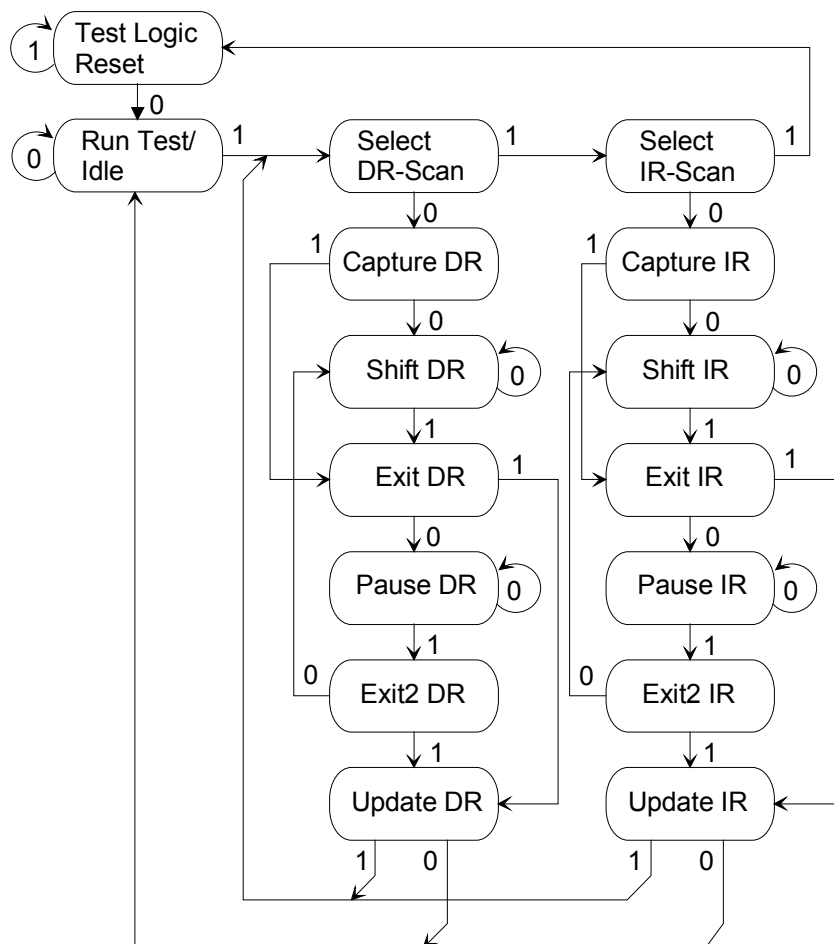
Exit2-IR

如果JTMS为低电平，控制器在TCLK的上升沿进入Update-IR状态。此状态下，如果JTMS为高电平，控制器在TCLK的上升沿将回到Shift-IR。

Update-IR

控制器进入此状态后，移入指令移位寄存器的代码在TCLK下降沿锁存到并行输出。一旦被锁存，该指令变为当前指令。当JTMS为低电平时，控制器在TCLK的上升沿进入Run-Test-Idle状态。JTMS高电平时，控制器进入Select-DR-Scan状态。

图 7-2. TAP 控制器状态图



7.2 指令寄存器

指令寄存器含有一个移位寄存器和一个锁存并行输出，长度为3位。当TAP控制器进入Shift-IR状态时，指令移位寄存器连接在JTDI和JTDO之间。在Shift-IR状态下，如果JTMS为低电平，在TCLK的上升沿数据向JTDO的串行输出移动一位。Exit1-IR状态或Exit2-IR状态下，如果JTMS为高电平，控制器在TCLK的上升沿进入Update-IR状态，TCLK的下降沿将指令移位寄存器的数据锁存到指令并行输出。DS26303所支持的指令及其各自的二进制代码列于表 7-1中。

表 7-1. IEEE 1149.1 体系指令代码

INSTRUCTION	SELECTED REGISTER	INSTRUCTION CODES
EXTEST	Boundary Scan	000
HIGHZ	Bypass	010
CLAMP	Bypass	011
SAMPLE/PRELOAD	Boundary Scan	100
IDCODE	Device Identification	110
BYPASS	Bypass	111

EXTEST

可实现器件所有互连的测试。当EXTEST指令锁存到指令寄存器时，发生以下事件：一旦通过Update-IR状态使能，将驱动所有数字输出引脚的并行输出；边界扫描寄存器连接在JTDI和JTDO之间；Capture-DR将采样所有进入边界扫描寄存器的数字输入。

HIGHZ

器件所有数字输出处于高阻态。BYPASS寄存器连接在JTDI和JTDO之间。

CLAMP

器件的所有数字输出将从边界扫描并行输出端口输出数据，同时将旁路寄存器连接在JTDI和JTDO之间。CLAMP指令下输出不变。

SAMPLE/PRELOAD

这是IEEE 1149.1规范指令，该指令支持两种功能。器件的数字I/O可在边界扫描寄存器进行采样，在Capture-DR状态下，不会干扰器件的正常工作。Shift-DR状态下，SAMPLE/PRELOAD还允许器件通过JTDI将数据移位至边界扫描寄存器中。

IDCODE

当IDCODE指令锁存至并行指令寄存器时，则选中标识测试寄存器。在TCLK上升沿，器件标识码装载到标识寄存器，然后进入Capture-DR状态。Shift-DR可通过JTDO将标识码串行移出。在Test-Logic-Reset过程中，标识码被强制送入指令寄存器的并行输出端。ID码的LSB位始终是“1”，后面的11位表示制造商的JEDEC号码，随后的16位数字为器件信息，4位是版本号，如表 7-2。表 7-3列出了DS26303的器件ID。

BYPASS

当BYPASS指令锁存至并行指令寄存器时，JTDI通过1位旁路测试寄存器连接至JTDO。使数据能够由JTDI传递至JTDO，而不影响器件正常工作。

表 7-2. ID 编码结构

MSB			LSB
Version Contact Factory	Device ID	JEDEC	1
4 bits	16 bits	00010100001	1

表 7-3. 器件 ID 编码

PART	DIE REV	JTAG REV	JTAG ID
DS26303-075	A1	0h	0080h
DS26303-125	A1	0h	0081h

7.3 测试寄存器

IEEE 1149.1需要至少两个寄存器：旁路寄存器和边界扫描寄存器。DS26303设计中还含有一个可选测试寄存器。该测试寄存器为标识寄存器，用于IDCODE指令，以及TAP控制器的Test-Logic-Reset状态。

7.3.1 边界扫描寄存器

这个n位长度的寄存器为所有控制单元和数字I/O单元同时提供一个移位寄存器通路和一个锁存并行输出。

7.3.2 旁路寄存器

这个1位移位寄存器与BYPASS、CLAMP和HIGHZ指令一同工作，在JTDI和JTDO之间提供一个简捷通路。

7.3.3 标识寄存器

标识寄存器含有一个32位移位寄存器和32位锁存并行输出。TAP控制器在Test-Logic-Reset状态时，IDCODE指令选择该寄存器。有关该位使用的详细信息，请参考[表 7-2](#)和[表 7-3](#)。

8 工作参数

ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Lead with Respect to V_{SS} (except V_{DD})	-0.3V to +5.5V
Supply Voltage (V_{DD}) Range with Respect to V_{SS}	-0.3V to +3.63V
Operating Temperature Range for DS26303L	0°C to +70°C
Operating Temperature Range for DS26303LN	-40°C to +85°C
Storage Temperature	-55°C to +125°C
Soldering Temperature	See IPC/JEDEC J-STD-020 Specification

This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

表 8-1. 推荐的直流工作条件

($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Logic 1	V_{IH}		2			V
		(Note 1)	$2/3V_{DD} + 0.2$		5.5	
Logic 0	V_{IL}				0.8	V
		(Note 1)	-0.3		$1/3V_{DD} - 0.2$	
Midrange Level		(Note 1)	$1/3V_{DD} + 0.2$	$1/2 \times V_{DD}$	$2/3V_{DD} - 0.2$	V
Supply Voltage	V_{DD}		3.135	3.3	3.465	V

Note 1: Applies to pins LP1–LP8, JAS, and MODESEL.

表 8-2. 电容

($T_A = +25^\circ\text{C}$)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Capacitance	C_{IN}			7		pF
Output Capacitance	C_{OUT}			7		pF

表 8-3. 直流特性

($V_{DD} = 3.135\text{V}$ to 3.465V , $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I_{DD}	3.465V (Notes 1, 2)			478	mA
		3.3V		250		
Input Leakage	I_{IL}		-10.0		+10.0	μA
Tri-State Output Leakage	I_{OL}		-10.0		+10.0	μA
Output Voltage ($I_o = -4.0\text{mA}$)	V_{OH}		2.4			V
Output Voltage ($I_o = +4.0\text{mA}$)	V_{OL}				0.4	V

Note 1: $RCLK1-n = TCLK1-n = 1.544\text{MHz}$.

Note 2: Power dissipation with all ports active, TTIP and TRING driving a 25Ω load, for an all-ones data density.

9 热特性

表 9-1. 热特性

PARAMETER	MIN	TYP	MAX	UNITS
Power Dissipation with RIMPMS = 0 (Notes 1, 2)		0.7	1.40	W
Power Dissipation with RIMPMS = 1(Notes 1, 2)		0.9	1.65	W
Ambient Temperature (Note 3)	-40		+85	°C
Junction Temperature			+125	°C
Theta-JA (θ_{JA}) in Still Air for 144-Pin eLQFP		+21.3 (Note 4)		°C/W
		29.0 (Note 5)		

Note 1: RCLK1-n = TCLK1-n = 1.544MHz.

Note 2: Power dissipation with all ports active, TTIP and TRIN driving a 25 Ω load, for an all-ones data density.

Note 3: The package is mounted on a four-layer JEDEC standard test board.

Note 4: Theta-JA (θ_{JA}) is the junction-to-ambient thermal resistance, when the package is mounted on a four-layer JEDEC standard test board and the die attach pad is soldered to the test board.

Note 5: Theta-JA (θ_{JA}) is the junction-to-ambient thermal resistance, when the package is mounted on a four-layer JEDEC standard test board and the die attach pad is not soldered to the test board.

10 交流特性

10.1 线接口特性

表 10-1. 发送器特性

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Mark Amplitude	V	E1 75Ω	2.14	2.37	2.6	V
		E1 120Ω	2.7	3.0	3.3	
		T1 100Ω	2.4	3.0	3.6	
		T1 110Ω	2.4	3.0	3.6	
Output Zero Amplitude (Note 1)	V _s		-0.3		+0.3	V
Transmit Amplitude Variation with Supply			-1		+1	%
Transmit Path Delay		Single rail		8		UI
		Dual rail		3		

表 10-2. 接收器特性

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Cable Attenuation	Attn				12	dB
Analog Loss-of-Signal Threshold Hysteresis Short-Haul Mode		(Note 1)		200		mV
				100		
Allowable Zeros Before Loss (Note 2)				192		
				192		
				2048		
Allowable Ones Before Loss (Note 3)				24		
				192		
				192		
Receive Path Delay		Dual rail		3		UI
		Single rail		8		

Note 1: Measured at the RRING and RTIP pins.

Note 2: 192 zeros for T1 and T1.231 specification compliance. 192 zeros for E1 and G.775 specification compliance. 2048 Zeros for ETSI 300 233 compliance.

Note 3: 24 ones in 192-bit period for T1.231. 192 ones for G.775, 192 ones for ETSI 300 233.

10.2 并行主机接口时序特性

表 10-3. Intel 读模式特性

($V_{DD} = 3.3V \pm 5\%$, $T_j = -40^{\circ}C$ 至 $+125^{\circ}C$ 。) (图 10-1和图 10-2)

SIGNAL NAME(S)	SYMBOL	DESCRIPTION (NOTE 1)	MIN	TYP	MAX	UNITS
RDB	t1	Pulse Width	60			ns
CSB	t2	Setup Time to RDB	0			ns
CSB	t3	Hold Time from RDB	0			ns
AD[7:0]	t4	Setup Time to ALE	10			ns
A[5:0]	t5	Hold Time from RDB	0			ns
D[7:0], AD[7:0]	t6	Delay Time RDB, CSB Active	6		48	ns
D[7:0], AD[7:0]	t7	Deassert Delay from RDB, CSB Inactive	3		35	ns
RDYB	t8	Enable Delay Time from CSB Active	0		12	ns
RDYB	t9	Disable Delay Time from the CSB Inactive			12	ns
A[5:0]	t10	Setup Time to RDB Active	6			ns
ALE	t11	Pulse Width	10			ns
A[5:0]	t12	Hold Time from ALE	5			ns
RDB	t13	Output Delay Time of AD[7:0], D[7:0]	10		50	ns
RDYB	t14	Delay Time from RDB Inactive	0		12	ns
RDYB	t15	Active Output Delay Time from RDB	40		52	ns
ALE	t16	Inactive Time to RDB Active	2			ns

Note 1: The input/output timing reference level for all signals is $V_{DD}/2$.

图 10-1. Intel Nonmuxed 读周期

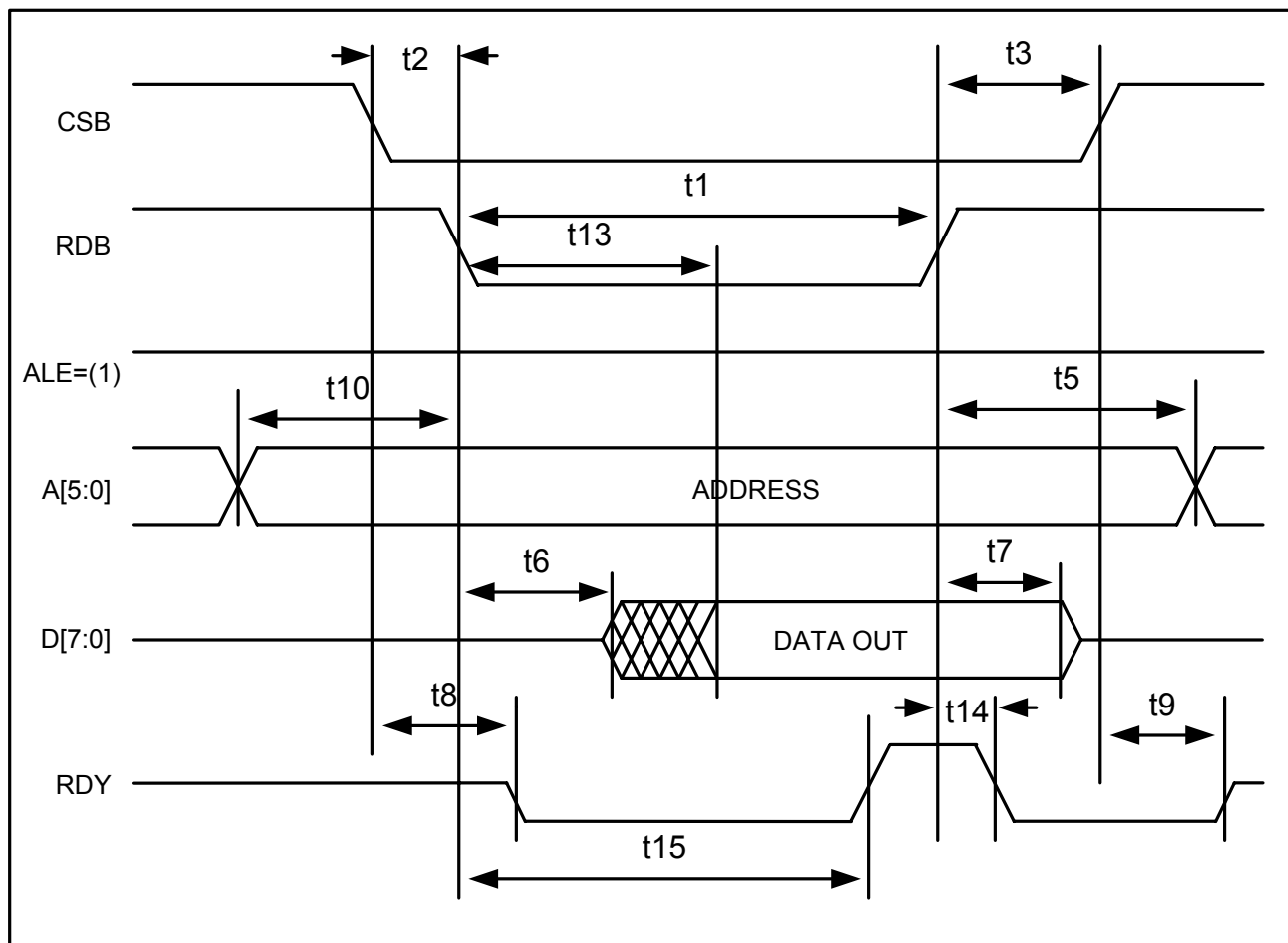


图 10-2. Intel Mux 读周期

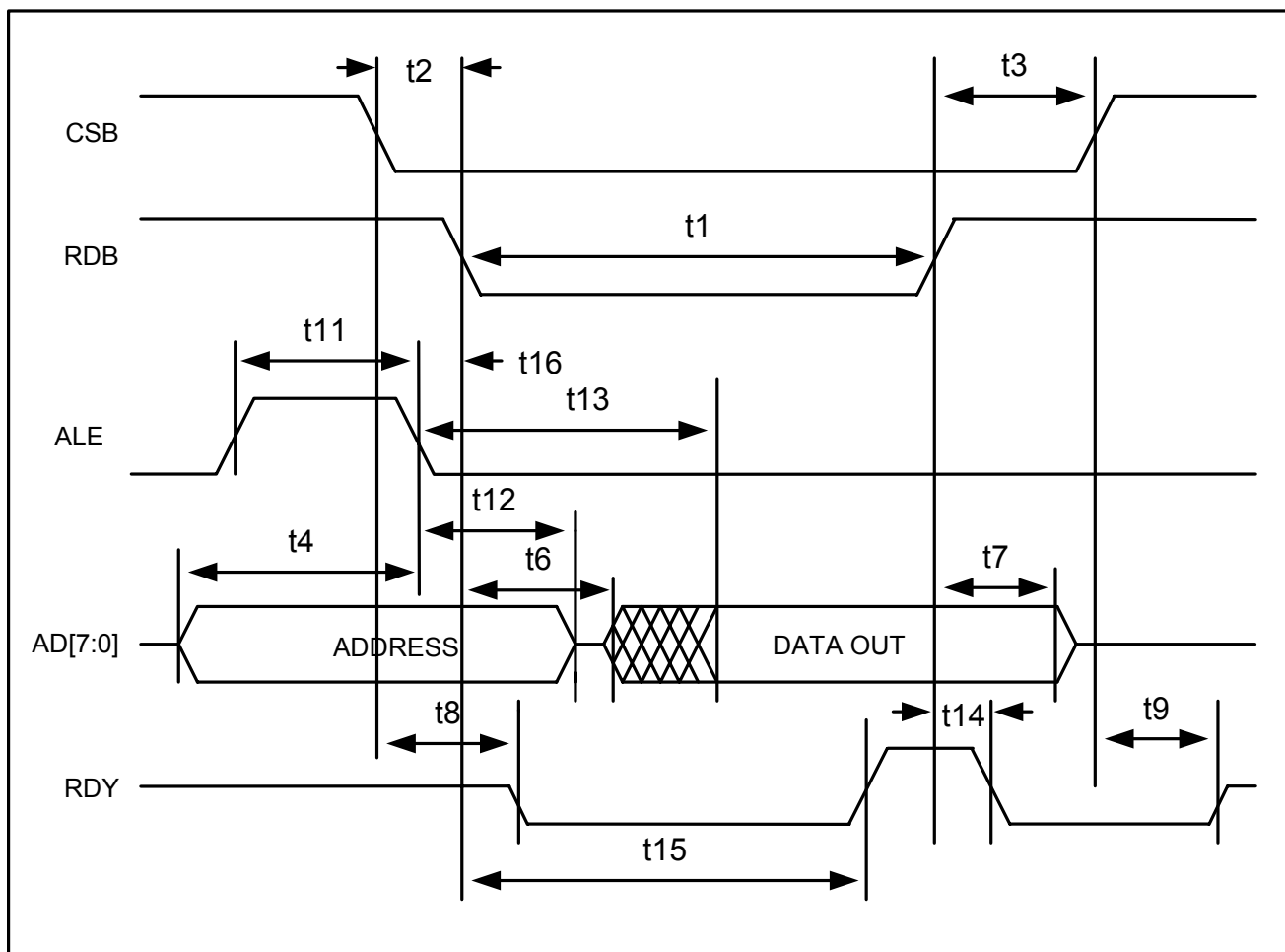


表 10-4. Intel 写周期特性

(V_{DD} = 3.3V ±5%, T_j = -40°C至+125°C。) (图 10-3和图 10-4)

SIGNAL NAME(S)	SYMBOL	DESCRIPTION (NOTE 1)	MIN	TYP	MAX	UNITS
WRB	t1	Pulse Width	60			ns
CSB	t2	Setup Time to WRB	0			ns
CSB	t3	Hold Time to WRB	0			ns
AD[7:0]	t4	Setup Time to ALE	10			ns
A[5:0]	t5	Hold Time from WRB Inactive	2			ns
D[7:0], AD[7:0]	t6	Input Setup time to WRB Inactive	40			ns
D[7:0], AD[7:0]	t7	Input Hold Time to WRB Inactive	30			ns
RDYB	t8	Enable Delay from CSB Active	0		13	ns
RDYB	t9	Delay Time from WRB Active	40			ns
RDYB	t10	Delay Time from WRB Inactive	0		12	ns
RDYB	t11	Disable Delay Time from CSB Inactive			12	ns
ALE	t12	Pulse Width	10			ns
ALE	t13	Inactive Time to WRB Active	10			ns
A[5:0]	t14	Hold Time from ALE Inactive	10			ns
A[5:0]	t15	Setup Time to WRB Inactive	17			ns

Note 1: The input/output timing reference level for all signals is V_{DD}/2.

图 10-3. Intel Nonmux 写周期

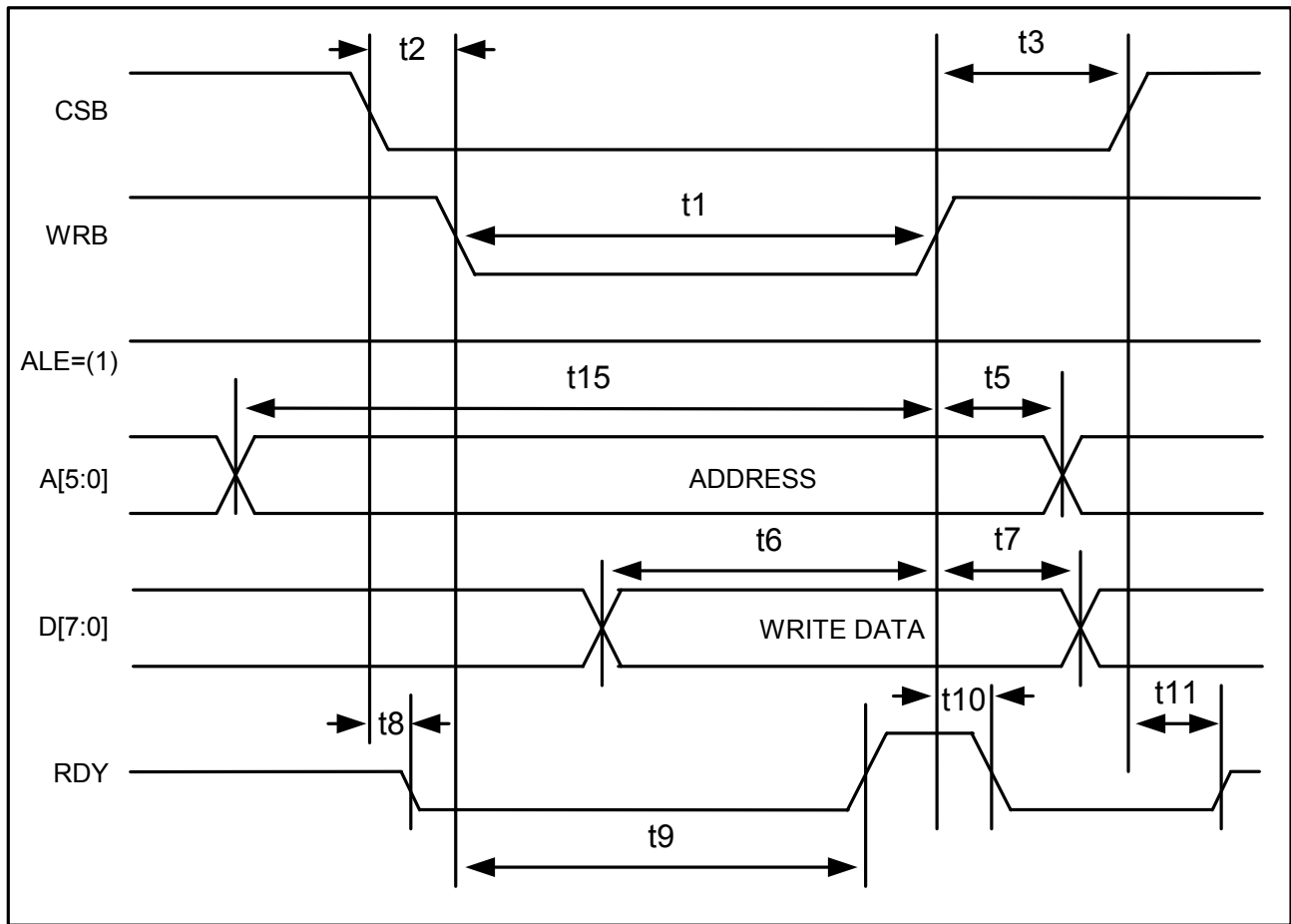


图 10-4. Intel Mux 写周期

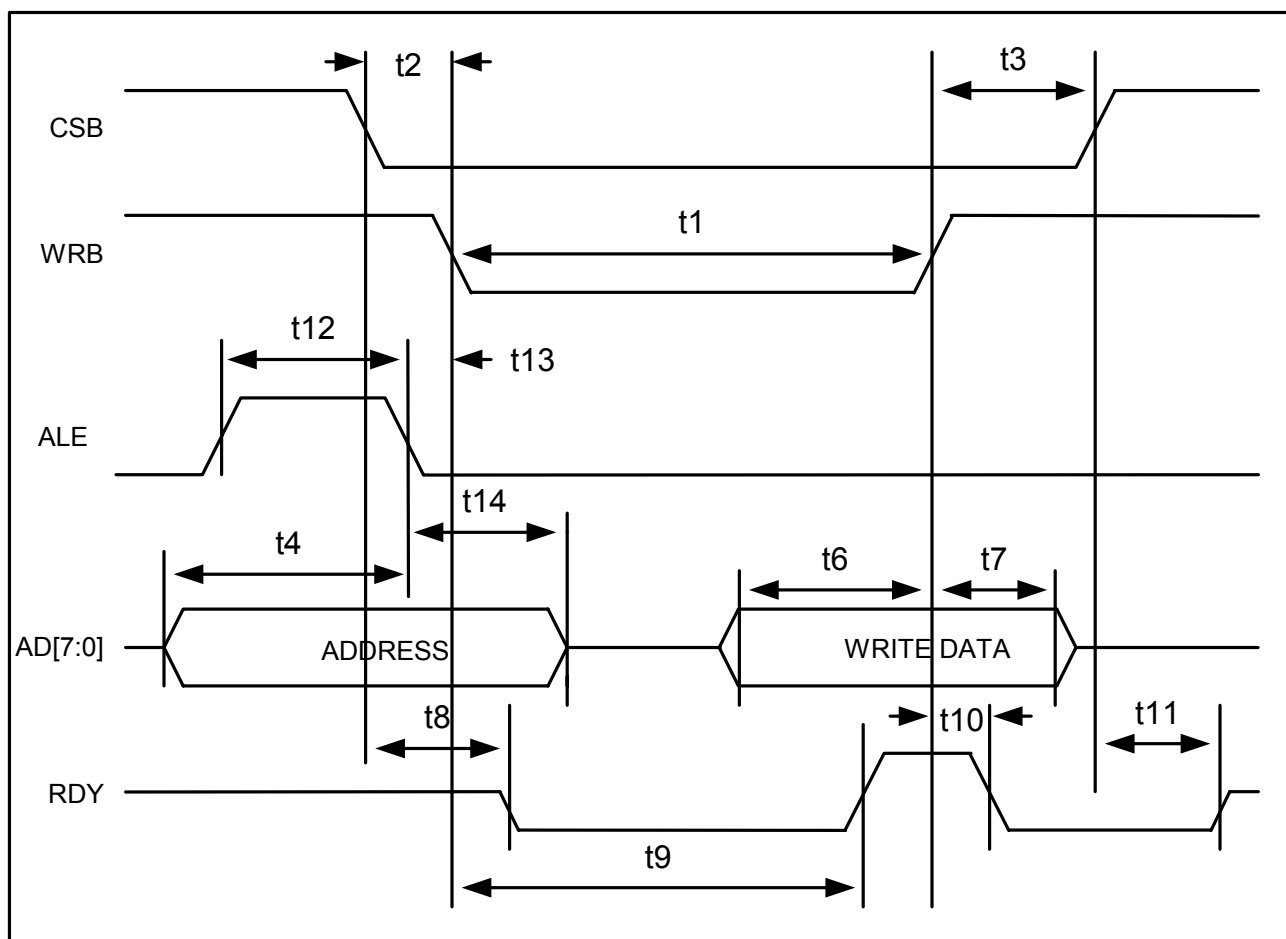


表 10-5. Motorola 读周期特性

(V_{DD} = 3.3V ±5%, T_j = -40°C至+125°C。)(图 10-5和图 10-6)

SIGNAL NAME(S)	SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
DS	t1	Pulse Width (Note 1)	60			ns
CSB	t2	Setup Time to DSB Active (Note 1)	0			ns
CSB	t3	Hold Time from DSB Inactive (Note 1)	0			ns
RWB	t4	Setup Time to DSB Active (Note 1)	10			ns
RWB	t5	Hold Time from DSB Inactive (Note 1)	0			ns
AD[7:0]	t6	Setup Time to ASB/DSB Active (Notes 1, 2)	10			ns
AD[7:0]	t7	Hold Time from ASB/DSB Active (Notes 1, 2)	5			ns
AD[7:0], D[7:0]	t8	Output Valid Delay Time from DSB Active (Note 1)	3		30	ns
AD[7:0], D[7:0]	t9	Invalid Output Delay Time from DSB Active (Note 1)	2			ns
AD[7:0], D[7:0]	t10	Output Valid Delay Time from DSB Inactive (Note 1)	3		30	ns
ACKB	t11	Asserted Delay from DSB Active (Note 1)			40	ns
ACKB	t12	Output Delay Time from DSB Inactive (Note 1)			12	ns
ASB	t13	Active Delay Time to DSB Active (Note 1)	10			ns

Note 1: The input/output timing reference level for all signals is V_{DD}/2.**Note 2:** In a nonmux cycle, the timing reference refers only to the DSB signal. While in a mux cycle, the timing reference refers only to the ASB signal.

图 10-5. Motorola Nonmux 读周期

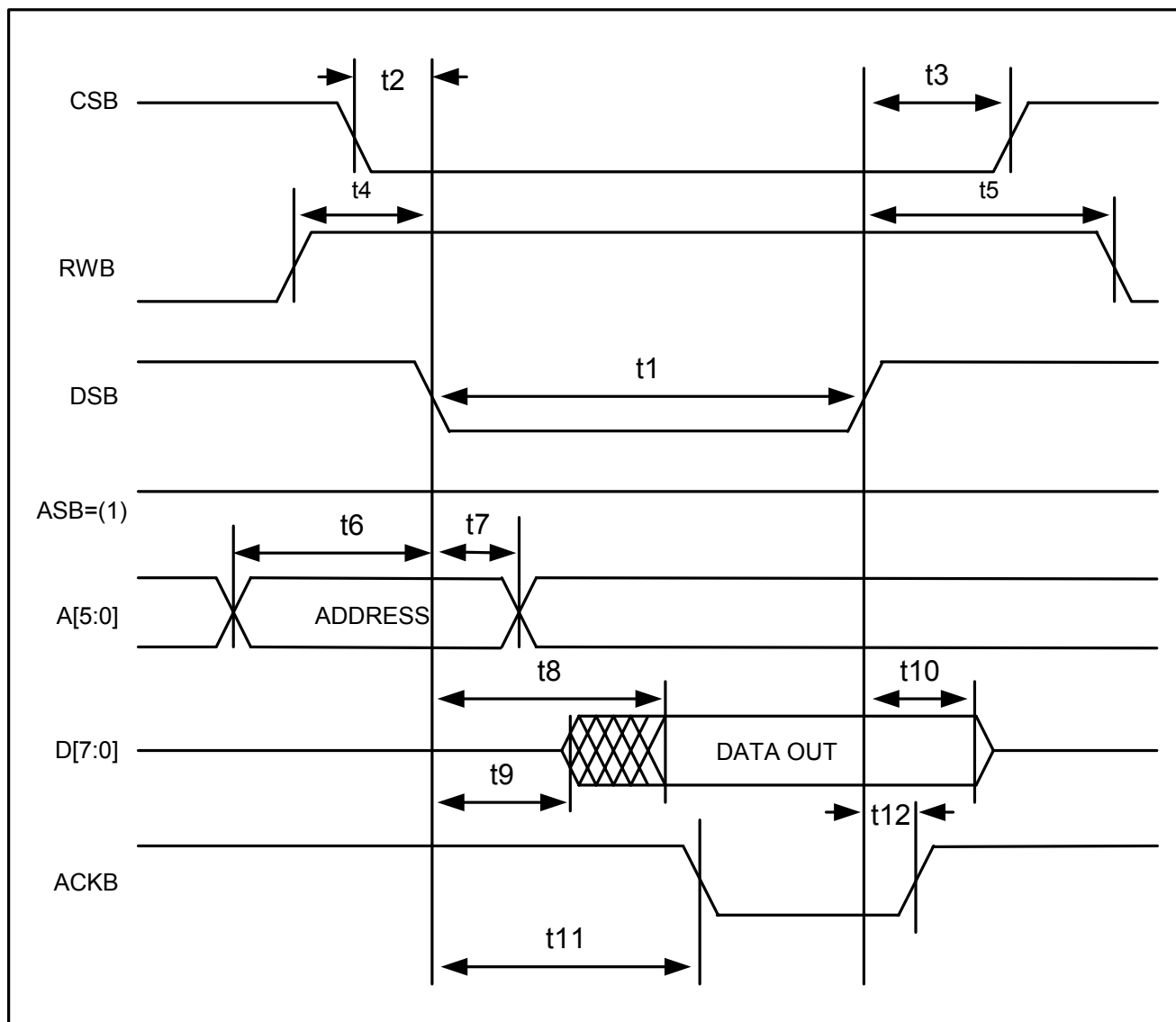


图 10-6. Motorola Mux 读周期

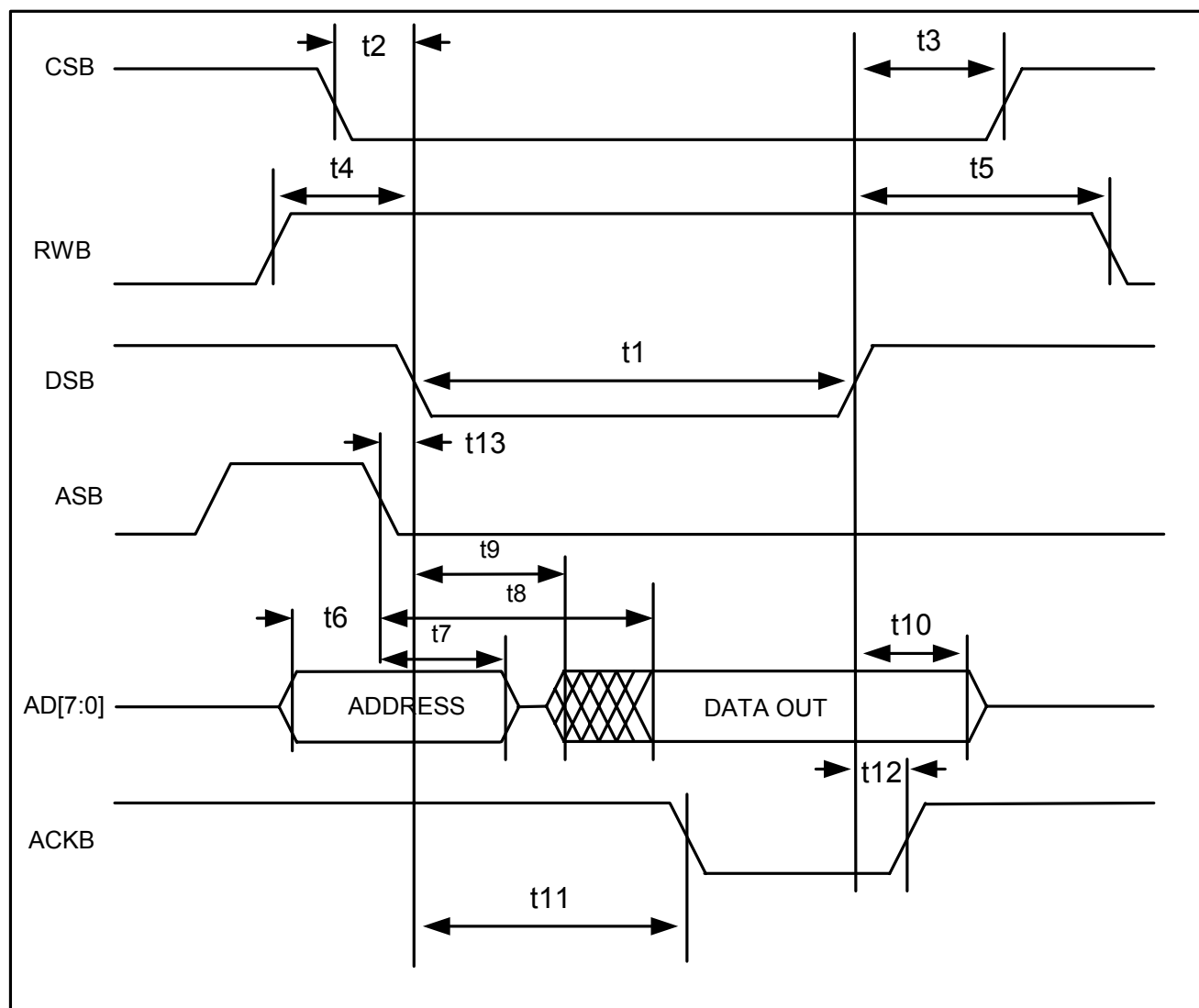


表 10-6. Motorola 写周期特性

(V_{DD} = 3.3V ±5%, T_j = -40°C至+125°C。)(图 10-7和图 10-8)

SIGNAL NAME(S)	SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
DSB	t1	Pulse Width (Note 1)	60			ns
CSB	t2	Setup Time to DSB Active (Note 1)	0			ns
CSB	t3	Hold Time from DSB Inactive (Note 1)	0			ns
RWB	t4	Setup Time to DSB Active (Note 1)	10			ns
RWB	t5	Hold Time to DSB Inactive (Note 1)	0			ns
AD[7:0]	t6	Setup Time to ASB/DSB Active (Notes 1, 2)	10			ns
AD[7:0]	t7	Hold Time from ASB/DSB Active (Notes 1, 2)	5			ns
AD[7:0], D[7:0]	t8	Setup Time to DSB Inactive (Note 1)	40			ns
AD[7:0], D[7:0]	t9	Hold Time from DSB Inactive (Note 1)	30			ns
A[5:0]	t10	Assert Time from DSB Active (Note 1)			40	ns
ACKB	t11	Output Delay from DSB Inactive (Note 1)	0		12	ns
ASB	t12	Active Time to DSB Active (Note 1)	10			ns

Note 1: The input/output timing reference level for all signals is V_{DD}/2.**Note 2:** In a nonmux cycle, the timing reference refers only to the DSB signal. While in a mux cycle, the timing reference refers only to the ASB signal.

图 10-7. Motorola Nonmux 写周期

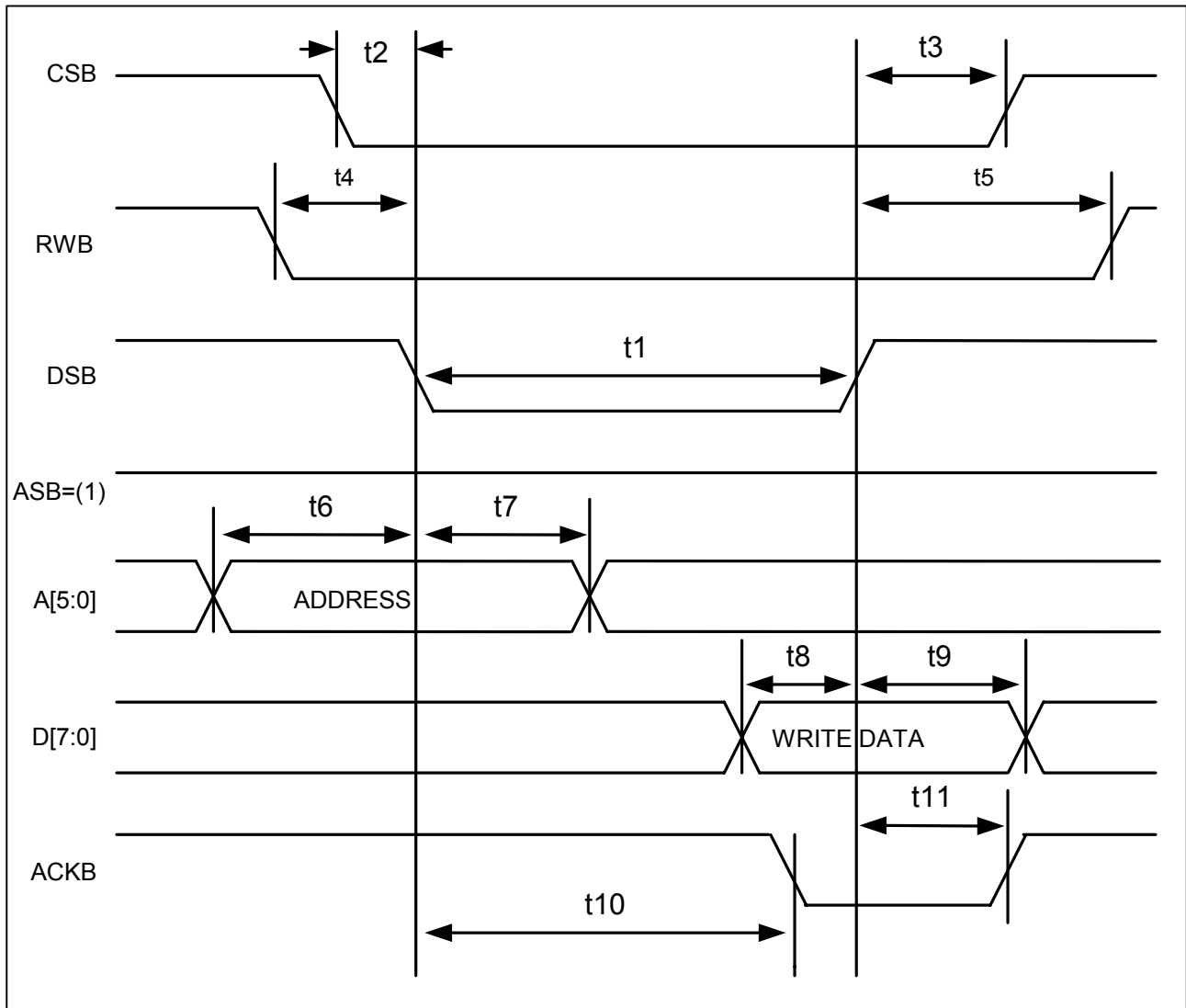
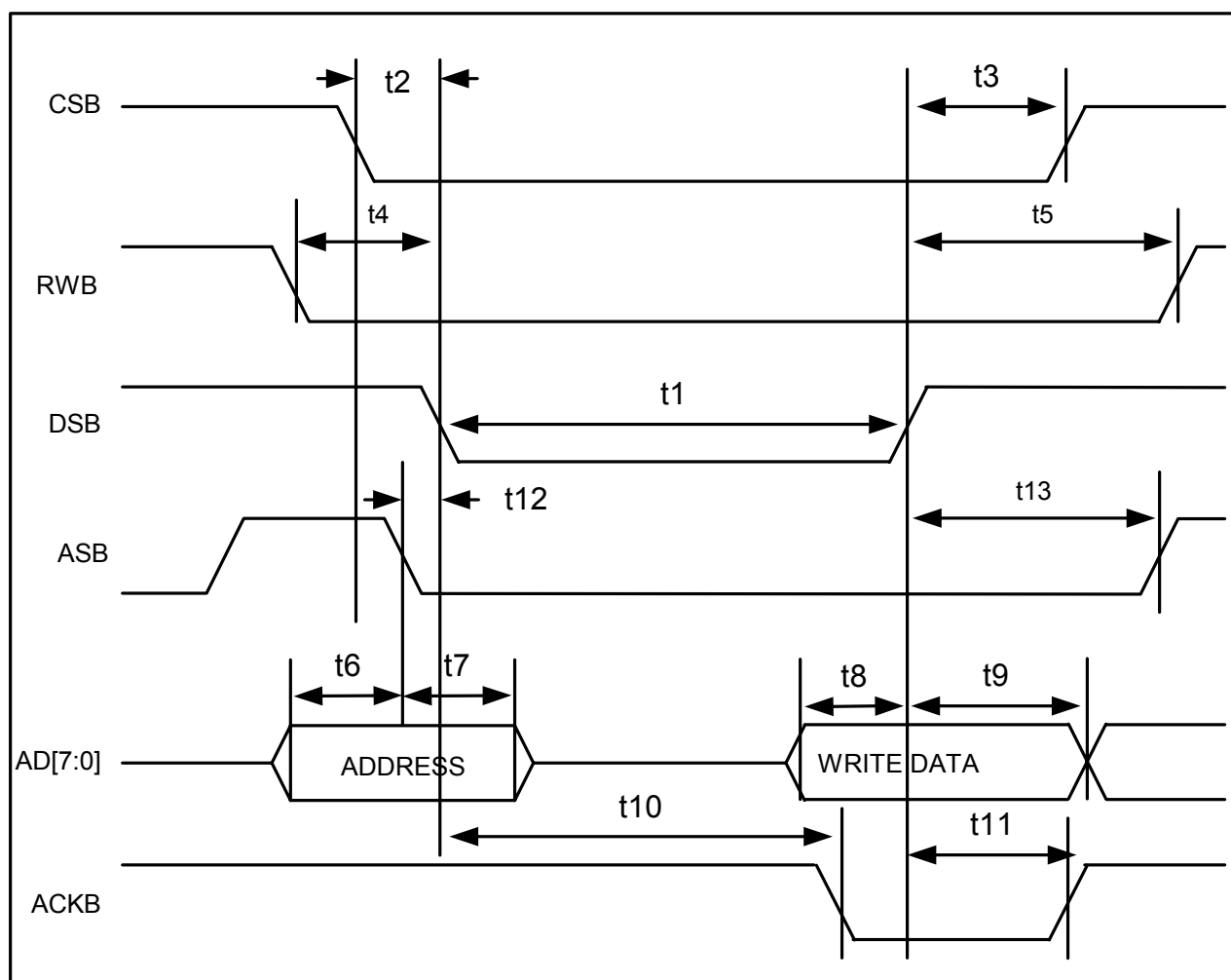


图 10-8. Motorola Mux 写周期



10.3 串行端口

表 10-7. 串行端口时序特性

(图 10-9, 图 10-10和图 10-11)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK High Time	t1		25			ns
SCLK Low Time	t2		25			ns
Active CSB to SCLK Setup Time	t3		50			ns
Last SCLK to CSB Inactive Time	t4		50			ns
CSB Idle Time	t5		50			ns
SDI to SCLK Setup Time	t6		5			ns
SCLK to SDI Hold Time	t7		5			ns
SCLK Falling Edge to SDO High Impedance (CLKE = 0); CSB Rising to SDO High Impedance (CLKE = 1)	t8			100		ns

图 10-9. 串行总线写操作时序

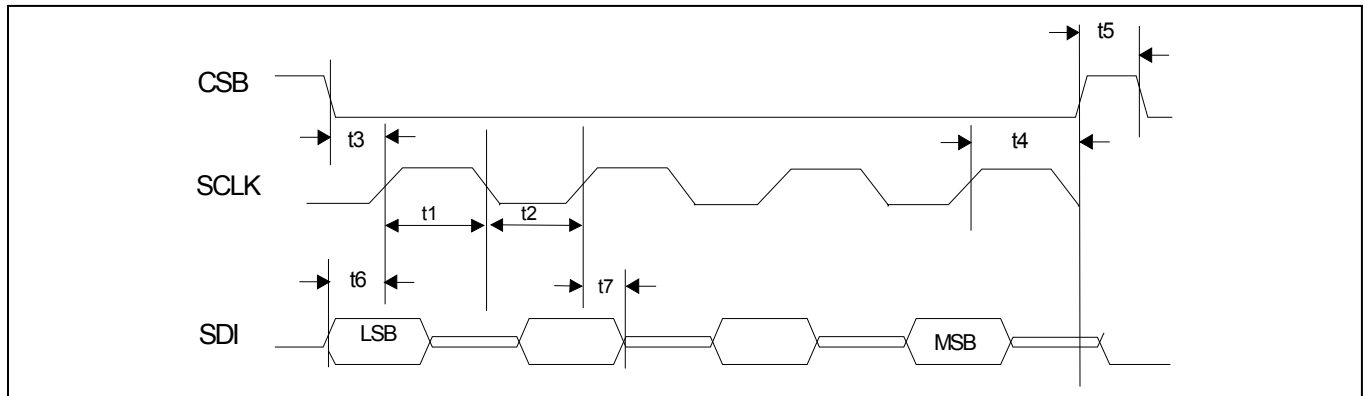


图 10-10. 串行总线读操作时序, CLKE = 0

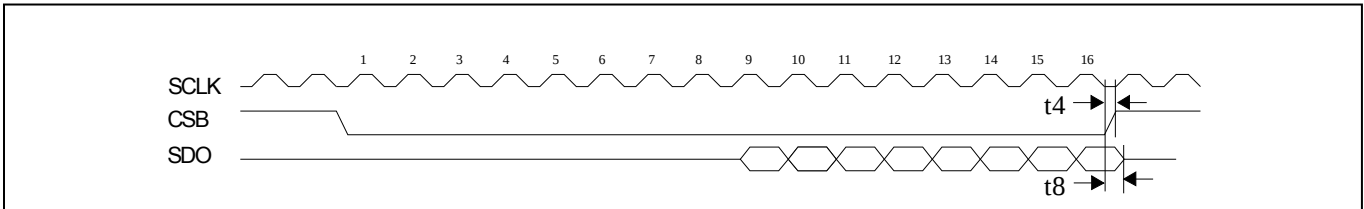
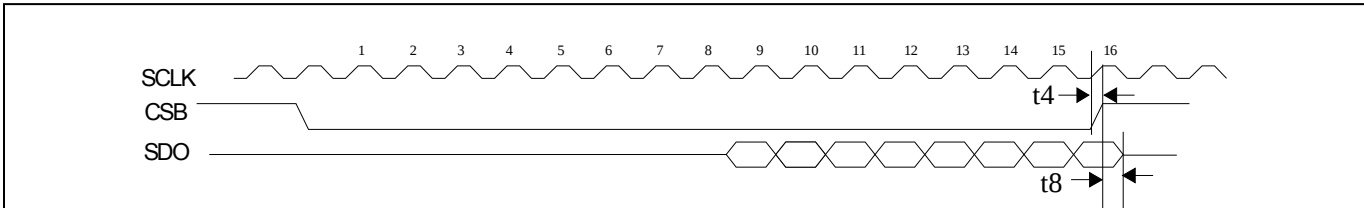


图 10-11. 串行总线读操作时序, CLKE = 1



10.4 系统时序

表 10-8. 发送系统时序特性

(图 10-12)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TPOS, TNEG Setup Time with Respect to TCLK Falling Edge	t1		40			ns
TPOS, TNEG Hold Time with Respect to TCLK Falling Edge	t2		40			ns
TCLK Pulse-Width High	t3		75			ns
TCLK Pulse-Width Low	t4		75			ns
TCLK Period	t5			488		ns
				648		
TCLK Rise Time	t6				25	ns
TCLK Fall Time	t7				25	ns

图 10-12. 发送系统时序

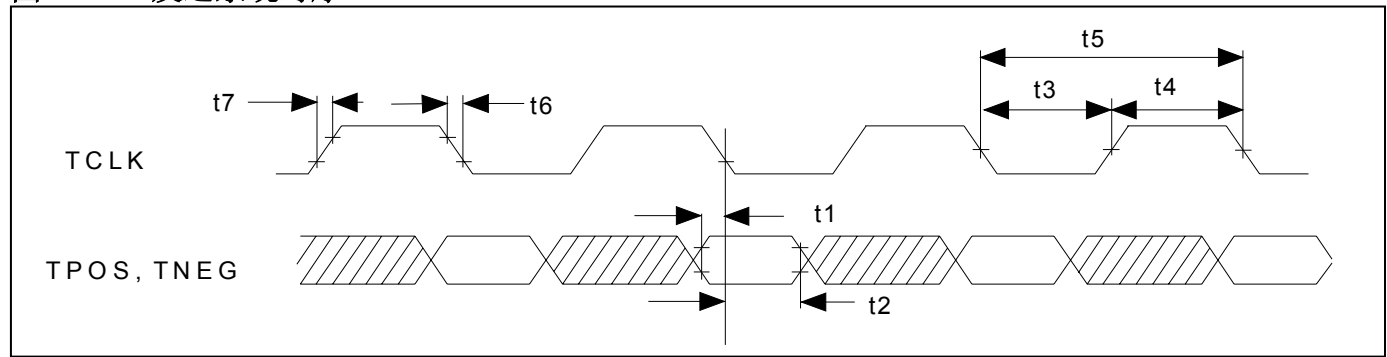
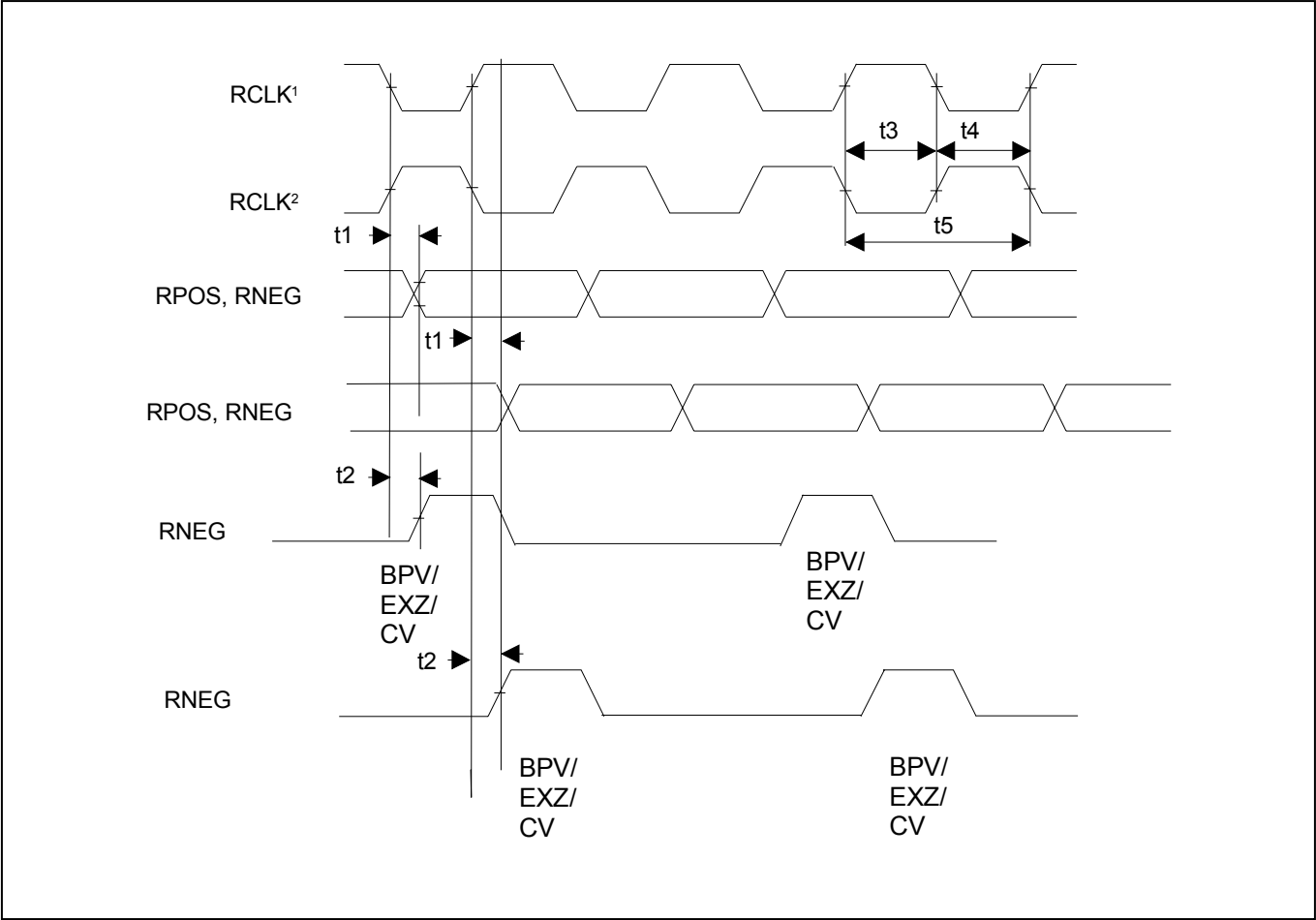


表 10-9. 接收系统时序特性

(图 10-13)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Delay RCLK to RPOS, RNEG Valid	t1				50	ns
Delay RCLK to RNEG Valid in Single-Polarity Mode	t2				50	ns
RCLK Pulse-Width High	t3		75			ns
RCLK Pulse-Width Low	t4		75			ns
RCLK Period	t5			488		ns
				648		

图 10-13. 接收系统时序



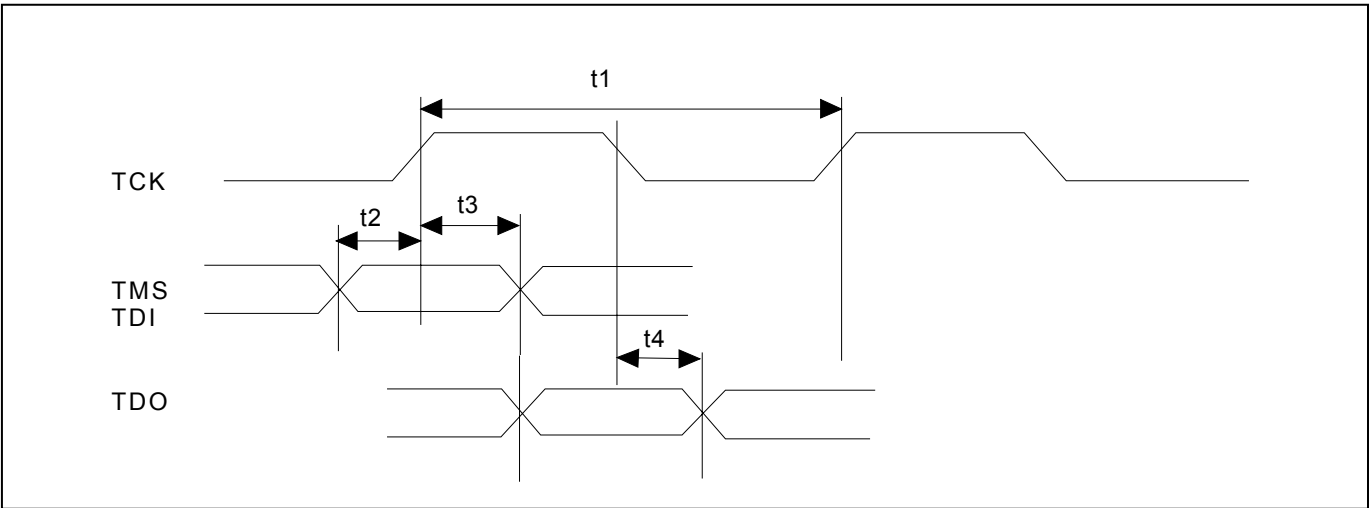
10.5 JTAG 时序

表 10-10. JTAG 时序特性

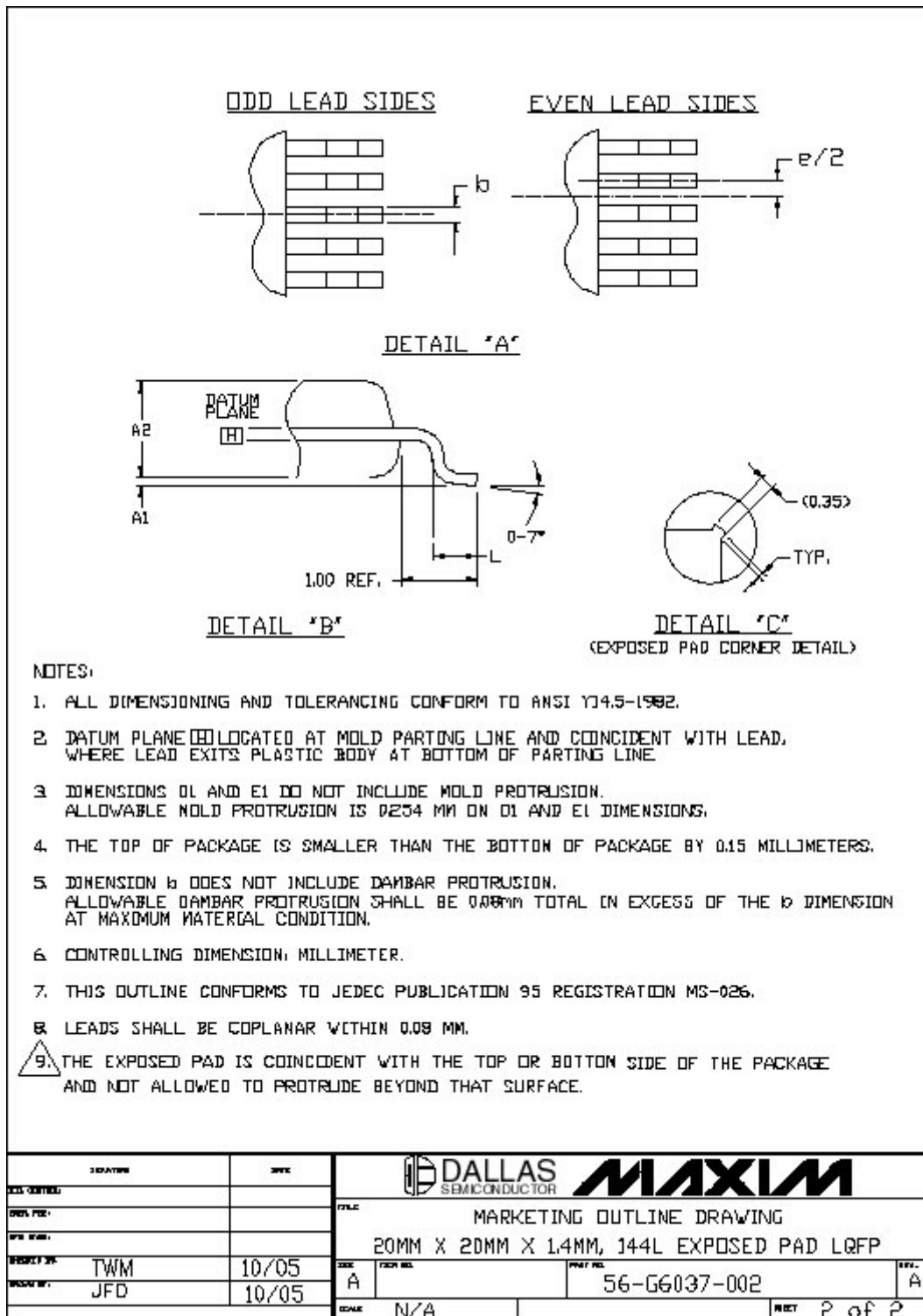
(图 10-14)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
JTCLK Period	t1		100			ns
JTMS and JTDI Setup to JTCLK	t2		25			ns
JTMS and JTDI Hold to JTCLK	t3		25			ns
JTCLK to JTDO Hold	t4				50	ns

图 10-14. JTAG 时序



11.2 144 引脚 eLQFP 封装图(2/2)



12 文档修订历史

版本	说明
072205	新品发布。
060606	删除160焊球PBGA封装的相关内容。 删除特殊测试功能和金属线选择部分。(之前的第6.10节和第6.10.1节) 更新第11节的封装图。
082306	修改了原稿的一些错漏。