

DS26324

3.3V、16 通道 E1/T1/J1

短程线路接口单元

www.maxim-ic.com.cn

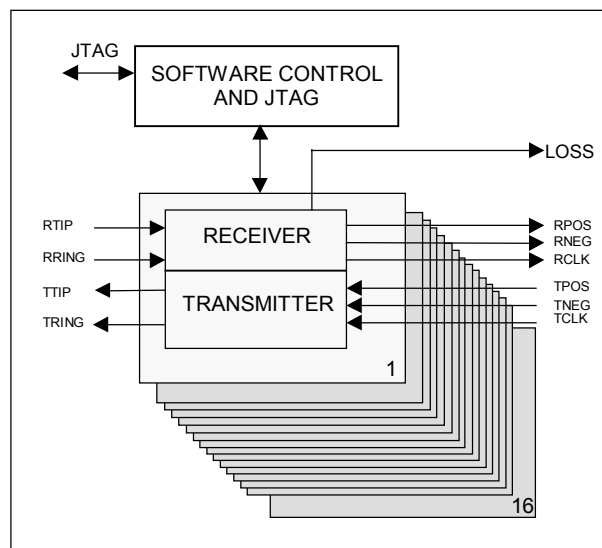
概述

DS26324是支持3.3V供电E1/T1/J1系统的16通道短程线路接口单元(LIU)。通过内部阻抗匹配电路支持各种应用，只需一套少量的外部元件即可支持E1/T1/J1工作。利用非介入监视、最佳阻抗模式和1:1或1+1增强备份支持冗余操作。内置频率合成器从一个主时钟输入产生不同频率的E1/T1/J1时钟。该芯片还提供两路参考时钟输出，采用256引脚TEBGA封装，是16通道LIU的最小封装形式。

应用

T1数字交叉连接
ATM与帧中继设备
无线基站
ISDN一次群接口
E1/T1/J1多路复用器和信道集
E1/T1/J1 LAN/WAN路由器

功能框图



特性

- 16通道E1、T1或J1短程线路接口单元
- 独立选择E1、T1或J1工作模式
- 可由软件选择发送、接收侧的阻抗匹配电路
- 晶体无抖动衰减
- 可选择单极性摆幅和双极性摆幅模式，以及AMI或HDB3/B8ZS线路编解码
- AIS检测与发生器
- 数字/模拟信号丢失检测，符合T1.231、G.775和ETSI 300 233标准
- T1/J1或E1模式的外部主时钟可以是2.048MHz或1.544MHz的倍频(该时钟由内部自适应调整，用于T1或E1模式)
- 提供-2.5dB至-20dB，增量为2.5dB的接收信号电平指示器
- 两个内置的BERT检测器，用于诊断功能
- 8位并行接口支持Intel、Motorola模式或4线串口
- 发送短路保护
- G.772非介入监视
- 接收监视模式可根据12dB至30dB电缆衰减处理14dB或20dB的阻性衰减
- 符合最新T1/E1标准 — ANSI T1.102、AT&T Pub 62411、T1.231、T1.403、ITU G.703、G.742、G.775、G.823、ETSI 300 166和ETSI 300 233
- 单电源3.3V供电，具有5V I/O容限
- 符合IEEE 1149.1的JTAG边界扫描

订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS26324G	0°C to +70°C	256 TEBGA
DS26324GN	-40°C to +85°C	256 TEBGA

目录

1	标准支持	6
1.1	电信规范支持	6
2	详细说明	7
3	方框图	8
4	引脚说明	10
5	功能说明	18
5.1	端口操作	18
5.1.1	串口操作	18
5.1.2	并口操作	19
5.1.3	中断处理	19
5.2	上电和复位	20
5.3	主时钟	20
5.4	发送器	21
5.4.1	发送线路模板	23
5.4.2	LIU 发送前端	26
5.4.3	双极性摆幅模式	27
5.4.4	单极性摆幅模式	27
5.4.5	零抑制—B8ZS 或 HDB3	27
5.4.6	发送关断	27
5.4.7	发送全1	28
5.4.8	驱动器故障监控	28
5.5	接收器	28
5.5.1	接收器监控模式	28
5.5.2	峰值探测器和限幅器	28
5.5.3	接收电平指示器	28
5.5.4	时钟和数据恢复	29
5.5.5	信号丢失检测	29
5.5.6	AIS	30
5.5.7	双极性违规(BPV) 和多零检测器(EXZ)	31
5.6	抖动衰减器	31
5.7	G.772 监控	32
5.8	环回	32
5.8.1	模拟环回	32
5.8.2	数字环回	33
5.8.3	远端环回	34
5.9	BERT	34
5.9.1	概述	34
5.9.2	配置和监控	35
5.9.3	接收模板检测	36
5.9.4	发送模板产生	38
6	寄存器和定义	39
6.1	寄存器说明	48
6.1.1	主寄存器组	48
6.1.2	第二寄存器组	60
6.1.3	独立LIU 寄存器组	62
6.1.4	BERT 寄存器	78

7	JTAG边界扫描结构和测试访问端口	85
7.1	TAP控制器状态机.....	86
7.2	指令寄存器	89
7.3	测试寄存器	90
7.4	边界扫描寄存器	90
7.5	旁路寄存器	90
7.6	标识寄存器	90
8	直流电气特性	91
9	交流时序特性	92
9.1	线路接口特性.....	92
9.2	并行主机接口时序	93
9.3	串行端口	105
9.4	系统时序.....	106
9.5	JTAG时序.....	108
10	引脚配置	109
11	封装信息	110
12	温度信息	111
13	修订历史	112

图表

图3-1. 方框图	8
图3-2. 接收逻辑电路.....	9
图3-3. 发送逻辑电路.....	9
图5-1. 串口写操作	18
图5-2. CLKE = 0时串口读操作	18
图5-3. CLKE = 1时串口读操作	19
图5-4. 中断处理流程图	20
图5-5. 预标定PLL和时钟发生器	21
图5-6. T1发送脉冲模板	24
图5-7. E1发送脉冲模板	25
图5-8. LIU前端	26
图5-9. 抖动衰减.....	32
图5-10. 模拟环回.....	33
图5-11. 数字环回.....	33
图5-12. 远端环回.....	34
图5-13. PRBS同步状态图	36
图5-14. 重复模板同步状态图.....	37
图7-1. JTAG功能框图	85
图7-2. TAP控制器状态图	88
图9-1. Intel Nonmuxed读周期	94
图9-2. Intel Mux读周期.....	95
图9-3. Intel Nonmux写周期	97
图9-4. Intel Mux写周期.....	98
图9-5. Motorola Nonmux读周期.....	100
图9-6. Motorola Mux读周期	101
图9-7. Motorola Nonmux写周期.....	103
图9-8. Motorola Mux写周期	104
图9-9. 串行总线写操作时序.....	105
图9-10. 串行总线读操作时序, CLKE = 0	105
图9-11. 串行总线读操作时序, CLKE = 1	105
图9-12. 发送系统时序	106
图9-13. 接收系统时序	107
图9-14. JTAG时序.....	108
图10-1. 256焊球TEBGA.....	109

表格

表4-1. 引脚说明	10
表5-1. 并行端口模式选择和引脚功能	19
表5-2. DS26324发送器支持的电信规范	22
表5-3. DS26324发送器控制的相关寄存器	22
表5-4. DS26324短程模板选择	23
表5-5. LIU前端取值	27
表5-6. T1.231, G.775和ETSI 300 233规范的信号丢失标准	29
表5-7. T1.231, G.775和ETSI 300 233规范的AIS标准	30
表5-8. AIS检测和复位标准	30
表5-9. 与AIS检测相关的寄存器	30
表5-10. BPV、编码违规和多零错误报告	31
表5-11. 伪随机模板产生	35
表5-12. 重复模板产生	35
表6-1. 主寄存器组	40
表6-2. 第二寄存器组	41
表6-3. 独立LIU寄存器组	42
表6-4. BERT寄存器组	43
表6-5. 主寄存器组位	44
表6-6. 第二寄存器组位	45
表6-7. 独立LIU寄存器组位	46
表6-8. BERT寄存器位	47
表6-9. G.772监控(LIU 1)	52
表6-10. G.772监控(LIU 9)	53
表6-11. TST模板选择发送寄存器(LIU 1-8)	56
表6-12. TST模板选择发送寄存器(LIU 9-16)	56
表6-13. 模板选择	57
表6-14. 地址指针区域选择	59
表6-15. DS26324的MCLK选择	65
表6-16. 接收灵敏度/监控模式增益选择	69
表6-17. 接收器信号电平	70
表6-18. 通道1至8误码率收发器选择	73
表6-19. 通道9至16误码率收发器选择	74
表6-20. PLL时钟选择	76
表6-21. 时钟A选择	76
表7-1. IEEE 1149.1体系指令代码	89
表7-2. ID码结构	90
表7-3. 器件ID码	90
表8-1. 直流引脚逻辑电平	91
表8-2. 引脚电容	91
表8-3. 供电电流和输出电压	91
表9-1. 发送特性	92
表9-2. 接收特性	92
表9-3. Intel读模式	93
表9-4. Intel写周期	96
表9-5. Motorola读周期	99
表9-6. Motorola写周期	102
表9-7. 串行端口时序指标	105
表9-8. 发送系统时序指标	106
表9-9. 接收系统时序指标	107
表9-10. JTAG时序	108
表12-1. 温度特性	111

1 标准支持

1.1 电信规范支持

DS26324 LIU符合所有最新电信规范。以下列出了T1和E1规范，以及DS26324的相关章节。

- 与T1相关的电信规范
 - ANSI T1.102 - 数字体系电接口
 - ANSI T1.231 - 数字体系- 第一层服务性能监控
 - ANSI T1.403 - 网络和客户安装接口 - DS1电接口
 - G.736 2048kbps同步数字复用设备特性
 - G.823 基于2048kbps体系的数字网络抖动和漫游控制
 - Pub 62411大容量地面数字服务
 - ITUT G.772数字传输系统的受保护监控点
- 与E1相关的电信规范
 - ITUT G.703 G.703体系数字接口物理/电气特性
 - ITUT G.736 2048kbps同步数字复用设备特性
 - ITUT G.742 8448kbps二次群数字复用设备
 - ITUT G.772数字传输系统的受保护监控点
 - ITUT G.775 信号丢失(LOS)和报警指示信号(AIS)的故障探测与清除标准
 - ETSI 300 166 2048kbps准同步或同步数字体系设备的数字接口物理和电气特性
 - ETSI 300 233综合业务数字网络(ISDN)
 - G.736 2048kbps同步数字复用设备
 - G.823基于2048kbps体系的数字网络抖动和漫游控制
 - Pub 62411大容量地面数字服务

2 详细说明

DS26324是T1 (1.544Mbps)和E1 (2.048Mbps)单芯片16通道短程线路接口单元。在单个TEBGA封装内提供16个独立的接收器和发送器。LIU可分别选择设置为T1、J1或E1工作。LIU需要一个主参考时钟。时钟可以是1.544MHz或2.048MHz，或者是其倍频，每一频率均适合内部T1、J1或E1模式。发射和接收通道的内部阻抗匹配减少了外部元件数量。发射波形符合G.703和T1.102规范。DS26324提供软件选择的内部发射终端匹配，支持100Ω T1双绞线、110Ω J1双绞线、120Ω E1双绞线和75Ω E1同轴应用。发送器可快速处理高阻，能够独立关断。

接收器最大可提供18dB接收信号衰减。可使能监控增益提供14dB和20dB的阻性增益。DS26324能够配置成14通道LIU，1和9通道用于非介入监控功能，符合G.772标准。接收器和发送器可设置为单极性摆幅或双极性摆幅模式。在单极性摆幅模式下可选择AMI或HDB3/B8ZS编码和解码。可在每一LIU接收或发射方向放置128位晶振无抖动衰减。抖动衰减器符合ETSI CTR12/13 ITU G.736、G.742、G.823和AT&T Pub 62411规范。

DS26324探测并产生的AIS符合T1.231、G.775和ETSI 300 233。信号丢失探测符合T1.231、G.775和ETSI 300 233。DS26324在每一LIU上均可进行数字、模拟、远程和双路环回控制。数字引脚提供JTAG边界扫描功能。

可采用8位复用或非复用的Intel以及Motorola端口来配置DS26324。4线串口也可以对器件进行配置和监控。

E1线路的模拟AMI/HDB3波形或者T1线路的AMI/B8ZS波形耦合变送至DS26324的RTIP和RRING引脚。用户可结合外部电阻选择匹配于75Ω、100Ω、110Ω或120Ω的内部电阻。器件从模拟信号中恢复时钟和数据，通过一个可选抖动衰减器后，接收到的线路时钟输出至RCLK，数据输出至RPOS和RNEG。

DS26324接收器能够从经过18dB衰减的发送信号中恢复数据和时钟。接收器1可监控接收器2至8或发送器2至8的性能。接收器9可监控接收器10至16或者发送器10至16的性能。

DS26324含有16路相同的发送器。数字发送数据输入至以TCLK为基准的TPOS/TNEG。这些引脚的数据可以是单极性摆幅或双极性摆幅。整形电路处理这些数据，经线路驱动输出至TTIP和TRING，符合T1/J1的ANSI T1.102或者E1的G.703模板。

DS26324通过一个1:2耦合变压器，从TTIP和TRING引脚驱动E1或T1线路。在接收侧，DS26324通过接收器匝数比(RTR)位支持使用1:1或者1:2变压器。接收端具有内部阻抗匹配功能，在所有的T1/J1/E1工作模式下，使用一个外部电阻即可实现阻抗匹配。

3 方框图

图3-1. 方框图

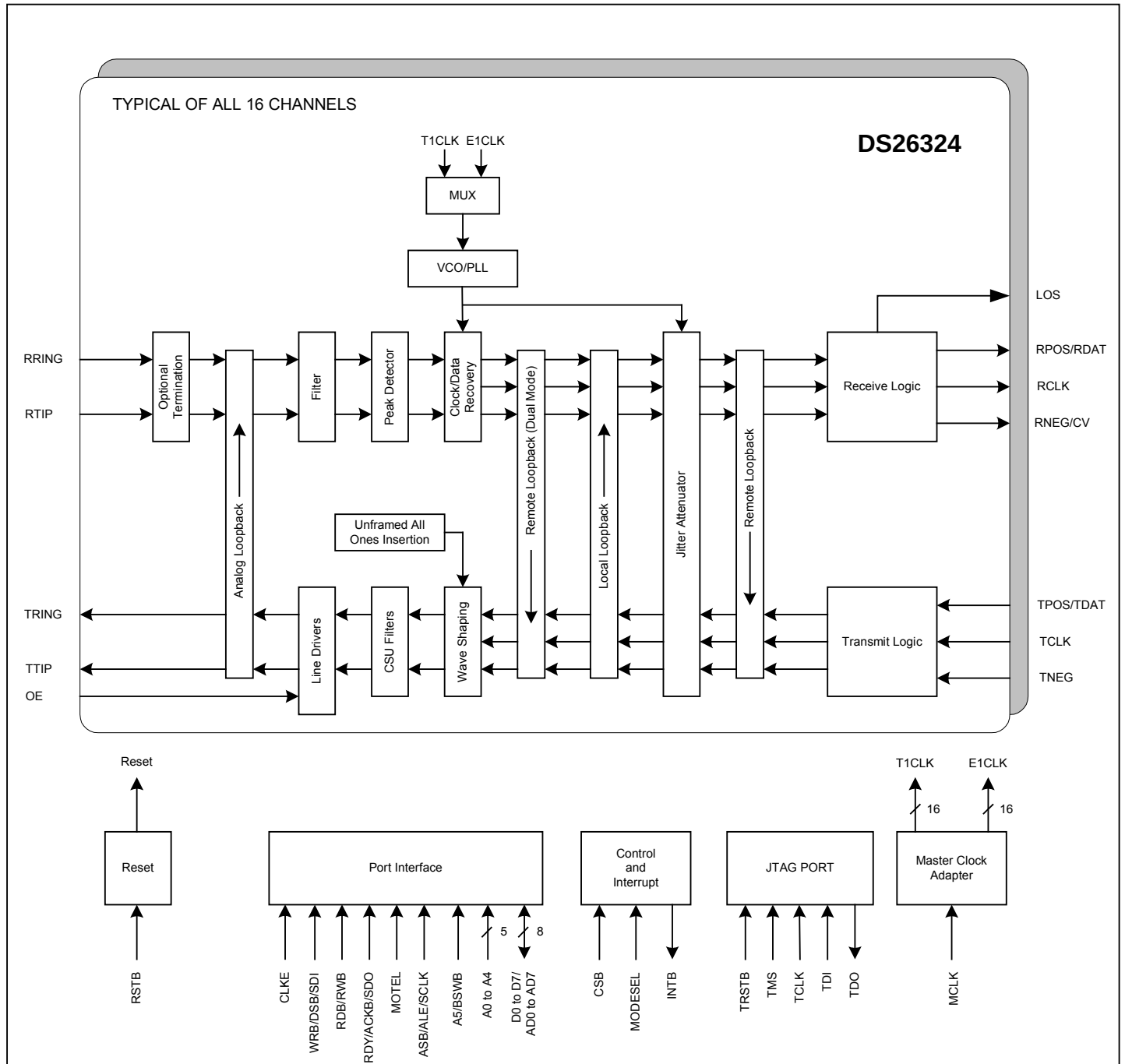


图3-2. 接收逻辑电路

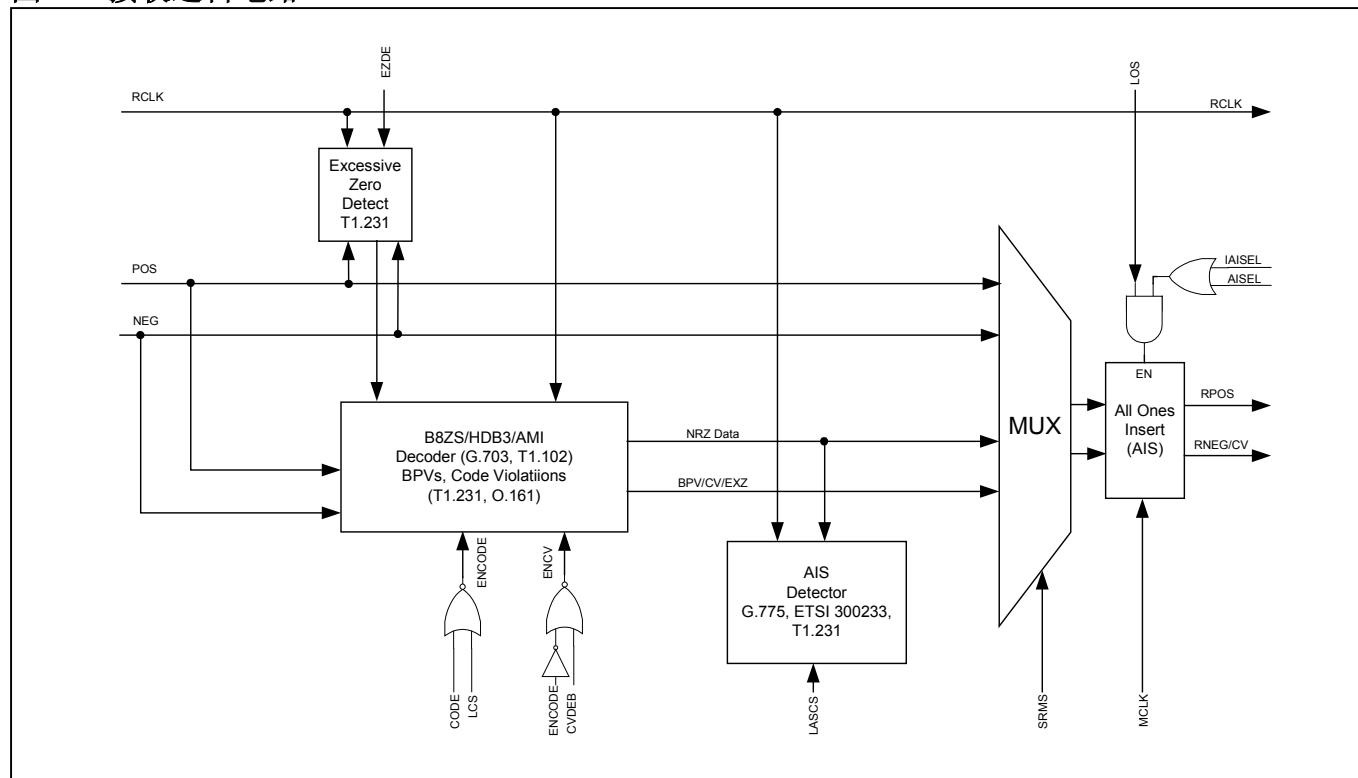
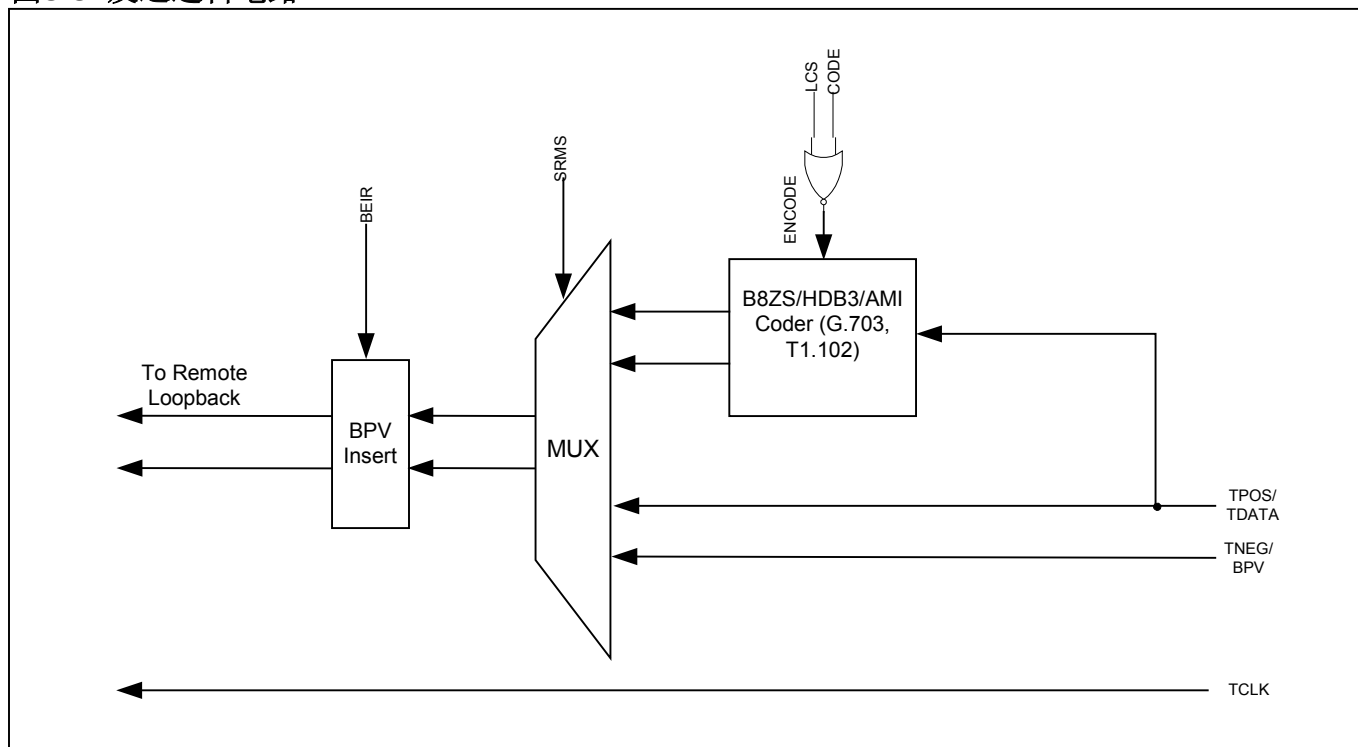


图3-3. 发送逻辑电路



4 引脚说明

表4-1. 引脚说明

名称	引脚	类型	功能
模拟发送和接收			
TTIP1	E1	模拟输出	通道1至16发送双极性TIP。这些引脚是差分线TIP驱动器输出。如果OE为低电平，这些引脚可以置为高阻。输出使能寄存器OE位置为“1”时，如果OE引脚为高电平，对应TTIPn引脚使能。TTIPn和TRINGn差分输出可以为E1 75Ω、E1 120Ω、T1 100Ω以及J1 110Ω提供内部阻抗匹配。 如果LIU的TCLK输入保持低电平的时间达到64个MCLK，LIU发送器关断，TTIP/TRING输出为高阻抗。
TTIP2	F1		
TTIP3	K1		
TTIP4	L1		
TTIP5	T5		
TTIP6	T6		
TTIP7	T10		
TTIP8	T11		
TTIP9	M16		
TTIP10	L16		
TTIP11	G16		
TTIP12	F16		
TTIP13	A12		
TTIP14	A11		
TTIP15	A7		
TTIP16	A6		
TRING1	E2	模拟输出	通道1至16发送双极性RING。这些引脚是差分线路驱动器RING输出。如果OE为低电平，这些引脚可以置为高阻抗。输出使能寄存器OE位置为“1”时，如果OE引脚为高电平，对应TRINGn引脚使能。TTIPn和TRINGn差分输出可以为E1 75Ω、E1 120Ω、T1 100Ω以及J1 110Ω提供内部阻抗匹配。 如果LIU的TCLK输入保持低电平的时间达到64个MCLK，LIU发送器关断，TTIP/TRING输出为高阻抗。
TRING2	F2		
TRING3	K2		
TRING4	L2		
TRING5	R5		
TRING6	R6		
TRING7	R10		
TRING8	R11		
TRING9	M15		
TRING10	L15		
TRING11	G15		
TRING12	F15		
TRING13	B12		
TRING14	B11		
TRING15	B7		
TRING16	B6		
RTIP1	A1	模拟输出	通道1至16接收双极性TIP。差分接收器的模拟输入。数据和时钟恢复后，分别在RPOS/RNEG和RCLK引脚输出。RTIPn和RRINGn差分输入可以为E1 75Ω、E1 120Ω、T1 100Ω以及J1 110Ω提供外部阻抗匹配。
RTIP2	C1		
RTIP3	H1		
RTIP4	N1		
RTIP5	T1		
RTIP6	T3		
RTIP7	T8		
RTIP8	T13		
RTIP9	T16		
RTIP10	P16		
RTIP11	J16		
RTIP12	D16		
RTIP13	A16		
RTIP14	A14		
RTIP15	A9		

名称	引脚	类型	功能															
RTIP16	A4	模拟输出	通道1至16接收双极性RING。差分接收器的接收模拟输入。数据和时钟恢复后，分别在RPOS/RNEG和RCLK引脚输出。RTIPn和RRINGn的差分输入可以为E1 75Ω、E1 120Ω、T1 100Ω以及J1 110Ω提供外部阻抗匹配。															
RRING1	A2																	
RRING2	C2																	
RRING3	H2																	
RRING4	N2																	
RRING5	R1																	
RRING6	R3																	
RRING7	R8																	
RRING8	R13																	
RRING9	T15																	
RRING10	P15																	
RRING11	J15																	
RRING12	D15																	
RRING13	B16																	
RRING14	B14																	
RRING15	B9																	
RRING16	B4																	
数字Tx/Rx																		
TPOS1/TDATA1	F6	I	通道1至16发送正极性数据输入。DS26324配置为双极性摆幅模式时，TPOSn数据输入在线路上输出为正极性脉冲(TIP和RING)。通道1至16发送数据输入。当器件配置为单极性摆幅模式时，NRZ数据输入至TDATAn。在TCLKn的下降沿对数据进行采样，在输出至线路之前，编码为HDB3/B8ZS或者AMI格式。															
TPOS2/TDATA2	G7																	
TPOS3/TDATA3	J6																	
TPOS4/TDATA4	K6																	
TPOS5/TDATA5	L9																	
TPOS6/TDATA6	N5																	
TPOS7/TDATA7	P12																	
TPOS8/TDATA8	M11																	
TPOS9/TDATA9	L11																	
TPOS10/TDATA10	J11																	
TPOS11/TDATA11	G11																	
TPOS12/TDATA12	C14																	
TPOS13/TDATA13	F9																	
TPOS14/TDATA14	E7																	
TPOS15/TDATA15	N12																	
TPOS16/TDATA16	D5																	
TNEG1	C3	I	通道1至16发送负极性数据。当DS26324配置为双极性摆幅模式时，TNEGn数据输入在线路上输出为负极性脉冲。双极性摆幅模式下的TPOS和TNEG在线路上产生正极性和负极性脉冲： <table><tr><th>TPOSn</th><th>TNEGn</th><th>输出脉冲</th></tr><tr><td>0</td><td>0</td><td>空</td></tr><tr><td>0</td><td>1</td><td>负极性</td></tr><tr><td>1</td><td>0</td><td>正极性</td></tr><tr><td>1</td><td>1</td><td>空</td></tr></table>	TPOSn	TNEGn	输出脉冲	0	0	空	0	1	负极性	1	0	正极性	1	1	空
TPOSn	TNEGn			输出脉冲														
0	0			空														
0	1			负极性														
1	0			正极性														
1	1			空														
TNEG2	J14																	
TNEG3	J5																	
TNEG4	G10																	
TNEG5	M6																	
TNEG6	P6																	
TNEG7	P7																	
TNEG8	K9																	
TNEG9	L12																	
TNEG10	J12																	
TNEG11	H11																	
TNEG12	E13																	
TNEG13	G8																	
TNEG14	F7																	
TNEG15	C6																	
TNEG16	C5																	
TCLK1	F5	I	通道1至16发送时钟。T1模式下发送时钟必须是1.544MHz，E1															
TCLK2	G4																	

名称	引脚	类型	功能
TCLK3	G9		模式下发送时钟必须是2.048MHz。TCLKn是TPOS/TNEG或TDAT的采样时钟，下降沿采样，TCLK可以反相。 如果TCLKn保持‘高电平’超过16个MCLK，则向相应的发送通道线路侧发送全1 (TAO)。当TCLKn再次启动时，相应的发送通道开始正常工作。 如果TCLKn保持‘低电平’超过64个MCLK，线路侧相应的发送通道关断，进入高阻态。当TCLKn再次启动时，相应的发送通道开启，退出高阻抗状态。
TCLK4	H6		
TCLK5	M7		
TCLK6	L8		
TCLK7	L10		
TCLK8	P9		
TCLK9	K11		
TCLK10	K12		
TCLK11	F14		
TCLK12	E12		
TCLK13	C11		
TCLK14	D12		
TCLK15	N7		
TCLK16	D11		
RPOS1/RDATA1	F4	O, 三态	通道1至16接收正极性数据输出。在双极性摆幅模式下，NRZ数据输出表明在RTIP/RRING上出现正极性脉冲。探测到LOS时，如果GC的AISEL置位，可以插入AIS，否则该引脚有效。也可以通过IAISEL寄存器分别由LIU偏置控制AIS插入。如果某个寄存器处于关断模式，相应的RPOS引脚为高阻态。 通道1至16接收数据输出。在单极性摆幅模式下，NRZ数据由该引脚送出。如果某个寄存器在关断模式，相应的RPOS引脚为高阻态。 注: 在LOS状态下，RPOS/RDATA输出保持有效。
RPOS2/RDATA2	F3		
RPOS3/RDATA3	L3		
RPOS4/RDATA4	L4		
RPOS5/RDATA5	K8		
RPOS6/RDATA6	M9		
RPOS7/RDATA7	P8		
RPOS8/RDATA8	M12		
RPOS9/RDATA9	M14		
RPOS10/RDATA10	K13		
RPOS11/RDATA11	G12		
RPOS12/RDATA12	E14		
RPOS13/RDATA13	C12		
RPOS14/RDATA14	C10		
RPOS15/RDATA15	C8		
RPOS16/RDATA16	E5		
RNEG1/CV1	E3	O, 三态	通道1至16接收负极性数据输出。在双极性摆幅模式下，NRZ数据输出表明在RTIP/RRING上出现负极性脉冲。探测到LOS时，如果GC的AISEL置位，可以插入AIS，否则该引脚有效。也可以通过IAISEL寄存器分别由LIU偏置控制AIS插入。如果某个接收器处于关断模式，相应的RNEG引脚为高阻态。 通道1至16编码违规。在单极性摆幅模式下，CVn报告双极性违规、编码违规和零过多。如果没有选择HDB3或者B8ZS，该引脚指示只有BPV。如果某个接收器处于关断模式，相应的CV引脚为高阻态。
RNEG2/CV2	G5		
RNEG3/CV3	K4		
RNEG4/CV4	M3		
RNEG5/CV5	L7		
RNEG6/CV6	M10		
RNEG7/CV7	P11		
RNEG8/CV8	K10		
RNEG9/CV9	M13		
RNEG10/CV10	L14		
RNEG11/CV11	F13		
RNEG12/CV12	F11		
RNEG13/CV13	E10		
RNEG14/CV14	C9		
RNEG15/CV15	C7		
RNEG16/CV16	J3		
RCLK1	D3	O, 三态	通道1至16接收时钟。接收数据 (RPOS/RNEG)在RCLK上升沿同步输出。如果某个接收器处于关断模式，RCLK为高阻态。探测到LOS时，RCLK从恢复时钟切换到MCLK，RCLKI寄存器可以将RCLK置反。
RCLK2	G6		
RCLK3	K3		
RCLK4	K5		
RCLK5	P5		
RCLK6	M8		
RCLK7	P10		

名称	引脚	类型	功能
RCLK8	P13		
RCLK9	L13		
RCLK10	K14		
RCLK11	G13		
RCLK12	F12		
RCLK13	E8		
RCLK14	E9		
RCLK15	F8		
RCLK16	E6		
MCLK	H12	I	主时钟。这是一个自激振荡的独立时钟，频率可以是E1模式 2.048MHz $\pm$ 50ppm或者T1模式 1.544MHz $\pm$ 50ppm的倍数。由MC的MPS0、MPS1、FREQS和PLLE位进行时钟选择。2.048MHz倍频可以内部应用于1.544MHz，1.544MHz倍频可以内部应用于2.048MHz。
LOS1	D2	O	信号输出丢失。在规定时间间隔内，接收信号没有跳变时，该输出变为高电平。在接收到的信号中有足够多的1时，输出变为低电平。5.5.5节中说明了LOS置位和解除置位的标准。可以配置LOS输出，使其符合T1.231、ITU G.775或ETSI 300 233的要求。 T1/E1时钟 (TECLK)，(仅对焊球E11)。由寄存器MC使能后，该输出成为T1或E1可编程时钟输出。关于T1或E1频率选择，请参考CCR。 时钟A (CLKA)。(仅对焊球F10)。由寄存器MC使能后，该输出成为可编程时钟输出。关于频率选择，请参考CCR。
LOS2	G2		
LOS3	J2		
LOS4	M2		
LOS5	R2		
LOS6	T2		
LOS7	R4		
LOS8	R7		
LOS9	R14		
LOS10	N15		
LOS11	K15		
LOS12	H15		
LOS13	B10		
LOS14	B8		
LOS15/TECLK	E11		
LOS16/CLKA	F10		

名称	引脚	类型	功能
主机选择			
MODESEL	A3	I	模式选择。 该引脚用于选择DS26324的控制模式： 低电平 → 串行主机模式 高电平 → 并行主机模式
MOTEL	B3	I	Motorola Intel选择。 该引脚为低电平时，选择Motorola模式；为高电平时，选择Intel模式。
CSB	P14	I	片选按钮。 对所有寄存器的访问，必须保持该引脚为低电平。
SCLK/ALE/ASB	N14	I	移位时钟。 在串行主机模式下，该引脚为串行时钟。SDI上的数据同步于SCLK的上升沿。如果CLKE为高电平，SDO上的数据同步于SCLK的上升沿。如果CLKE为低电平，SDO上的数据同步于SCLK的下降沿。 地址锁存使能。 在并行Intel复用模式下，地址线在ALE的下降沿锁存。 地址选通按钮。 在并行Motorola复用模式下，地址在ASB的下降沿进行采样。 注： 如果使用非复用模式，将ALE/ASB引脚置为高电平。
RDB/RWB	H14	I	读操作按钮。 Intel主机模式下，读操作时，该引脚必须为低电平。 读写按钮。 在Motorola模式下，该引脚保持低电平进行写操作，高电平为读操作。
SDI/WRB/DSB	G14	I	串行数据输入。 在串行主机模式下，该引脚是串行输入SDI。它在SCLK的上升沿进行采样。 写操作按钮。 在Intel主机模式下，写操作期间，该引脚低电平有效。数据或者地址 (复用模式)在WRB上升沿采样。 数据选通按钮。 在并行Motorola模式下，该引脚低电平有效。写操作期间，数据或者地址在DSB的上升沿采样。读操作期间，数据或者地址在DSB上升沿被驱动。在非复用Motorola模式下，地址总线(A[5:0])在DSB下降沿锁存。
SDO/RDYB/ACKB	C13	O	串行数据输出。 在串行主机模式下，SDO数据由该引脚输出。如果进行串行写操作，该引脚为高阻态。读操作期间，当SDI处于命令/地址模式时，SDO为高阻态。如果CLKE是低电平，SDO在SCLK的上升沿输出。如果CLKE是高电平，在下降沿输出。 准备就绪按钮输出。 该引脚为高电平时，报告主机周期还没有完成，必须插入等待状态；为低电平时表明周期已经完成。 确认按钮。 在Motorola并行模式下，该引脚的低电平表明主机可以进行数据读取，或写数据周期已经完成。

名称	引脚	类型	功能
INTB	D7	O, 开漏	中断按钮 (低电平有效) 。当RST为低电平时, 该信号为三态。当任意寄存器的使能中断发生中断时, 该中断信号变为低电平。没有发生中断时, 该引脚可以置为高电平或开漏状态。没有使能中断源时, 其复位默认状态是开漏。当RST = 0时, 所有中断源被禁用, 必须通过设置才能开中断。
D7/AD7	N3	I/O, 三态	数据总线7-0 。在非复用主机模式下, 这些引脚是双向数据总线。 地址/数据总线7-0 。在复用主机模式下, 这些引脚是双向地址/数据总线。 注: AD7和AD6不承载地址信息。 在串行主机模式下, 这些引脚接地。
D6/AD6	P3		
D5/AD5	M4		
D4/AD4	L5		
D3/AD3	K7		
D2/AD2	P4		
D1/AD1	M5		
D0/AD0	L6		
A5/BSWP	E4	I	地址5 。在主机非复用模式下, 是地址总线的最高有效位。 位交换 。在串行主机模式下, 低电平时, 该比特定义串行数据位置为MSB在前, 高电平时LSB在前。 在复用主机模式下, 该引脚接地。
A4	C4	I	地址总线4-0 。在并行主机模式下, 这5个引脚为地址引脚。在串行主机模式和复用主机模式下, 这些引脚接地。
A3	H5		
A2	G3		
A1	H3		
A0	N10		
OE	R12	I	输出使能 。该引脚如果为低电平, 所有的发送器输出 (TTIP和TRING)为高阻态。如果为高电平, 当相应的输出使能OE置位时, 所有发送器使能。 如果GC.RTCTL置位, OE引脚将控制接收器内部端接。当OE低电平时, 接收器内部端接为高阻。当OE高电平时, 接收器端接使能。即使端接为高阻, 接收器也可以监视输入信号。
CLKE/MUX	T14	I	时钟沿 。如果CLKE为高电平, SDO在SCLK下降沿同步输出, 为低电平时, SDO在SCLK上升沿同步输出。 复用/非复用选择引脚 。处于并行端口模式时, 该引脚用于选择地址和数据复用, 或者独立的地址和数据总线。当MUX为高电平时, 采用复用地址和数据; MUX为低电平时, 非复用总线。

名称	引脚	类型	功能
JTAG			
TRSTB	E15	I, 上拉	JTAG测试端口复位。 如果是低电平, 该引脚复位JTAG端口。如果不使用该引脚, 可以将其浮空。
TMS	B13	I 上拉	JTAG测试模式选择。 该引脚同步于TCK上升沿, 用于控制选择JTAG的扫描和测试机器控制。
TCK	D14	I	JTAG测试时钟。 数据TDI和TMS同步于TCK的上升沿, TDO在TCK的下降沿同步输出。
TDO	A15	O, 高阻	JTAG测试数据输出。 这是JTAG端口的串行输出。数据在TCK的下降沿同步输出。
TDI	B15	I, 上拉	测试数据输入。 该引脚输入是JTAG测试的串行数据。TDI数据同步于TCK的上升沿。该引脚可以不连接。
复位			
RSTB	B5	I, 上拉	复位按钮。 这是异步复位输入按钮, 内部上拉至高电平。在该引脚作用1 μ s的低电平信号, 将DS26324寄存器复位至默认值。
电源			
DVDD	H8, J9	I	3.3V数字电源。
DVSS	H9, J8, R9	I	数字地。
VDDT1	D1	I	发送器3.3V电源。 所有VDDT引脚必须连接到3.3V的VDDT。
VDDT2	G1		
VDDT3	J1		
VDDT4	M1		
VDDT5	T4		
VDDT6	T7		
VDDT7	T9		
VDDT8	T12		
VDDT9	N16		
VDDT10	K16		
VDDT11	H16		
VDDT12	E16		
VDDT13	A13		
VDDT14	A10		
VDDT15	A8		
VDDT16	A5		

名称	引脚	类型	功能
GNDT1	D4	I	发送器模拟地。
GNDT2	H4		
GNDT3	J4		
GNDT4	N4		
GNDT5	N6		
GNDT6	N8		
GNDT7	N9		
GNDT8	N11		
GNDT9	N13		
GNDT10	J13		
GNDT11	H13		
GNDT12	D13		
GNDT13	D10		
GNDT14	D9		
GNDT15	D8		
GNDT16	D6		
AVDD	B1, C16, P1, R16, H7, J10	I	3.3V模拟核电源，每个引脚分别去偶。
AVSS	B2, C15, P2, R15, H10, J7	I	模拟核地。

5 功能说明

5.1 端口操作

5.1.1 串口操作

设置MODESEL = 'low'，使能DS26324的串行总线接口。端口读/写时序与系统发送和接收时序无关，支持主机异步读或写操作。参见第9.3节的串口交流时序。当BSWP引脚设置为高电平时，所有串口读写为LSB在前，当BSWP引脚设置为低电平时，所有串口读写为MSB在前。图5-1至图5-3所示为LSB在前的工作情况。

该端口兼容Motorola处理器定义SPI接口。具体实例是Motorola的MMC2107。

内部寄存器读或写操作需要在传送寄存器数据之前，写入一个地址/命令字节。地址/命令字节的最低有效位(LSB)规定访问操作是读(1)还是写(0)。后面6位定义寄存器地址(A1至A6) (忽略A7)。

驱动CSB输入至低电平，初始化所有的数据传送。当CLKE为低电平时，在SCLK上升沿输出SDO数据，当CLKE为高电平时，在SCLK下降沿输出数据。数据保持至下一上升沿或下降沿。如果CSB输入跳变至高电平，则终止所有的数据传送。当CSB高电平时，禁止端口控制逻辑，SDO进入三态。SDI总是在SCLK的上升沿进行采样。

图5-1. 串口写操作

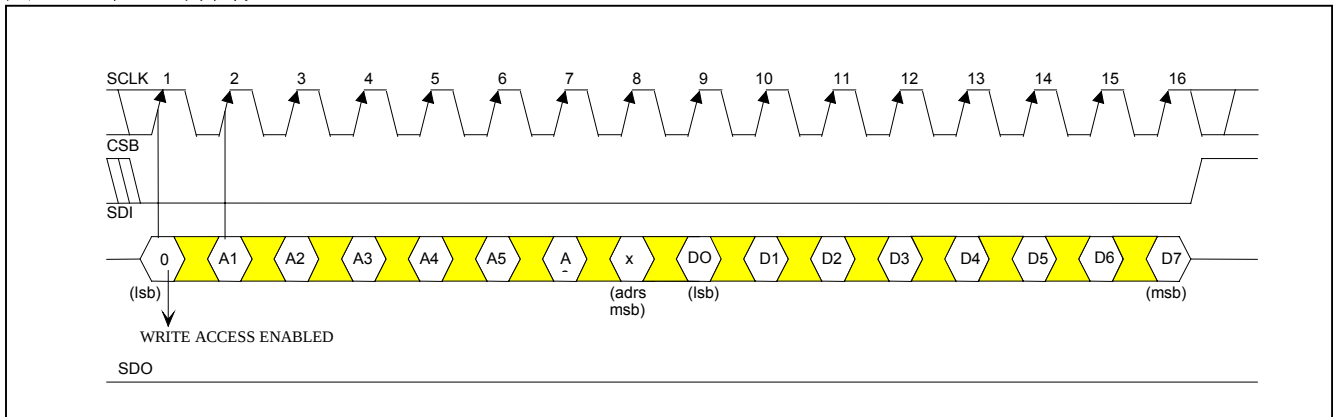


图5-2. CLKE = 0时串口读操作

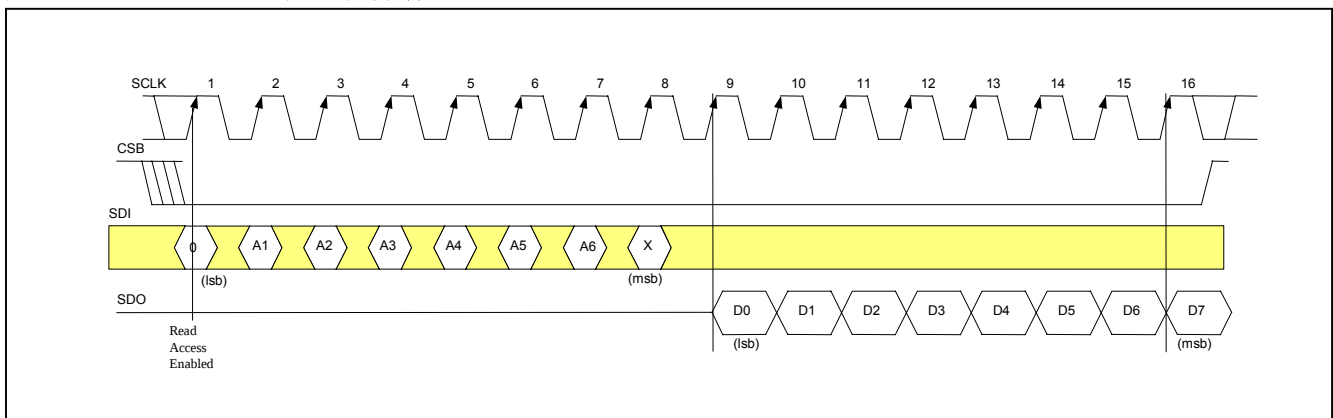
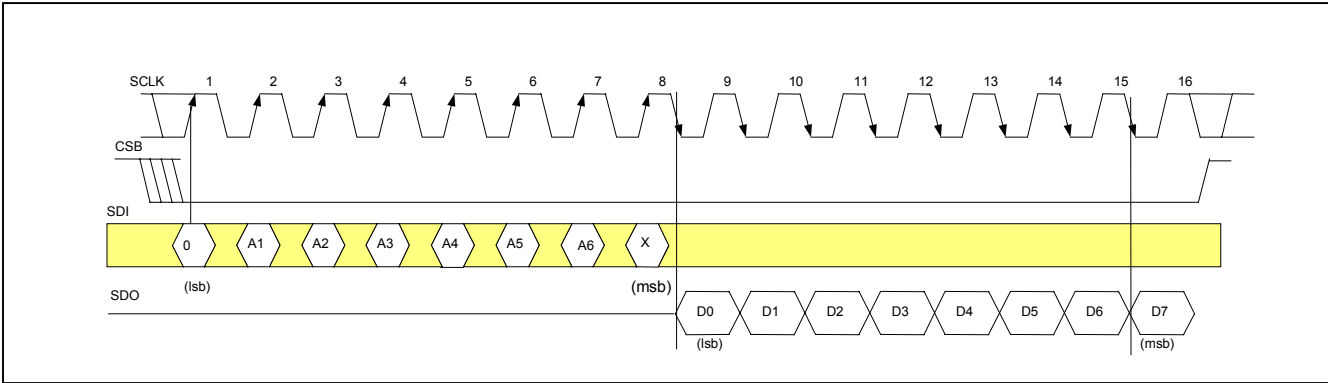


图5-3. CLKE = 1时串口读操作



5.1.2 并口操作

使用DS26324的并行接口时，用户可以选择复用总线工作，或者非复用总线工作。非复用总线工作时，**ALE**引脚上拉至高电平。DS26324可工作在Intel或者Motorola总线时序配置下，由**MOTEL**引脚进行选择。该引脚高电平时选择Intel模式。并行端口模式仅在MODESEL引脚高电平时有效。下表列出了并行端口模式下所有的引脚及其功能。参见第9节的时序图，了解详细情况。

表5-1. 并行端口模式选择和引脚功能

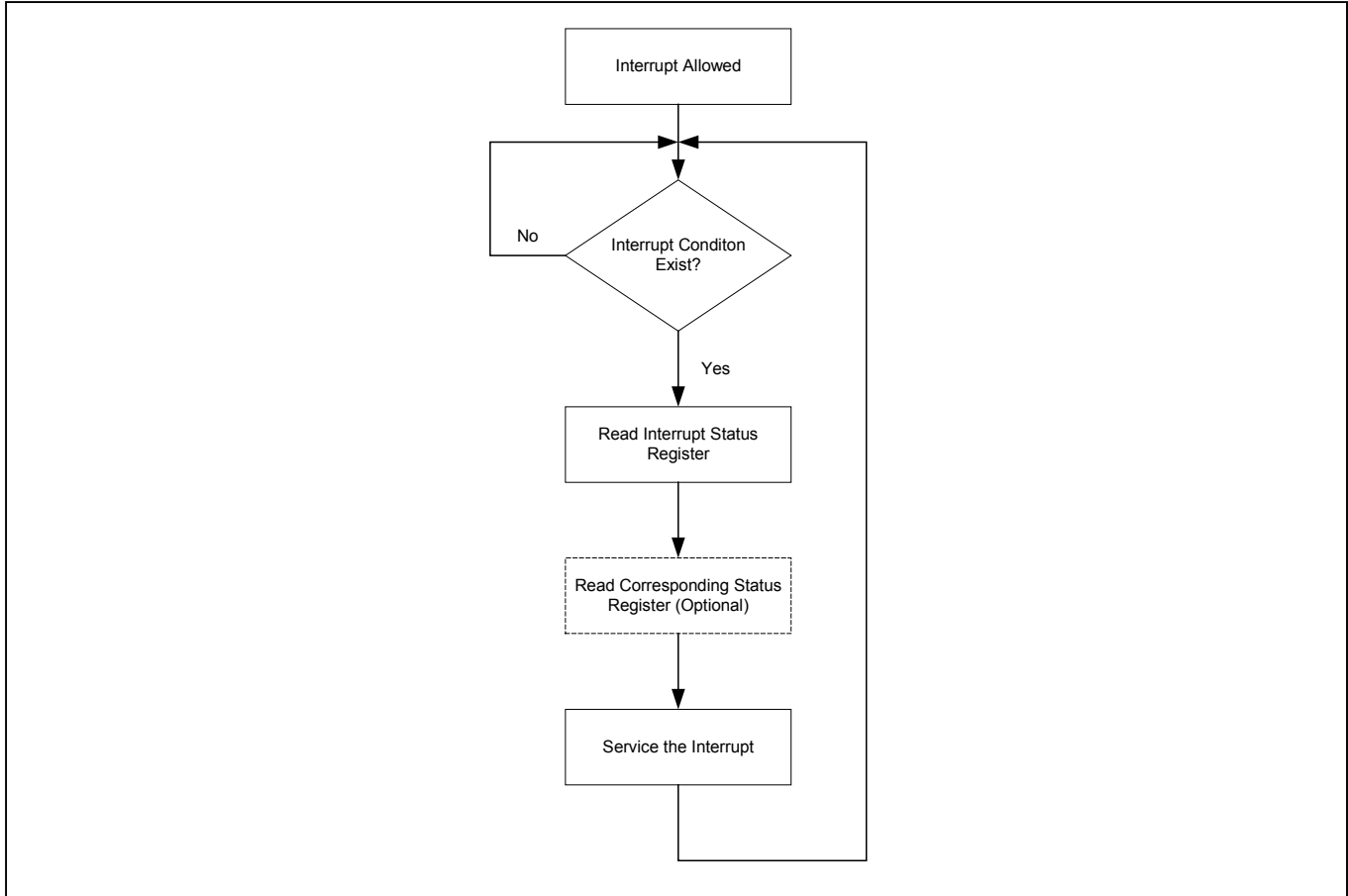
MODESEL, MOTEL, MUX	PARALLEL HOST INTERFACE	ADDRESS, DATA, AND CONTROL
100	Nonmultiplexed Motorola	CSB, ACKB, DSB, RWB, ASB, A[5:0], D [7:0], INTB
110	Nonmultiplexed Intel	CSB, RDYB, WRB, RDB, ALE, A[5:0], D [7:0], INTB
101	Multiplexed Motorola	CSB, ACKB, DSB, RWB, ASB, AD[7:0], INTB
111	Multiplexed Intel	CSB, RDYB, WRB, RDB, ALE, AD[7:0], INTB

5.1.3 中断处理

有4组事件会触发中断，中断功能如下：

- 中断事件状态改变时，如果相应的中断使能寄存器使能事件，INTB引脚将变为低电平。采用一个10kΩ电阻将INTB外部上拉至高电平，进行线“或”操作。如果不需要线“或”操作，则通过寄存器GISC.INTM，将INTB引脚置为高电平。
- 中断发生时，主机处理器必须读取中断状态寄存器，以确定中断源。读操作也会清除中断状态寄存器，清除INTB引脚的输出。通过寄存器GISC.CWE，将中断状态寄存器配置为读清零位。设置为读清零位时，中断状态寄存器位(它所产生的中断)只能在向中断状态寄存器的对应位写入‘1’时清零。这样，可以通过清除寄存器的某些位来清除中断，而不必清除所有位。
- 随后，主机读取相应的状态寄存器，检查事件的实时状态。

图5-4. 中断处理流程图



5.2 上电和复位

内部Power_On_Reset电路在上电过程中产生一个复位信号。所有寄存器复位至默认值。对软件复位寄存器进行写操作，产生至少1毫秒的复位周期，其作用与上电复位一样。

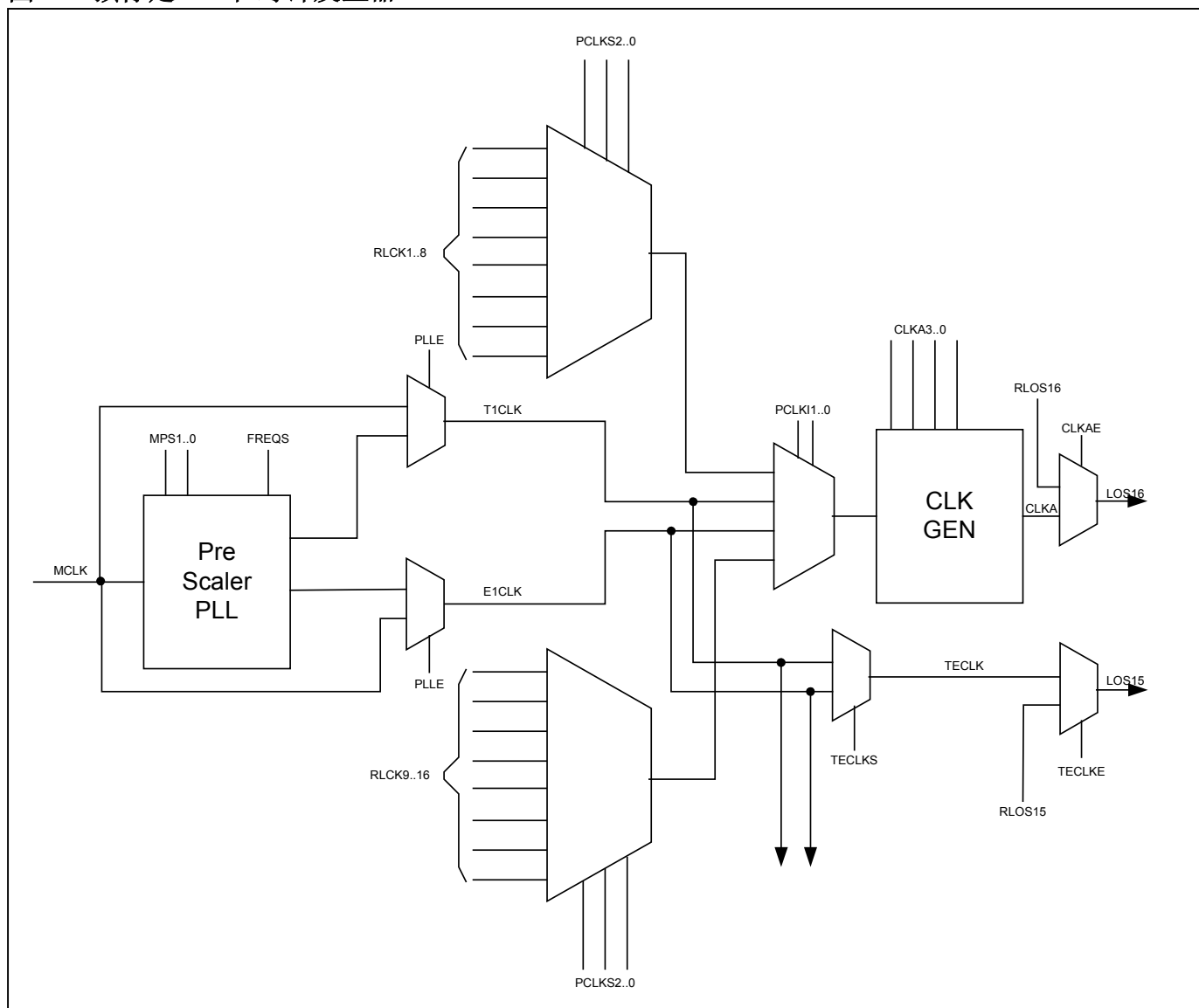
RSTB引脚的低电平跳变信号可复位DS26324 (参见表4-1)。也可以在软件中向SWR寄存器写入任意值进行复位。

5.3 主时钟

DS26324需要2.048MHz ± 50 ppm或1.544MHz ± 50 ppm，或其倍频频率的时钟。接收器使用MCLK作为参考时钟，完成时钟恢复和抖动衰减，在LOS期间产生RCLK。AIS传输使用MCLK，作为发送全1的条件。参见寄存器MC，设置所需频率。当PLLE置位时，主时钟适配器将同时产生2.048MHz (E1)和1.544MHz (T1)时钟。如果PLLE清零，所有内部参考时钟将跟踪MCLK。

MCLK或者RCLK也可以用在LOS16引脚输出CLKA。寄存器CCR用于选择CLKA和TECLK产生的时钟。采用相同的寄存器，可以选择RCLK用作时钟发生器的输入。对于这种选择的详细说明，请参见图5-5。

图5-5. 预标定PLL和时钟发生器



5.4 发送器

NRZ数据到达发送系统侧的TPOS和TNEG，TPOS和TNEG的数据在TCLK下降沿采样。

选择单极性摆幅模式时，采用HDB3、B8ZS或NRZ对数据进行编码 (只有TPOS是数据源)。仅在单极性摆幅模式下，通过寄存器BEIR可插入BPV误码进行测试。选择双极性摆幅模式时，将采用预编码数据。如果衰减器已经使能用于发送通道，编码后的数据将送入抖动衰减器。数字排序器和DAC用于产生发送波形，符合T1.102和G.703脉冲模板。

线路驱动支持内部75Ω、100Ω、110Ω和120Ω阻抗匹配模式。

DS26324驱动具有短路和开路驱动失效检测功能。低电平时，OE引脚将发送器输出置为高阻，以保护切换。每个发送器默认状态为高阻。当OE引脚高电平时，寄存器OE用于使能每一个发送器。DS26324必须通过设置寄存器使能发送器，然后将OE引脚上拉至高电平。控制发送器工作的寄存器示于表5-2。

表5-2. DS26324发送器支持的电信规范

TRANSMITTER FUNCTION	TELECOMMUNICATIONS COMPLIANCE
AMI Coding, B8ZS Substitution, DS1 Electrical Interface	ANSI T1.102
T1 Telecom Pulse Mask compliance	ANSI T1.403
T1 Telecom Pulse Mask compliance	ANSI T1.102
Transmit Electrical Characteristics for E1 Transmission and Return Loss Compliance	ITU-T G.703

表5-3. DS26324发送器控制的相关寄存器

REGISTER NAME	ACRONYM	FUNCTION
Transmit All Ones Enable	TAOE	Transmit All Ones Enable
Driver Fault Monitor Status	DFMS	Driver Fault Status
Driver Fault Monitor Interrupt Enable	DFMIE	Driver Fault Status Interrupt Mask
Driver Fault Monitor Interrupt Status	DFMIS	Driver Fault Status Interrupt Mask
Automatic Transmit All Ones Select	ATAOS	Transmit All Ones enabled automatically on LOS
Global Configuration Register	GC	Global control of Jitter Attenuator, line coding and short circuit protection.
Template Select Transmitter	TST	The Transmitter that the Template Select Register Applies to.
Template Select	TS	The TS2 to TS0 bits for Selection of the Templates for Transmitter and TIMPOFF and TIMPRIM bits to control transmit impedance match
Output Enable Configuration Register	OE	These register bits can be used to enable the Transmitter outputs
Master Clock Selection	MC	Selects the MCLK frequency used for Transmit and Receive.
Transmit Single-Rail Mode Select Register	SRMS	This register can be used to select between single-rail and dual-rail mode.
Line Code Selection	LCS	The individual Transceiver Line Codes can be selected to overwrite the global setting.
Transmit Power-down	TPDE	Individual Transmitters can be powered down.
Individual Jitter Attenuator Enable	JAE	Enables the jitter attenuator
Individual Jitter Attenuator Position Select	JAPS	Selects whether jitter attenuator is in transmit or receive path
Individual Jitter Attenuator FIFO Depth Select	JAFDS	Selects depth of jitter attenuator FIFO.
Individual Jitter Attenuator FIFO Limit Trip	JAFLT	Indicates jitter attenuator FIFO within 4 bits of its useful limit
Individual Short Circuit Protection Disable	ISCPD	This register allows the individual Transmitters to have Short Circuit Protection Disable.
BERT Control Register	BTCR	This register allows mapping of the internal BERTs into an individual transmit path.
Transmit clock invert	TCLKI	Inverts TCLK input.
BPV Error insertion	BEIR	Inserts a bipolar error in the transmit path when in single-rail mode.

5.4.1 发送线路模板

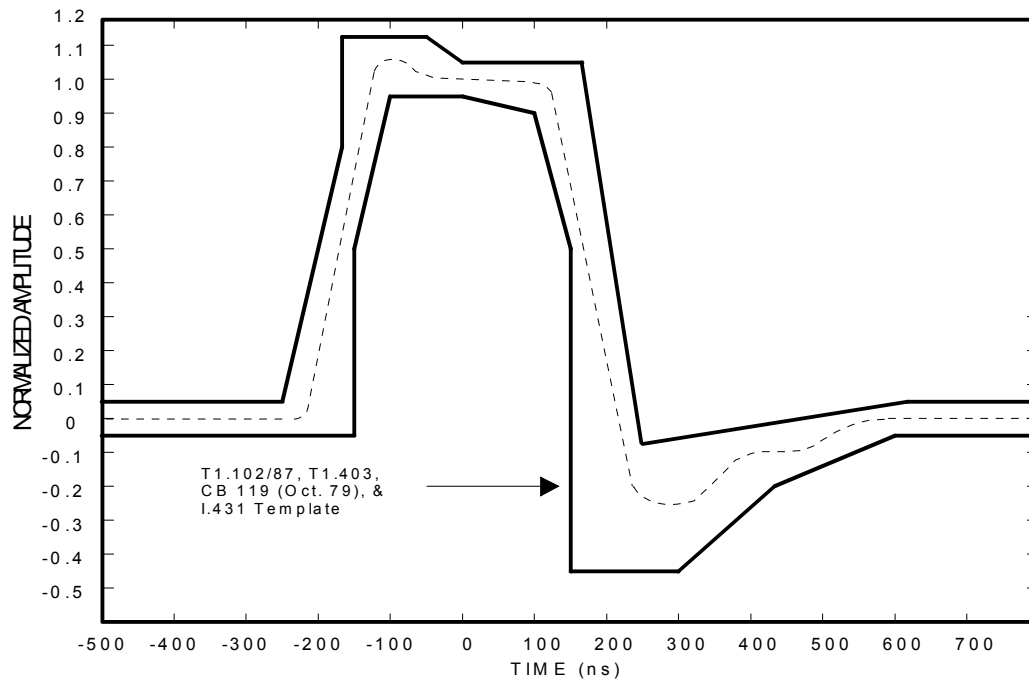
可设置DS26324发送器，使其分别符合E1和T1/J1模式的脉冲模板。T1/J1脉冲模板示于发送脉冲模板，可在每一LIU中进行配置。通过TS寄存器中的TS2-TS0位选择发送模板。使用同一寄存器中的TIMPOFF和TIMPRM位选择发送匹配阻抗。当发送匹配阻抗由TIMPRM使能时，如果设置为E1模板，将选择75Ω或120Ω阻抗；如果设置为T1/J1模板，则选择100Ω或110Ω。在E1模式下，如果通过TIMPRM位选择了75Ω，输出脉冲振幅为2.37V，如果通过TIMPRM位选择了120Ω，输出脉冲振幅为3.0V。

E1脉冲模板如图5-7所示，T1脉冲模板如图5-6所示。

表5-4. DS26324短程模板选择

TS2, TS1, TS0	APPLICATION
000	E1
001	Reserved
010	
011	
100	DSX-1 (0-133 ft)
101	DSX-1 (133-266 ft)
110	DSX-1 (266-399 ft)
111	DSX-1 (399-533 ft)
	DSX-1 (533-655 ft)

图5-6. T1发送脉冲模板



DSX-1 Template (per ANSI T1.102 -1993) DS1 Template (per ANSI T1.403 -1995)

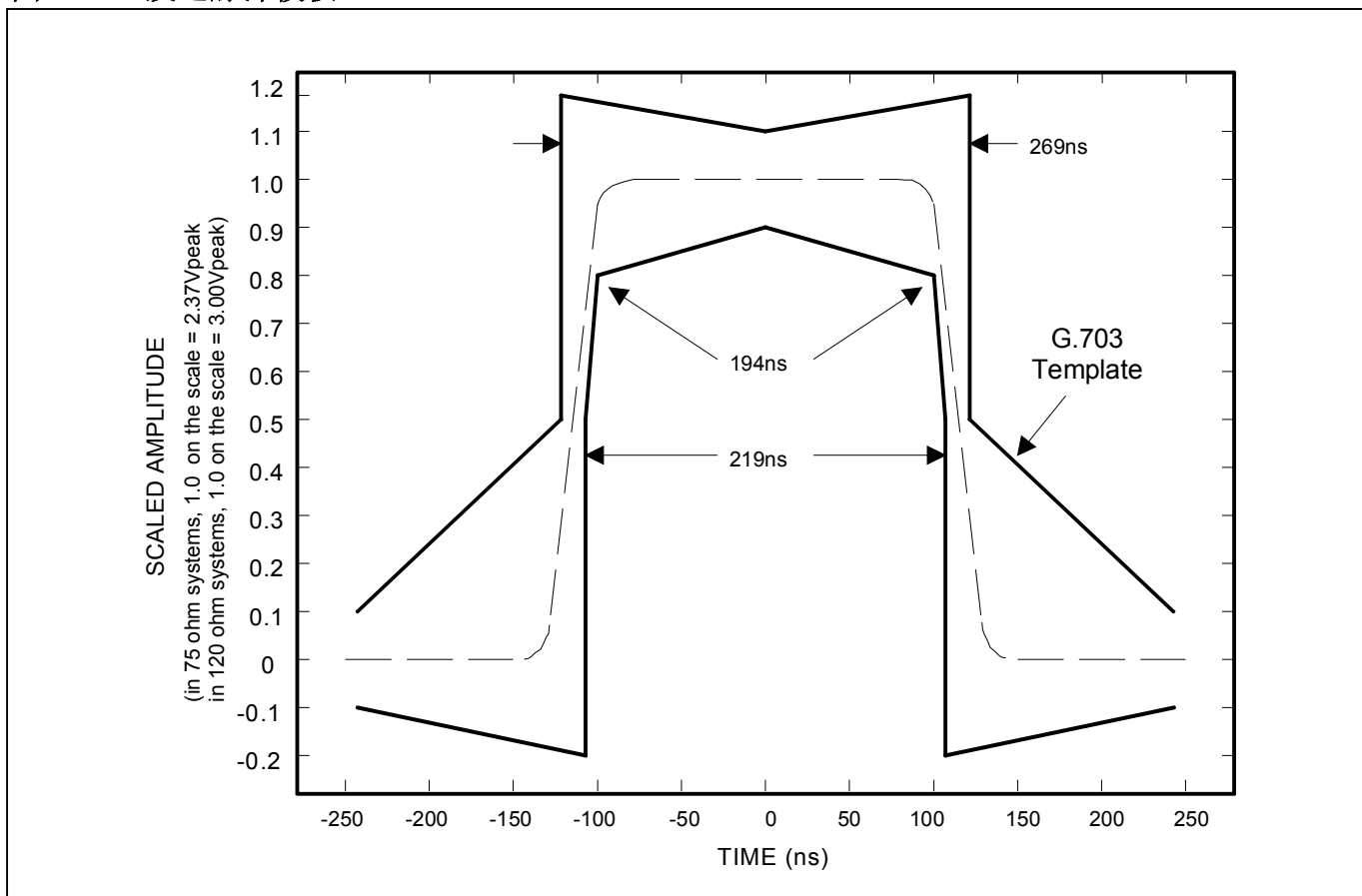
MAXIMUM CURVE	UI	Time	Amp.
-0.77	-500	0.05	
-0.39	-255	0.05	
-0.27	-175	0.80	
-0.27	-175	1.15	
-0.12	-75	1.15	
0.00	0	1.05	
0.27	175	1.05	
0.35	225	-0.07	
0.93	600	0.05	
1.16	750	0.05	

MINIMUM CURVE	UI	Time	Amp.
-0.77	-500	-0.05	
-0.23	-150	-0.05	
-0.23	-150	0.50	
-0.15	-100	0.95	
0.00	0	0.95	
0.15	100	0.90	
0.23	150	0.50	
0.23	150	-0.45	
0.46	300	-0.45	
0.66	430	-0.20	
0.93	600	-0.05	
1.16	750	-0.05	

MAXIMUM CURVE	UI	Time	Amp.
-0.77	-500	0.05	
-0.39	-255	0.05	
-0.27	-175	0.80	
-0.27	-175	1.20	
-0.12	-75	1.20	
0.00	0	1.05	
0.27	175	1.05	
0.34	225	-0.05	
0.77	600	0.05	
1.16	750	0.05	

MINIMUM CURVE	UI	Time	Amp.
-0.77	-500	-0.05	
-0.23	-150	-0.05	
-0.23	-150	0.50	
-0.15	-100	0.95	
0.00	0	0.95	
0.15	100	0.90	
0.23	150	0.50	
0.23	150	-0.45	
0.46	300	-0.45	
0.61	430	-0.26	
0.93	600	-0.05	
1.16	750	-0.05	

图5-7. E1发送脉冲模板



5.4.2 LIU发送前端

建议按照图5-8和表5-5配置发送器LIU。

图5-8. LIU前端

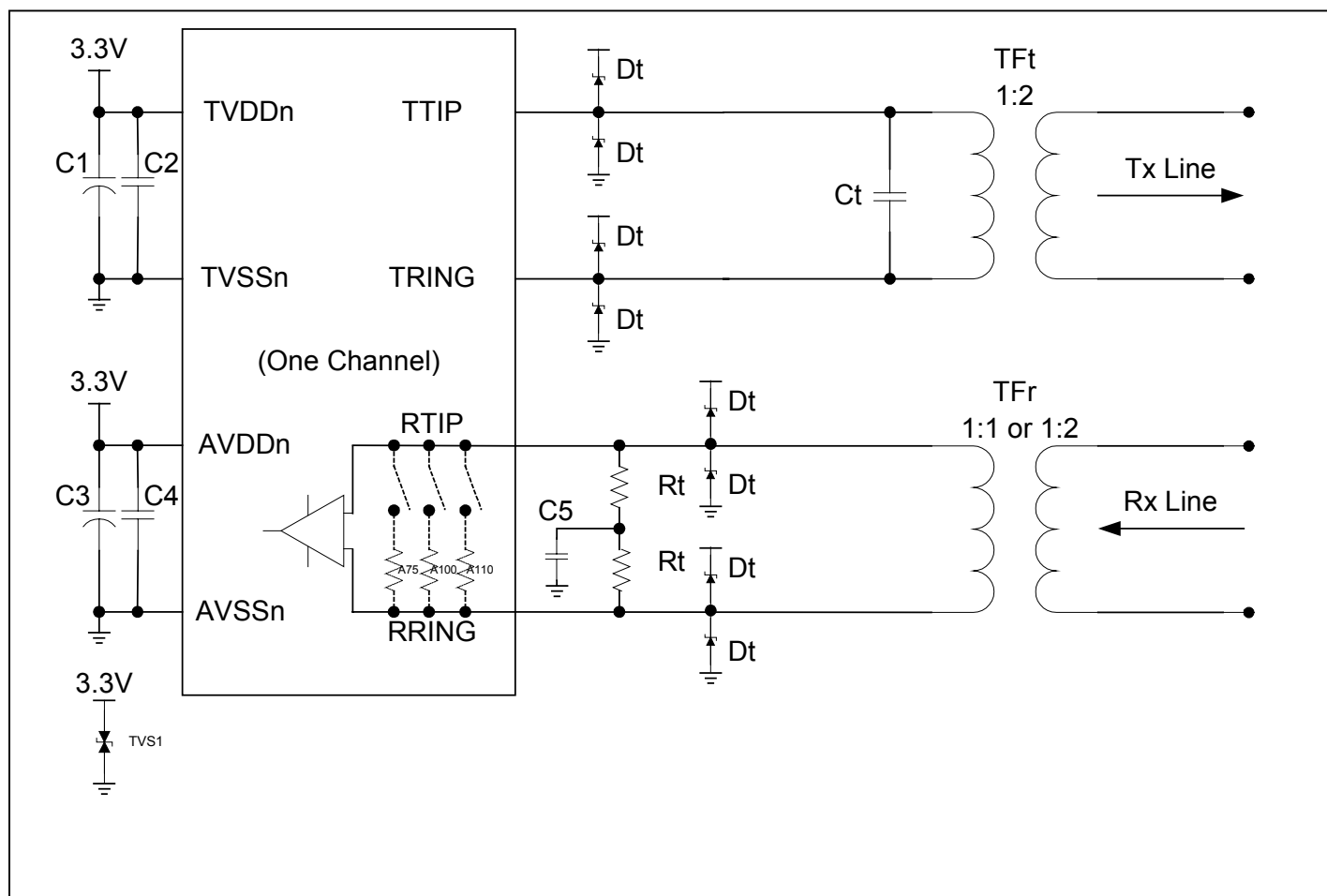


表5-5. LIU前端取值

MODE	COMPONENT	75Ω COAX, 120Ω TWISTED PAIR, 100/110Ω TWISTED PAIR
Tx Capacitance	Ct	560pF typical. Adjust for board parasitics for optimal return loss.
Tx Protection	Dt ¹	International Rectifier 11DQ04 or 10BQ060 Motorola MBR0540T1
Rx Transformer RTR 1:1	TFR	Pulse TX1475
Tx Transformer 1:2	TFt	Halo TG83-S005NU
Rx Transformer RTR 1:2	TFR	Pulse T1124 (0°C to +70°C)
Tx Transformer 1:2	TFt	Pulse T1114 (-40°C to +85°C)
Tx Decoupling (TVDDn)	C1	Common decoupling for all 16 channels = 68μF.
Tx Decoupling (TVDDn)	C2	Recommended decoupling per channel = 0.1μF.
Rx Decoupling (AVDD)	C3	Common decoupling for all 16 channels = 68μF.
Rx Decoupling (AVDD)	C4	Decouple all six pins separately with a 0.1μF capacitor.
Rx Termination	C5 ¹	Rx capacitance for all 16 channels = 0.1μF.
Rx Termination RTR 1:1	Rt ¹	Needed two resistors for all modes = 60.4Ω ±1%.
Rx Termination RTR 1:2	Rt ¹	Needed two resistors for all modes = 15.0Ω ±1%.
Voltage Protection	TVS1	SGS-Thomson SMLVT 3V3 (3.3V Transient Suppressor)

¹必要时使用。

5.4.3 双极性摆幅模式

双极性摆幅由系统侧的TPOS、TNEG和TCLK引脚构建。如图9-12所示，在TCLK下降沿对NRZ数据进行采样。不允许零替换B8ZS或HDB3。脉冲整形后，TPOS引脚的数据将由TTIP输出，TNEG引脚的数据由TRING输出。单摆幅选择寄存器(SRMS)用于选择双极性摆幅或单极性摆幅模式。通过设置BERT控制寄存器(BTCR)，在维护模式下，可重写到达TPOS和TNEG的数据。

5.4.4 单极性摆幅模式

单极性摆幅由系统侧的TPOS、TNEG和TCLK引脚构建。如图9-12所示，在TCLK下降沿对NRZ数据进行采样。允许零替换B8ZS或HDB3。脉冲整形后，在TTIP和TRING引脚对TPOS数据以AMI或者B8ZS/HDB3格式编码。单极性模式选择(SRMS)用于选择双极性或单极性摆幅模式。通过设置BERT控制寄存器(BTCR)，在维护模式下，可重写到达TPOS的数据。

5.4.5 零抑制—B8ZS或HDB3

器件处于T1模式时，选择B8ZS编码(由IS寄存器的TS2、TS1和TS0位进行选择)。单极性摆幅模式下的默认状态为B8ZS/HDB3编码。置位LCS寄存器的LCS禁止B8ZS/HDB3。注意，如果每个LIU配置E1模式，将选择替换HDB3编码。只有B8ZS或者HDB3编码关闭后，可通过BEIR寄存器或发送维护寄存器设置插入双极性违规码。

B8ZS替换按照ANSI T1.102标准定义，HDB3按照ITU-T G.703标准定义。

5.4.6 发送关断

如果TPDE中的相关位置位，发送器将关断。当TPDE置位后，TTIP/TRING输出为高阻抗。

5.4.7 发送全1

当使能发送全1后，以MCLK为时序基准连续发送1。忽略TPOS和TNEG的输入数据。

设置TAOE寄存器可实现发送全1。同样，如果寄存器ATAOS中的位被置位，也可以发送全1，相应的接收器进入状态寄存器LOSS中的LOS状态。

5.4.8 驱动器故障监控

驱动器故障监控引脚连接至TTIP和TRING引脚，该功能检测发送变压器次级的短路或者开路。如果检测到短路，驱动电流将被限制为50mA。DFMS状态寄存器以及相应的中断和使能寄存器可用于监控驱动器故障。

5.5 接收器

DS26324的16个接收器完全一样。接收侧可使用2:1或者1:1的变压器 (由RTR位进行选择)。DS26324全部由软件选择E1和T1/J1模式，而不用改动接收侧的任何外部电阻。接收阻抗匹配设置由发送模板/阻抗选择进行控制。参见图5-8和表5-5的外部元件值。通过RIMPON位使能内部阻抗匹配。

峰值探测器和数据限幅器处理接收到的信号。数据限幅器将数据输出至时钟和数据恢复电路。2.048/1.544 PLL在内部通过另一个内部PLL乘以16后，输出到时钟恢复系统，驱动E1或T1时钟。时钟恢复系统使用来自PLL的时钟，形成一个16倍过采样器，用于恢复时钟和数据。这种过采样技术具有优异的性能，满足抖动容限规范。根据选项设置，进行B8ZS/HDB3/AMI解码。解码后的数据提供给单极性摆幅或双极性摆幅模式下的系统侧。通过设置SRMS寄存器选择单极性摆幅或双极性摆幅模式。

接收器可恢复经过18dB衰减的信号，接收器还能够提供高达20dB的监控模式电阻增益。

5.5.1 接收器监控模式

接收均衡器具有监控模式，支持20dB的电阻增益，以及6dB至24dB的电缆衰减，如RSMM1-4寄存器所示。

5.5.2 峰值探测器和限幅器

限幅器确定接收数据到达，以及数据极性。限幅器的输出送至时钟和数据恢复电路，提取数据和时钟。限幅器带有内部峰值探测器，用于确定限幅器阈值。

5.5.3 接收电平指示器

DS26324通过表6-17所描述的RSL1-4寄存器的CnRL3-CnRL0位报告RTIP的信号强度，以及RRING的增量。

5.5.4 时钟和数据恢复

由2.048/1.544 PLL得到的合成E1或T1时钟在内部通过另一个PLL乘以16后，送入时钟恢复系统。时钟恢复系统使用来自PLL电路的时钟，形成一个16倍过采样器，用于恢复时钟和数据。这种过采样技术可实现优异的性能，满足抖动容限指标。

5.5.5 信号丢失检测

DS26324同时使用数字和模拟丢失检测，以符合T1/J1模式的最新T1.231规范，以及E1模式的G.775或ETSI 300 233规范。

如果接收电平持续低于阈值一段时间，则判断为LOS状态；也可以认为接收到了一串“0”。信号电平和持续时间符合T1.231、G.775或ETSI 300 233规范的定义。

信号丢失检测阈值基于T1和E1模式的18dB电缆损耗。

接收器检测到信号丢失后，由MCLK替代RCLK。如果GC寄存器的AISEL置位，或者IAISEL置位，RPOS/RNEG数据被AIS替代。当接收器检测到信号电平比丢失检测门限高出一定数值后，退出丢失状态。丢失检测信号电平和丢失复位信号电平带有滞回，以防止接收器在“LOS”和“no LOS”状态之间反复切换。

下表列出了信号丢失检测的规范。

表5-6. T1.231、G.775和ETSI 300 233规范的信号丢失标准

CRITERIA	STANDARD		
	T1.231	ITU G.775	ETSI 300 233
Loss Detection Criteria	No pulses are detected for 175 $\pm$ 75 bits.	No pulses are detected for duration of 10 to 255 bit periods.	No pulses are detected for a duration of 2048 bit periods or 1ms.
Loss Reset Criteria	Loss is terminated if a duration of 12.5% ones are detected over duration of 175 $\pm$ 75 bits. Loss is not terminated if 8 consecutive zeros are found if B8ZS encoding is used. If B8ZS is not used loss is not terminated if 100 consecutive pulses are zero.	The incoming signal has transitions for duration of 10 to 255 bit periods.	Loss reset criteria is not defined.

5.5.5.1 T1和J1模式的ANSI T1.231

如果接收信号电平低于200mV，并持续192位周期，则认为信号丢失。如果符合以下所有条件，则LOS复位：

- 在192位周期内检测到1的数量在24个以上，RTIP和RRING的检测门限为300mV。
- 在192位周期内检测到连续0的数量少于100。
- 如果B8ZS置位，没有检测到连续的8个0。

5.5.5.2 E1模式的ITU G.775

如果接收信号电平低于200mV，并持续192位周期，则认为信号丢失。如果接收信号电平大于300mV，持续192位周期，则LOS复位。

5.5.5.3 E1模式的ETSI 200 233

如果接收信号电平低于200mV，持续2048位周期(1ms)，则认为信号丢失。如果接收信号电平大于300mV，持续192位周期，则LOS复位。

5.5.6 AIS

[表5-7](#)列出了DS26324 AIS的相关规范。[表5-8](#)说明DS26324的AIS功能。与AIS检测相关的寄存器列于[表5-9](#)。

表5-7. T1.231, G.775和ETSI 300 233规范的AIS标准

CRITERIA	STANDARD		
	ITU G.775 for E1	ETSI 300 233 for E1	ANSI T1.231 for T1
AIS Detection Criteria	2 or fewer zeros in each of 2 consecutive 512-bit streams received.	Less than 3 zeros detected in 512-bit period.	Fewer than 9 zeros detected in a 8192-bit period (a ones density of 99.9% over a period of 5.3ms) are received.
AIS Clearance Criteria	3 or more zeros in each of 2 consecutive 512-bit streams received.	3 or more zeros in a 512 bits received.	9 or more zeros detected in a 8192-bit period are received.

表5-8. AIS检测和复位标准

CRITERIA	STANDARD		
	ITU G.775 for E1	ETSI 300 233 for E1	ANSI T1.231 for T1
AIS Detection Criteria	2 or less zeros in each of 2 consecutive 512-bit streams received.	Less than 3 zeros detected in 512-bit period.	Fewer than 9 zeros contained in 8192 bits.
AIS Clearance Criteria	3 or more zeros in each of 2 consecutive 512-bit streams received.	3 or more zeros in 512 bits received.	9 or more bits received in a 8192-bit stream.

表5-9. 与AIS检测相关的寄存器

REGISTER	ACRONYM POINTER	FUNCTIONALITY
LOS/AIS Criteria	LASCS	Section criteria for AIS (T1.231, G.775, ETSI 300 233 for E1)
AIS Register	AIS	Set when AIS is detected.
AIS Enable Register	AISIE	If reset interrupt due to AIS is not generated.
AIS Interrupt	AISI	Latched if there is a change in AIS and the interrupt is enabled.

5.5.7 双极性违规(BPV)和多零检测器(EXZ)

DS26324检测编码违规、BPV和零过多错误。RNEGn/CVn引脚报告错误。

B8ZS使能后，如果检测到连续8个零，则认为出现零过多错误；HDB3使能后，如果检测到连续4个零，则认为出现零过多错误。选择了单极性摆幅模式和HDB3/B8ZS编/解码时，零过多检测功能可选。

[EZDE](#)和[CVDEB](#)寄存器中的位决定所报告的内容，[表5-10](#)列出了这一功能：

表5-10. BPV、编码违规和多零错误报告

CONDITIONS	CVn PIN REPORTS
EZDE is reset, CVDEB is reset	BPV + Code violation
EZDE is set, CVDEB is reset	BPV + Code violation + Excessive zero
EZDE is reset, CVDEB is set	BPV
EZDE is set, CVDEB is set	BPV + Excessive zero

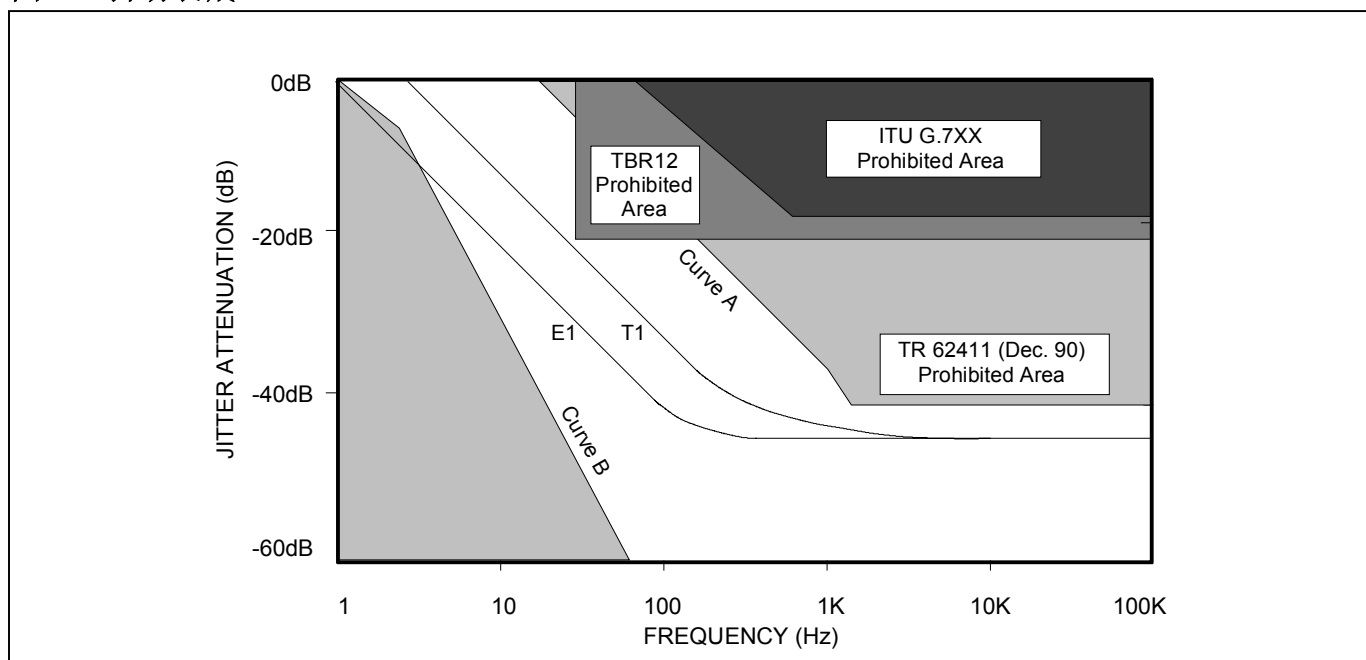
5.6 抖动衰减器

DS26324含有一个板上抖动衰减器，通过寄存器[GC](#)中的JADS位，深度设置为32位或128位。通过设置[IJAFDS](#)寄存器，在每个LIU中控制该衰减器。

128位模式用于需要较大漫游范围的应用，32位模式用于对延时敏感的应用。衰减特性示于[图5-9](#)。通过设置寄存器[GC](#)的JAPS和JAE位，可以将抖动衰减器放在接收通道，或发送通道，或不使用抖动衰减器。设置[IJAPS](#)和[IJAE](#)，在每个LIU中可修改这些选择。

为保证抖动衰减器正常工作，在MCLK上必须出现2.048MHz或其倍频时钟，或1.544MHz或其倍频时钟。ITU规范G.703要求T1和E1应用的精度为 ± 50 ppm。TR62411和ANSI规范要求T1接口的精度为 ± 32 ppm。板上电路调节从时钟/数据恢复模块中恢复的时钟，或从TCLK引脚时钟平滑产生的无抖动时钟，用于同步抖动衰减器FIFO的数据输出。如果抖动衰减器位于发送侧，可以在TCLK引脚上出现一个带抖动的时钟。如果接收到的时钟抖动超过了120UI_{P-P} (缓冲深度是128位) 或28UI_{P-P} (缓冲深度是32位)，那么，DS26324对内部32.768MHz (E1)或者24.704MHz (T1)时钟进行15或17分频，而不是标称值16分频，以防止缓冲溢出。当器件经过15或17分频后，也同时将[IJAFLT](#)寄存器说明的抖动衰减器限制门限(JALT)位置位。

图5-9. 抖动衰减



5.7 G.772监控

在该应用中，只有14个收发器正常工作，其他两个收发器用于对14个通道的输入和输出进行非介入式监控。通道9用于通道10至16，通道1用于通道2至8。G.772监控由GMC寄存器进行配置(参见表6-9)。可通过远端环回配置监控通道1，监控信号在TTIP1和TRING1上输出。可通过远端环回配置监控通道9，监控信号由TTIP9和TRING9输出。

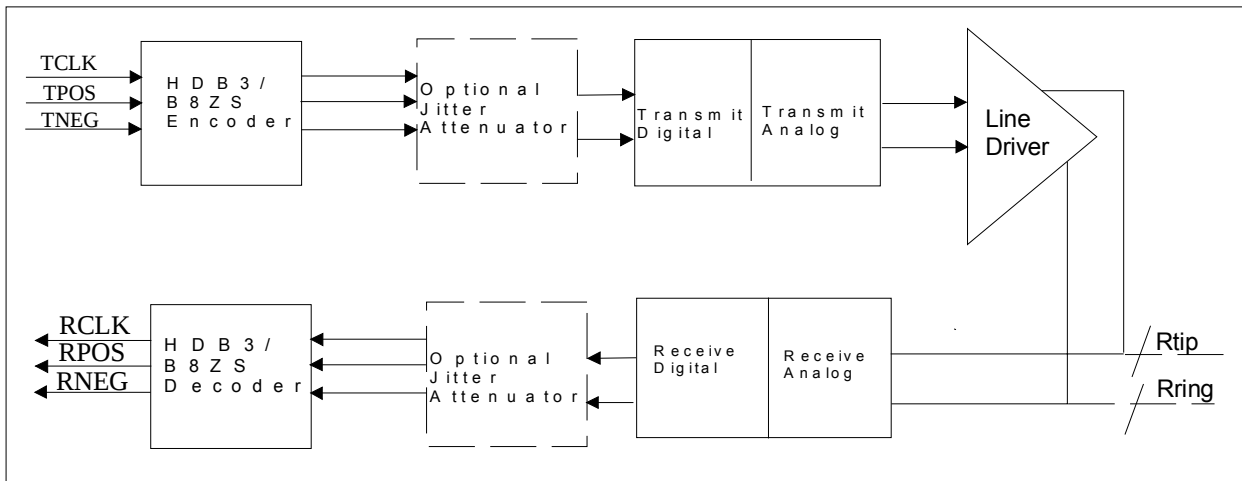
5.8 环回

DS26324提供4种环回用于诊断目的：模拟环回、数字环回、远端环回和双环回。同时打开数字环回和远端环回便是双环回。

5.8.1 模拟环回

发送器模拟输出TTIP和TRING环回至接收器的RTIP和RRING。模拟环回时，忽略RTIP的数据和振铃。如图5-10所示。

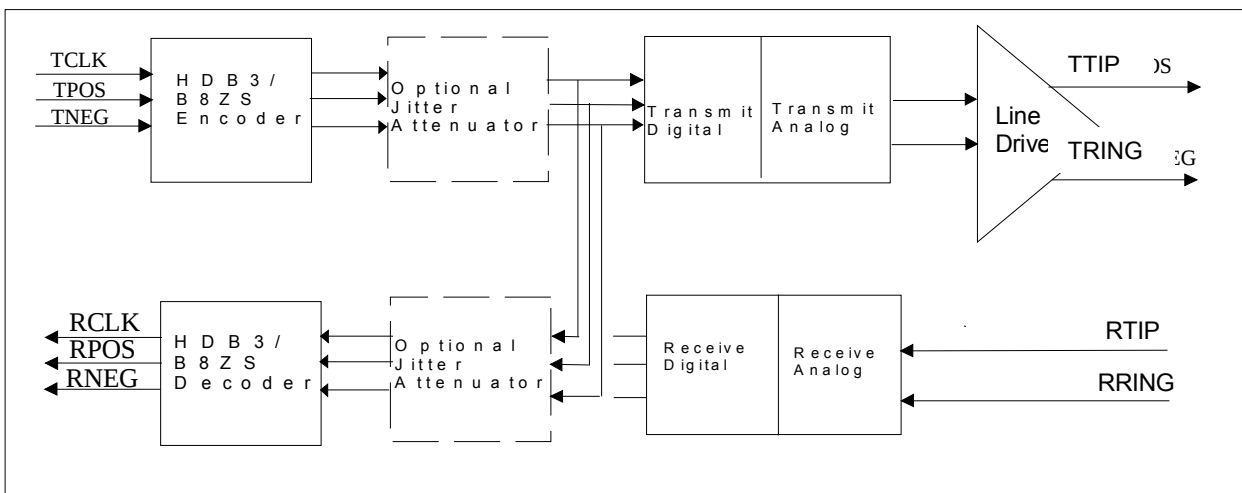
图5-10. 模拟环回



5.8.2 数字环回

发送系统数据TPOS、TNEG和TCLK环回至RCLK、RPOS和RNEG的输出。对TPOS和TNEG的数据输入进行编码，由TTIP和TRING输出，忽略RTIP和RRING上的信号。这种环回的概念示于图5-11。

图5-11. 数字环回

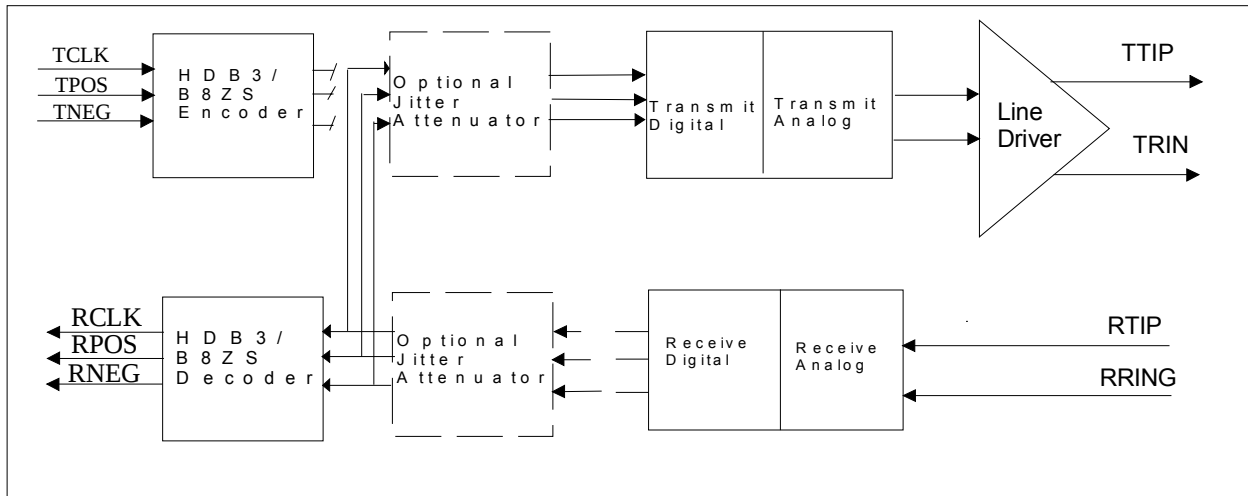


5.8.3 远端环回

RTIP和RRING的输入环回至TTIP和TRING。远端环回期间，忽略TCLK、TPOS和TNEG的输入。这种环回概念示于图5-12。

注：远端环回优先级并不高于发送关断，需要TCLK保持工作。发送器将使用远端环回恢复的RCLK。此时仍然需要TCLK，因为一旦去掉该时钟，发送器将关断(TCLK保持低电平)，或发送全1 (TCLK保持高电平)。

图5-12. 远端环回



5.9 BERT

DS26324提供两个误码率测试器。通过设置BTCCR寄存器，一个BERT可映射至LIU 1-8，另一个映射至LIU 9-16。两个BERT彼此独立工作。

5.9.1 概述

BERT是软件可编程测试模板发生器和监控器，能够满足大部分数字传输设备的误码性能要求。按照多项式： $x^n + x^y + 1$ 产生并同步伪随机模板，其中，n和y取值范围是1至32，最大长度为32位的重复模板。

在发送方向产生可编程测试模板，在数据流中插入测试模板有效负荷。

在接收方向，从接收数据流中提取测试模板有效负荷，并监控可编程测试模板的负荷。

特性

- **可编程PRBS模板** – 可以对伪随机序列 (PRBS) 多项式 ($x^n + x^y + 1$) 和码元进行编程 (长度n = 1至32，抽头y = 1至n - 1，码元 = 0至 $2^n - 1$)。
- **可编程重复模板** – 可以对重复模板长度和模板进行编程(长度n = 1至32，模板 = 0至 $2^n - 1$)。
- **24位误码计数和32位计数寄存器。**
- **可编程误码插入** – 可在引脚跳变或特定速率下分别插入误码。可对速率 $1/10^n$ 进行编程 (n = 1 至 7)。
- **10^{-3} BER的模板同步** – 即使在 10^{-3} 误码率 (BER)下，也可以实现模板同步。

5.9.2 配置和监控

设置BPCR.BERTE = 1，使能BERT。下表显示了怎样配置板上BERT，以发送和接收通用模式。

表5-11. 伪随机模板产生

PATTERN TYPE	BPCR REGISTER				BERT. PCR	BERT. SPR2	BERT. SPR1	BERT.CR
	PTF[4:0] (hex)	PLF[4:0] (hex)	PTS	QRSS				TPIC, RPIC
2 ⁹ -1 O.153 (511 type)	04	08	0	0	0x0408	0xFFFF	0xFFFF	0
2 ¹¹ -1 O.152 and O.153 (2047 type)	08	0A	0	0	0x080A	0xFFFF	0xFFFF	0
2 ¹⁵ -1 O.151	0D	0E	0	0	0x0D0E	0xFFFF	0xFFFF	1
2 ²⁰ -1 O.153	10	13	0	0	0x1013	0xFFFF	0xFFFF	0
2 ²⁰ -1 O.151 QRSS	02	13	0	1	0x0253	0xFFFF	0xFFFF	0
2 ²³ -1 O.151	11	16	0	0	0x1116	0xFFFF	0xFFFF	1

表5-12. 重复模板产生

PATTERN TYPE	BPCR REGISTER				BERT. PCR	BERT. SPR2	BERT. SPR1
	PTF[4:0] (hex)	PLF[4:0] (hex)	PTS	QRSS			
All ones	NA	00	1	0	0x0020	0xFFFF	0xFFFF
All zeros	NA	00	1	0	0x0020	0xFFFF	0xFFFFE
Alternating ones and zeros	NA	01	1	0	0x0021	0xFFFF	0xFFFFE
Double alternating and zeros	NA	03	1	0	0x0023	0xFFFF	0xFFFFC
3 in 24	NA	17	1	0	0x0037	0xFF20	0x0022
1 in 16	NA	0F	1	0	0x002F	0xFFFF	0x0001
1 in 8	NA	07	1	0	0x0027	0xFFFF	0xFF01
1 in 4	NA	03	1	0	0x0023	0xFFFF	0xFFF1

完成位配置后，必须将模板装入BERT。通过BCR.TNPL和BCR.RNPL由零至1的跳变实现。

监控BERT需要读取BSR寄存器，该寄存器含有误码计数(BEC)位和同步丢失(OOS)位。当误码计数器的计数值大于等于1时，BEC为1。当接收模板发生器没有与接收到的模板同步时 (在64位窗口中至少接收到6位误码时，将出现这一情况)，OOS置1。接收BERT位计数寄存器(RBCR)和接收BERT误码计数寄存器(RBECR)将根据接收到的性能监控更新信号(例如，BCR.LPMU)进行刷新。这一信号将以上次更新后的计数器值刷新寄存器并复位计数器。

5.9.3 接收模板检测

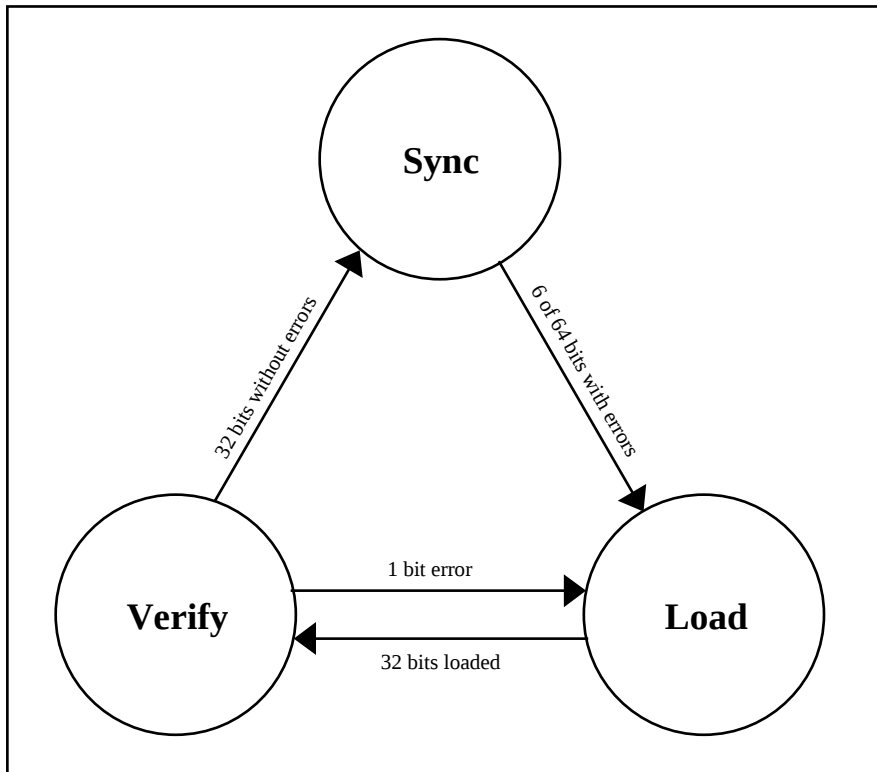
接收BERT仅接收有效负荷数据，将接收模板发生器同步到接收到的模板。接收模板发生器是一个32位移位寄存器，从最低有效位(LSB)或第1位移位至最高有效位(MSB)或第32位。第1位输入是反馈。对于PRBS模板(生成多项式 $x^n + x^y + 1$)，反馈是第n位于第y位的异或。对于重复模板(长度n)，反馈是第n位。可分别编程n和y的数值(1至32)。接收模板发生器的输出是反馈。如果使能QRSS，反馈是第17位和第20位的异或，如果后面的14位为零，将迫使输出为1。可对QRSS进行编程(打开或关闭)。对于PRBS和QRSS模板，如果第1位至第31位为零，将迫使反馈为1。根据所设置的模板类型，模板检测进行PRBS同步或重复模板同步。

5.9.3.1 接收PRBS同步

PRBS同步使接收模板发生器与接收到的PRBS或QRSS保持同步。通过将32位数据流装入接收模板发生器使其同步，然后检查后面的32位数据流。如果所有32位数据与收到的模板匹配，则达到同步。如果在当前的64位窗口中，至少有6位接收到的数据与接收模板发生器不一致，则进行初始化重新自动同步模板。可禁用自动重新同步功能。

请参考图5-13所示的PRBS同步。

图5-13. PRBS同步状态图

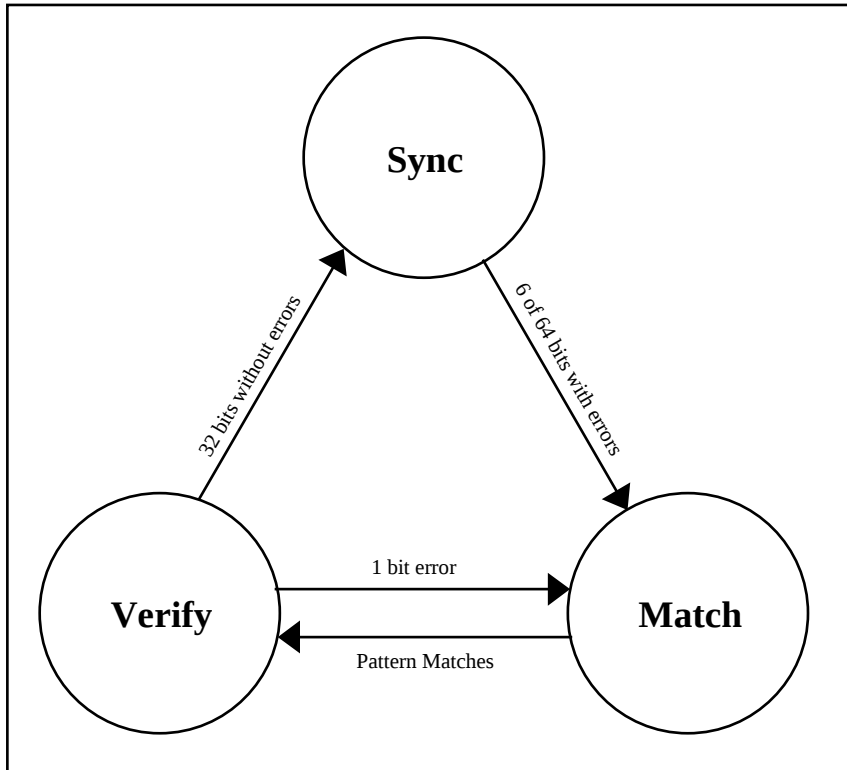


5.9.3.2 接收重复模板同步

重复模板同步使接收模板发生器与接收到的重复模板保持同步。通过搜索重复模板每一到达数据位的位置，然后检查后续32位数据流实现接收模板发生器的同步。如果所有32位数据与输入模板匹配，则实现同步。如果在当前的64位窗口中，至少有6位数据与接收PRBS模板发生器不匹配，则进行初始化，自动重新同步模板。可禁用自动模板重新同步功能。

图5-14所示为重复模板同步状态图。

图5-14. 重复模板同步状态图



5.9.3.3 接收模板监控

接收模板监控功能监控到达数据流的OOS状态以及误码，并对收到的位数进行计数。同步状态机不在“同步”状态时，则声明同步丢失(OOS)。当同步状态机处于“同步”状态时，退出OOS。

通过对比到达数据流和接收模板发生器输出确定误码。如果二者不匹配，则报告产生一个误码，同时递增误码和位计数器。如果二者匹配，只有位计数器递增。当出现OOS状况时，位计数和误码计数不会递增。

5.9.4 发送模板产生

模板发生器提供发送测试模板，并传递给误码插入。发送模板发生器是一个32位移位寄存器，从最低有效位(LSB)或第1位移位至最高有效位(MSB)或第32位，第1位输入是反馈。对于PRBS模板(生成多项式 $x^n + x^y + 1$)，反馈是第n位和第y位的异或。对于重复模板(长度n)，反馈是第n位。可分别编程n和y的数值(1至32)。接收模板发生器的输出是反馈。如果使能QRSS，反馈是第17和第20的异或，如果后面的14位全部为零，将迫使输出为1。可对QRSS进行编程(打开或关闭)。对于PRBS和QRSS模板，如果第1位至第31全部为零，将迫使反馈为1。当装入新模板时，在模板发生器启动前，将种子/模板数值装入模板发生器。可对种子/模板数值进行编程($0 - 2^n - 1$)。

5.9.4.1 发送误码插入

误码插入是在发送模板数据流中插入误码。可一次插入一个误码，也可以每 10^n 位插入一个误码。可对n值进行编程(1至7或关闭)。可以从微处理器接口初始化单误码插入，也可以通过手动误码插入输入 (TMEI)。可对单误码插入进行设置(寄存器或输入)。如果使能了模板置反，在插入前导码/填充位之前，数据流置反。可对模板置反功能进行编程(打开或关闭)。

6 寄存器和定义

6个地址位用于控制寄存器设置。在并行非复用模式下使用地址[5:0]；在复用模式下使用AD[5:0]，串行模式下使用A[6:1]。寄存器空间包括两组独立的寄存器。地址00h至1Fh是低阶寄存器组，对LIU 1-8进行控制。高阶寄存器组是低阶寄存器组的复制，位于地址20h至3Fh，控制LIU 9-16。每一寄存器组含有4个区域(主区域、第二区域、独立的LIU和BERT)。低阶寄存器组的ADDP寄存器位于地址1Fh。该寄存器用作指针，访问低阶(LIU 1-8) 寄存器组的4个寄存器区。同样，高阶寄存器组的ADDP寄存器位于地址3Fh。该寄存器用作指针，访问高阶(LIU 9-16) 寄存器组的4个寄存器区。将ADDP寄存器设置为AAh，可访问寄存器第二区域，设置为01h，访问寄存器的独立LIU区域，设置为02h，访问寄存器的BERT区域，设置为00h (上电默认值)，访问寄存器的主区域。注意，低阶寄存器组的区域选择仅由1Fh的ADDP进行控制，高阶寄存器组的区域选择仅由3Fh的ADDP进行控制。

表6-1. 主寄存器组

NAME	SYMBOL	HEX FOR CH 1-8	ADDRESS FOR CH 1-8		HEX FOR CH 9-16	ADDRESS FOR CH 9-16		RW
			PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)		PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)	
Identification	ID	00	xx000000	x000000	20	Not used	Not used	R
Analog Loopback Configuration	ALBC	01	xx000001	x000001	21	xx100001	x100001	RW
Remote Loopback Configuration	RLBC	02	xx000010	x000010	22	xx100010	x100010	RW
Transmit All Ones Enable	TAOE	03	xx000011	x000011	23	xx100011	x100011	RW
LOS Status	LOSS	04	xx000100	x000100	24	xx100100	x100100	R
Driver Fault Monitor Status	DFMS	05	xx000101	x000101	25	xx100101	x100101	R
LOS Interrupt Enable	LOSIE	06	xx000110	x000110	26	xx100110	x100110	RW
Driver Fault Monitor Interrupt Enable	DFMIE	07	xx000111	x000111	27	xx100111	x100111	RW
LOS Interrupt Status	LOSIS	08	xx001000	x001000	28	xx101000	x101000	R
Driver Fault Monitor Interrupt Status	DFMIS	09	xx001001	x001001	29	xx101001	x101001	R
Software Reset	SWR	0A	xx001010	x001010	2A	xx101010	x101010	W
G.772 Monitor Configuration	GMC	0B	xx001011	x001011	2B	xx101011	x101011	RW
Digital Loopback Configuration	DLBC	0C	xx001100	x001100	2C	xx101100	x101100	RW
LOS/AIS Criteria Selection	LASCS	0D	xx001101	x001101	2D	xx101101	x101101	RW
Automatic Transmit All Ones Select	ATAOS	0E	xx001110	x001110	2E	xx101110	x101110	RW
Global Configuration	GC	0F	xx001111	x001111	2F	xx101111	x101111	RW
Template Select Transceiver Register	TST	10	xx010000	x010000	30	xx110000	x110000	RW
Template Select	TS	11	xx010001	x010001	31	xx110001	x110001	RW
Output Enable	OE	12	xx010010	x010010	32	xx110010	x110010	RW
Alarm Indication Signal	AIS	13	xx010011	x010011	33	xx110011	x110011	R
AIS Interrupt Enable	AISIE	14	xx010100	x010100	34	xx110100	x110100	RW
AIS Interrupt Status	AISIS	15	xx010101	x010101	35	xx110101	x110101	R
Reserved	—	16-1E	xx010110- xx011110	x010110- x011110	36-3E	xx110110- x111110	x110110- x111110	—
Address Pointer for Bank Selection	ADDP	1F	xx011111	x011111	3F	xx111111	x111111	RW

表6-2. 第二寄存器组

NAME	SYMBOL	HEX FOR CH 1-8	ADDRESS FOR CHANNELS 1-8		HEX FOR CH 9-16	ADDRESS FOR CHANNELS 9-16		RW
			PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)		PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)	
Single-Rail Mode Select	SRMS	00	xx000000	x000000	20	xx100000	x100000	RW
Line Code Selection	LCS	01	xx000001	x000001	21	xx100001	x100001	R
Not Used	—	02	xx000010	x000010	22	xx100010	x100010	R
Receive Power-Down Enable	RPDE	03	xx000011	x000011	23	xx100011	x100011	RW
Transmit Power-Down Enable	TPDE	04	xx000100	x000100	24	xx100100	x100100	RW
Excessive Zero Detect Enable	EZDE	05	xx000101	x000101	25	xx100101	x100101	R
Code Violation Detect Enable Bar	CVDEB	06	xx000110	x000110	26	xx100110	x100110	R
Not Used	—	07-1E	xx000111- xx011110	x000111- x011110	27-3E	xx100111- xx111110	x100111- x111110	W
Address Pointer for Bank Selection	ADDP	1F	xx011111	x011111	3F	xx111111	x111111	RW

表6-3. 独立LIU寄存器组

NAME	SYMBOL	HEX FOR CH 1-8	ADDRESS FOR CHANNELS 1-8		HEX FOR CH 9-16	ADDRESS FOR CHANNELS 9-16		RW
			PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)		PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)	
Individual JA Enable	IJAE	00	xx000000	x000000	20	xx100000	x100000	RW
Individual JA Position Select	IJAPS	01	xx000001	x000001	21	xx100001	x100001	RW
Individual JA FIFO Depth Select	IJAFDS	02	xx000010	x000010	22	xx100010	x100010	RW
Individual JA FIFO Limit Trip	IJAFLT	03	xx000011	x000011	23	xx100011	x100011	R
Individual Short Circuit Protection Disable	ISCPD	04	xx000100	x000100	24	xx100100	x100100	RW
Individual AIS Select	IAISEL	05	xx000101	x000101	25	xx100101	x100101	RW
Master Clock Select	MC	06	xx000110	x000110	26	Not used	Not used	RW
Receive Sensitivity Monitor Mode 1-4	RSMM1-4	08-0B	xx001000- xx001011	x001000- x001011	28-2B	xx101000- xx101011	x101000- x101011	RW
Receive Signal Level Indicator 1-4	RSL1-4	0C-0F	xx001100- xx001111	x001100- x001111	2C-2F	xx101100- xx101111	x101100- x101111	R
Bit Error Rate Tester Control Register	BTCR	10	xx010000	x010000	30	xx110000	x110000	RW
Line Violation Detect Status	LVDS	12	xx010010	x010010	32	xx110010	x110010	R
Receive Clock Invert	RCLKI	13	xx010011	x010011	33	xx110011	x110011	RW
Transmit Clock Invert	TCLKI	14	xx010100	x010100	34	xx110100	x110100	RW
Clock Control Register	CCR	15	xx010101	x010101	35	Not used	Not used	RW
RCLK Disable Upon LOS Register	RDULR	16	xx010110	x010110	36	xx110110	x110110	RW
Global Interrupt Status Control	GISC	1E	xx011110	x011110	3E	Not used	Not used	RW
Address Pointer for Bank Selection	ADDP	1F	xx011111	x011111	3F	xx111111	x111111	RW

表6-4. BERT寄存器组

NAME	SYMBOL	HEX FOR CH 1-8	ADDRESS FOR CHANNELS 1-8		HEX FOR CH 9-16	ADDRESS FOR CHANNELS 9-16		RW
			PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)		PARALLEL INTERFACE A7-A0 (HEX)	SERIAL INTERFACE A7-A1 (HEX)	
BERT Control Register	BCR	00	xx000000	x000000	20	xx100000	x100000	RW
Reserved	—	01	xx000001	x000001	21	xx100001	x100001	
BERT Pattern Configuration 1	BPCR1	02	xx000010	x000010	22	xx100010	x100010	RW
BERT Pattern Configuration 2	BPCR2	03	xx000011	x000011	23	xx100011	x100011	RW
BERT Seed/Pattern 1	BSPR1	04	xx000100	x000100	24	xx100100	x100100	RW
BERT Seed/Pattern 2	BSPR2	05	xx000101	x000101	25	xx100101	x100101	RW
BERT Seed/Pattern 3	BSPR3	06	xx000110	x000110	26	xx100110	x100110	RW
BERT Seed/Pattern 4	BSPR4	07	xx000111	x000111	27	xx100111	x100111	RW
Transmit Error Insertion Control	TEICR	08	xx001000	x001000	28	xx101000	x101000	RW
Reserved	—	09-0A	xx001001- x001010	—	29-2A	xx101001- x101010	—	—
BERT Status Register	BSR	0C	xx001100	x001100	2C	xx101100	x101100	R
Reserved		0D	xx001101	x001101	2D	xx101101	x101101	
BERT Status Register Latched	BSRL	0E	xx010011	x010011	2E	xx110011	x110011	RW
BERT Status Register Interrupt Enable	BSRIE	10	xx010000	x010000	30	xx110000	x110000	RW
Reserved	—	11-13	xx010001- xx010011	x010001- x010011	31-33	xx110001- xx110011	x110001- x110011	—
Receive Bit Error Count Register 1	RBECR1	14	xx010100	x010100	34	xx110100	x110100	R
Receive Bit Error Count Register 2	RBECR2	15	xx010101	x010101	35	xx110101	x110101	R
Receive Bit Error Count Register 3	RBECR3	16	xx010110	x010110	36	xx110110	x110110	R
Receive Bit Error Count Register 4	RBECR4	17	xx010111	x010111	37	xx110111	x110111	R
Receive Bit Count Register 1	RBCR1	18	xx011000	x011000	38	xx111000	x111000	R
Receive Bit Count Register 2	RBCR2	19	xx011001	x011001	39	xx111001	x111001	R
Receive Bit Count Register 3	RBCR3	1A	xx011010	x011010	3A	xx111010	x111010	R
Receive Bit Count Register 4	RBCR4	1B	xx011011	x011011	3B	xx111011	x111011	R
Reserved	—	1C-1E	xx011100- xx011110	x011100- x011110	3C-3E	xx111100- xx111110	x111100- x111110	—
Address Pointer for Bank Selection	ADDP	1F	xx011111	x011111	3F	xx111111	x111111	RW

表6-5. 主寄存器组位

REGISTER	ADDRESS FOR LIU 1- 8	R/W	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ID	00	R	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
ALBC	01	RW	ALC8	ALBC7	ALBC6	ALBC5	ALBC4	ALBC3	ALBC2	ALBC1
RLBC	02	RW	RLBC8	RLBC7	RLBC6	RLBC5	RLBC4	RLBC3	RLBC2	RLBC1
TAOE	03	RW	TAOE8	TAOE7	TAOE6	TAOE5	TAOE4	TAOE3	TAOE2	TAOE1
LOSS	04	RW	LOSS8	LOSS7	LOSS6	LOSS5	LOSS4	LOSS3	LOSS2	LOSS1
DFMS	05	RW	DFMS8	DFMS7	DFMS6	DFMS5	DFMS4	DFMS3	DFMS2	DFMS1
LOSIE	06	RW	LOSIE8	LOSIE7	LOSIE6	LOSIE5	LOSIE4	LOSIE3	LOSIE2	LOSIE1
DFMIE	07	RW	DFMIE8	DFMIE7	DFMIE6	DFMIE5	DFMIE4	DFMIE3	DFMIE2	DFMIE1
LOSI8	08	R	LOSI8	LOSI7	LOSI6	LOSI5	LOSI4	LOSI3	LOSI2	LOSI1
DFMIS	09	R	DFMIS8	DFMIS7	DFMIS6	DFMIS5	DFMIS4	DFMIS3	DFMIS2	DFMIS1
SWR	0A	W	SWRL	SWRL	SWRL	SWRL	SWRL	SWRL	SWRL	SWRL
GMC	0B	RW	—	—	—	—	GMC4	GMC3	GMC2	GMC1
DLBC	0C	RW	DLBC8	DLBC7	DLBC6	DLBC5	DLBC4	DLBC3	DLBC2	DLBC1
LASCS	0D	RW	LASCS8	LASCS7	LASCS6	LASCS5	LASCS4	LASCS3	LASCS2	LASCS1
ATAOS	0E	RW	ATAOS8	ATAOS7	ATAOS6	ATAOS5	ATAOS4	ATAOS3	ATAOS2	ATAOS1
GC	0F	RW	—	AISEL	SCPD	CODE	JADS	RTCTL	JAPS	JAE
TST	10	RW	—	—	—	—	—	TST2	TST1	TST0
TS	11	RW	RIMPON	TIMPOFF	—	—	TIMPRM	TS2	TS1	TS0
OE	12	RW	OE8	OE7	OE6	OE5	OE4	OE3	OE2	OE1
AIS	13	R	AIS8	AIS7	AIS6	AIS5	AIS4	AIS3	AIS2	AIS1
AISIE	14	RW	AISIE8	AISIE7	AISIE6	AISIE5	AISIE4	AISIE3	AISIE2	AISIE1
AISI	15	R	AISI8	AISI7	AISI6	AISI5	AISI4	AISI3	AISI2	AISI1
Not Used	16-1E	—	—	—	—	—	—	—	—	—
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

REGISTER	ADDRESS FOR LIUs 9-16	R/W	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Not Used	20	R	—	—	—	—	—	—	—	—
ALBC	21	RW	ALC16	ALBC15	ALBC14	ALBC13	ALBC12	ALBC11	ALBC10	ALBC9
RLBC	22	RW	RLBC16	RLBC15	RLBC14	RLBC13	RLBC12	RLBC11	RLBC10	RLBC9
TAOE	23	RW	TAOE16	TAOE15	TAOE14	TAOE13	TAOE12	TAOE11	TAOE10	TAOE9
LOSS	24	RW	LOSS16	LOSS15	LOSS14	LOSS13	LOSS12	LOSS11	LOSS10	LOSS9
DFMS	25	RW	DFMS16	DFMS15	DFMS14	DFMS13	DFMS12	DFMS11	DFMS10	DFMS9
LOSIE	26	RW	LOSIE16	LOSIE15	LOSIE14	LOSIE13	LOSIE12	LOSIE11	LOSIE10	LOSIE9
DFMIE	27	RW	DFMIE16	DFMIE15	DFMIE14	DFMIE13	DFMIE12	DFMIE11	DFMIE10	DFMIE9
LOSI8	28	R	LOSI8	LOSI15	LOSI14	LOSI13	LOSI12	LOSI11	LOSI10	LOSI9
DFMIS	29	R	DFMIS16	DFMIS15	DFMIS14	DFMIS13	DFMIS12	DFMIS11	DFMIS10	DFMIS9
SWR	2A	W	SWRU	SWRU	SWRU	SWRU	SWRU	SWRU	SWRU	SWRU
GMC	2B	RW	—	—	—	—	GMC4	GMC3	GMC2	GMC1
DLBC	2C	RW	DLBC16	DLBC15	DLBC14	DLBC13	DLBC12	DLBC11	DLBC10	DLBC9
LASCS	2D	RW	LASCS16	LASCS15	LASCS14	LASCS13	LASCS12	LASCS11	LASCS10	LASCS9
ATAOS	2E	RW	ATAOS16	ATAOS15	ATAOS14	ATAOS13	ATAOS12	ATAOS11	ATAOS10	ATAOS9
GC	2F	RW	—	AISEL	SCPD	CODE	JADS	—	JAPS	JAE
TST	30	RW	—	—	—	—	—	TST2	TST1	TST0
TS	31	RW	RIMPON	TIMPOFF	—	—	TIMPRM	TS2	TS1	TS0
OE	32	RW	OE16	OE15	OE14	OE13	OE12	OE11	OE10	OE9
AIS	33	R	AIS16	AIS15	AIS14	AIS13	AIS12	AIS11	AIS10	AIS9
AISIE	34	RW	AISIE16	AISIE15	AISIE14	AISIE13	AISIE12	AISIE11	AISIE10	AISIE9
AISI	35	R	AISI16	AISI15	AISI14	AISI13	AISI12	AISI11	AISI10	AISI9
Not Used	36-3E	—	—	—	—	—	—	—	—	—
ADDP	3F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

表6-6. 第二寄存器组位

REGISTER	ADDRESS FOR LIUs 1-8	RW	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SRS	00	RW	SRMS8	SRMS7	SRMS6	SRMS5	SRMS4	SRMS3	SRMS2	SRMS1
LCS	01	RW	LCS8	LCS7	LCS6	LCS5	LSC4	LCS3	LSC2	LSC1
Not Used	02	RW	—	—	—	—	—	—	—	—
RPDE	03	RW	RPDE8	RPDE7	RPDE6	RPDE5	RPDE4	RPDE3	RPDE2	RPDE1
TPDE	04	RW	TPDE8	TDPE7	TPDE6	TPDE5	TPDE4	TPDE3	TPDE2	TPDE1
EZDE	05	RW	EZDE8	EZDE7	EZDE6	EZDE5	EZDE4	EZDE3	EZDE2	EZDE1
CVDEB	06	RW	CVDEB8	CVDEB7	CVDEB6	CVDEB5	CVDEB4	CVDEB3	CVDEB2	CVDEB1
Not Used	07-1E		—	—	—	—	—	—	—	—
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

REGISTER	ADDRESS FOR LIUs 9-16	RW	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SRS	20	RW	SRMS16	SRMS15	SRMS14	SRMS13	SRMS12	SRMS11	SRMS10	SRMS9
LCS	21	RW	LCS16	LCS15	LCS14	LCS13	LSC12	LCS11	LSC10	LSC9
Not Used	22	RW	—	—	—	—	—	—	—	—
RPDE	23	RW	RPDE16	RPDE15	RPDE14	RPDE13	RPDE12	RPDE11	RPDE10	RPDE9
TPDE	24	RW	TPDE16	TDPE15	TPDE14	TPDE13	TPDE12	TPDE11	TPDE10	TPDE9
EZDE	25	RW	EZDE16	EZDE15	EZDE14	EZDE13	EZDE12	EZDE11	EZDE10	EZDE9
CVDEB	26	RW	CVDEB16	CVDEB15	CVDEB14	CVDEB13	CVDEB12	CVDEB11	CVDEB10	CVDEB9
Not Used	27-3E	—	—	—	—	—	—	—	—	—
ADDP	3F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

表6-7. 独立LIU寄存器组位

REGISTER	ADDRESS FOR LIUs 1-8	RW	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
IJAE	00	RW	IJAE8	IJAE7	IJAE6	IJAE5	IJAE4	IJAE3	IJAE2	IJAE1
IJAPS	01	RW	IJAPS8	IJAPS7	IJAPS6	IJAPS5	IJAPS4	IJAPS3	IJAPS2	IJAPS1
IJAFDS	02	RW	IJAFDS8	IJAFDS7	IJAFDS6	IJAFDS5	IJAFDS4	IJAFDS3	IJAFDS2	IJAFDS1
IJAFLT	03	R	IJAFLT8	IJAFLT7	IJAFLT6	IJAFLT5	IJAFLT4	IJAFLT3	IJAFLT2	IJAFLT1
ISCPD	04	RW	ISCPD8	ISCPD7	ISCPD6	ISCPD5	ISCPD4	ISCPD3	ISCPD2	ISCPD1
IAISEL	05	RW	IAISEL8	IAISEL7	IAISEL6	IAISEL5	IAISEL4	IAISEL3	IAISEL2	IAISEL1
MC	06	RW	PCLKI1	PCLKI0	TECLKE	CLKAE	MPS1	MPS0	FREQS	PLLE
RSMM1	08	RW	RTR2	C2RSM2	C2RSM1	C2RSM0	RTR1	C1RSM2	C1RSM1	C1RSM0
RSMM2	09	RW	RTR4	C4RSM2	C4RSM1	C4RSM0	RTR3	C3RSM2	C3RSM1	C3RSM0
RSMM3	0A	RW	RTR6	C6RSM2	C6RSM1	C6RSM0	RTR5	C5RSM2	C5RSM1	C5RSM0
RSMM4	0B	RW	RTR8	C8RSM2	C8RSM1	C8RSM0	RTR7	C7RSM2	C7RSM1	C7RSM0
RSL1	0C	R	C2RSL3	C2RSL2	C2RSL1	C2RSL0	C1RSL3	C1RSL2	C1RSL1	C1RSL0
RSL2	0D	R	C4RSL3	C4RSL2	C4RSL1	C4RSL0	C3RSL3	C3RSL2	C3RSL1	C3RSL0
RSL3	0E	R	C6RSL3	C6RSL2	C6RSL1	C6RSL0	C5RSL3	C5RSL2	C5RSL1	C5RSL0
RSL4	0F	R	C8RSL3	C8RSL2	C8RSL1	C8RSL0	C7RSL3	C7RSL2	C7RSL1	C7RSL0
BTCR	10	RW	BTS2	BTS1	BTS0	—	—	—	—	BERTE
BEIR	11	RW	BEIR8	BEIR7	BEIR6	BEIR5	BEIR4	BEIR3	BEIR2	BEIR1
LVDS	12	R	LVDS8	LVDS7	LVDS6	LVDS5	LVDS4	LVDS3	LVDS2	LVDS1
RCLKI	13	RW	RCLKI8	RCLKI7	RCLKI6	RCLKI5	RCLKI4	RCLKI3	RCLKI2	RCLKI1
TCLKI	14	RW	TCLKI8	TCLKI7	TCLKI6	TCLKI5	TCLKI4	TCLKI3	TCLKI2	TCLKI1
CCR	15	RW	PCLKS2	PCLKS1	PCLKS0	TECLKS	CLKA3	CLKA2	CLKA1	CLKA0
RDULR	16	RW	RDULR8	RDULR7	RDULR6	RDULR5	RDULR4	RDULR3	RDULR2	RDULR1
GISC	1E	RW	—	—	—	—	—	—	INTM	CWE
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

REGISTER	ADDRESS FOR LIUs 9-16	RW	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
IJAE	20	RW	IJAE16	IJAE15	IJAE14	IJAE13	IJAE12	IJAE11	IJAE10	IJAE9
IJAPS	21	RW	IJAPS16	IJAPS15	IJAPS14	IJAPS13	IJAPS12	IJAPS11	IJAPS10	IJAPS9
IJAFDS	22	RW	IJAFDS16	IJAFDS15	IJAFDS14	IJAFDS13	IJAFDS12	IJAFDS11	IJAFDS10	IJAFDS9
IJAFLT	23	R	IJAFLT16	IJAFLT15	IJAFLT14	IJAFLT13	IJAFLT12	IJAFLT11	IJAFLT10	IJAFLT9
ISCPD	24	RW	ISCPD16	ISCPD15	ISCPD14	ISCPD13	ISCPD12	ISCPD11	ISCPD10	ISCPD9
IAISEL	25	RW	IAISEL16	IAISEL15	IAISEL14	IAISEL13	IAISEL12	IAISEL11	IAISEL10	IAISEL9
Not Used	26	RW	—	—	—	—	—	—	—	—
RSMM1	28	RW	RTR10	C10RSM2	C10RSM1	C10RSM0	RTR9	C9RSM2	C9RSM1	C9RSM0
RSMM2	29	RW	RTR12	C12RSM2	C12RSM1	C12RSM0	RTR11	C11RSM2	C11RSM1	C11RSM0
RSMM3	2A	RW	RTR14	C14RSM2	C14RSM1	C14RSM0	RTR13	C13RSM2	C13RSM1	C13RSM0
RSMM4	2B	RW	RTR8	C16RSM2	C16RSM1	C16RSM0	RTR16	C16RSM2	C16RSM1	C16RSM0
RSL1	2C	R	C10RSL3	C10RSL2	C10RSL1	C10RSL0	C9RSL3	C9RSL2	C9RSL1	C9RSL0
RSL2	2D	R	C12RSL3	C12RSL2	C12RSL1	C12RSL0	C11RSL3	C11RSL2	C11RSL1	C11RSL0
RSL3	2E	R	C14RSL3	C14RSL2	C14RSL1	C14RSL0	C13RSL3	C13RSL2	C13RSL1	C13RSL0
RSL4	2F	R	C16RSL3	C16RSL2	C16RSL1	C16RSL0	C15RSL3	C15RSL2	C15RSL1	C15RSL0
BTCR	30	RW	BTS2	BTS1	BTS0	—	—	—	—	BERTE
BEIR	31	RW	BEIR16	BEIR15	BEIR14	BEIR13	BEIR12	BEIR11	BEIR10	BEIR9
LVDS	32	R	LVDS16	LVDS15	LVDS14	LVDS13	LVDS12	LVDS11	LVDS10	LVDS9
RCLKI	33	RW	RCLKI16	RCLKI15	RCLKI14	RCLKI13	RCLKI12	RCLKI11	RCLKI10	RCLKI9
TCLKI	34	RW	TCLKI16	TCLKI15	TCLKI14	TCLKI13	TCLKI12	TCLKI11	TCLKI10	TCLKI9
Not Used	35	RW	—	—	—	—	—	—	—	—
RDULR	36	RW	RDULR16	RDULR15	RDULR14	RDULR13	RDULR12	RDULR11	RDULR10	RDULR9
GISC	3E	RW	—	—	—	—	—	—	INTM	CWE
ADDP	3F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

表6-8. BERT寄存器位

REG	ADDRESS FOR LIUs 1-8	ADDRESS FOR LIUs 9-16	RW	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
BCR	00	20	RW	PMUM	LPMU	RNPL	RPIC	MPR	APRD	TNPL	TPIC
Not Used	01	<u>21</u>	—	—	—	—	—	—	—	—	—
BPCR1	02	22	RW	—	QRSS	PTS	PLF4	PLF3	PLF2	PLF1	PLF0
BPCR2	03	<u>23</u>	—	—	—	—	PTF4	PTF3	PTF2	PTF1	PTF0
BSPR1	04	24	RW	BSP7	BSP6	BSP5	BSP4	BSP3	BSP2	BSP1	BSP0
BSPR2	05	<u>25</u>	—	BSP15	BSP14	BSP13	BSP12	BSP11	BSP10	BSP9	BSP8
BSPR3	06	26	RW	BSP23	BSP22	BSP21	BSP20	BSP19	BSP18	BSP17	BSP16
BSPR4	07	<u>27</u>	—	BSP31	BSP30	BSP29	BSP28	BSP27	BSP26	BSP25	BSP24
TEICR	08	28	RW	—	—	TEIR2	TEIR1	TEIR0	BEI	TSEI	MEIMS
Not Used	09-0B	<u>29-2B</u>	—	—	—	—	—	—	—	—	—
BSR	0C	2C	R/W	—	—	—	—	PMS	—	<u>BEC</u>	<u>OOS</u>
Not Used	0D	<u>2D</u>	—	—	—	—	—	—	—	—	—
BSRL	0E	2E	RL/W	—	—	—	—	PMSL	<u>BEL</u>	<u>BEC</u>	<u>OOS</u>
Not Used	0F	<u>2F</u>	—	—	—	—	—	—	—	—	—
BSRIE	10	30	RW	—	—	—	—	PMSIE	BEIE	BECIE	OOSIE
Not Used	11-13	<u>31-33</u>	—	—	—	—	—	—	—	—	—
RBECR1	14	34	R	<u>BEC7</u>	<u>BEC6</u>	<u>BEC5</u>	<u>BEC4</u>	<u>BEC3</u>	<u>BEC2</u>	<u>BEC1</u>	<u>BEC0</u>
RBECR2	15	35	R	<u>BEC15</u>	<u>BEC14</u>	<u>BEC13</u>	<u>BEC12</u>	<u>BEC11</u>	<u>BEC10</u>	<u>BEC9</u>	<u>BEC8</u>
RBECR3	16	36	R	<u>BEC23</u>	<u>BEC22</u>	<u>BEC21</u>	<u>BEC20</u>	<u>BEC19</u>	<u>BEC18</u>	<u>BEC17</u>	<u>BEC16</u>
Not Used	17	<u>37</u>	—	—	—	—	—	—	—	—	—
RBCR1	18	38	R	<u>BC7</u>	<u>BC6</u>	<u>BC5</u>	<u>BC4</u>	<u>BC3</u>	<u>BC2</u>	<u>BC1</u>	<u>BC0</u>
RBCR2	19	39	R	<u>BC15</u>	<u>BC14</u>	<u>BC13</u>	<u>BC12</u>	<u>BC11</u>	<u>BC10</u>	<u>BC9</u>	<u>BC8</u>
RBCR3	1A	3A	R	<u>BC23</u>	<u>BC22</u>	<u>BC21</u>	<u>BC20</u>	<u>BC19</u>	<u>BC18</u>	<u>BC17</u>	<u>BC16</u>
RBCR4	1B	3B	R	<u>BC31</u>	<u>BC30</u>	<u>BC29</u>	<u>BC28</u>	<u>BC27</u>	<u>BC26</u>	<u>BC25</u>	<u>BC24</u>
Not Used	1C-1E	3C-3E	—	—	—	—	—	—	—	—	—
ADDP	1F	3F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

注: 下划线标注为只读。

6.1 寄存器说明

本节对寄存器的每一位进行详细说明。斜体变量“*n*”用于对任意寄存器的说明，表示1-16。注意，在寄存器说明中，LIU 1-8和LIU 9-16存在完全相同的寄存器；LIU 9-16、LIU 1-8也存在不同的寄存器，对于这些寄存器，只列出了一个地址。所有其他寄存器列出了两个地址，一个用于LIU 1-8，另一个用于LIU 9-16。

6.1.1 主寄存器组

必须将ADDP寄存器设置为00h，才能访问这些区域。

寄存器名称: ID
寄存器说明: ID寄存器
寄存器地址: 00h

位#	7	6	5	4	3	2	1	0
名称	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

第7位: 器件编码ID第7位 (ID7)。对于短程操作，该位为'0'。

第6位至第3位: 器件编码ID第6位至第3位 (ID6至ID3)。这些位表示器件所含有的端口数量。

第2位至第0位: 器件编码ID第2位至第0位 (ID2至ID0)。这些位表示器件型号的版本。请联系工厂，了解详细情况。

寄存器名称: ALBC
寄存器说明: 模拟环回控制
寄存器地址(LIU 1-8): 01h

位#	7	6	5	4	3	2	1	0
名称	ALBC8	ALBC7	ALBC6	ALBC5	ALBC4	ALBC3	ALBC2	ALBC1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): 21h

位#	7	6	5	4	3	2	1	0
名称	ALBC16	ALBC15	ALBC14	ALBC13	ALBC12	ALBC11	ALBC10	ALBC9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道*n*模拟环回控制位(ALBC*n*)。置位时，LIU*n*置于模拟环回。TTIP和TRING环回至RTIP和RRING。忽略RTIP和RRING的数据。LOS检测继续保持工作。如果发送器或接收器的抖动衰减器使能，则抖动衰减器保持工作。

寄存器名称: **RLBC**
 寄存器说明: **远程环回控制**
 寄存器地址(LIU 1-8): **02h**

位#	7	6	5	4	3	2	1	0
名称	RLBC8	RLBC7	RLBC6	RLBC5	RLBC4	RLBC3	RLBC2	RLBC1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **22h**

位#	7	6	5	4	3	2	1	0
名称	RLBC16	RLBC15	RLBC14	RLBC13	RLBC12	RLBC11	RLBC10	RLBC9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 远端环回控制位(RLBC n)。置位时, 使能LIU n 的远端环回。模拟接收信号通过接收数字, 环回至发送器。忽略TPOS和TNEG数据。如果使能了抖动衰减器, 则使用抖动衰减器。

寄存器名称: **TAOE**
 寄存器说明: **发送全1使能**
 寄存器地址(LIU 1-8): **03h**

位#	7	6	5	4	3	2	1	0
名称	TAOE8	TAOE7	TAOE6	TAOE5	TAOE4	TAOE3	TAOE2	TAOE1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **23h**

位#	7	6	5	4	3	2	1	0
名称	TAOE16	TAOE15	TAOE14	TAOE13	TAOE12	TAOE11	TAOE10	TAOE9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 发送全1使能(TAOE n)。置位时, 将TTIP和TRING的连续全1数据流送至通道 n 。MCLK用作发送全1信号的参考时钟。忽略到达TPOS和TNEG的信号。

寄存器名称: **LOSS**
 寄存器说明: **信号丢失状态**
 寄存器地址(LIU 1-8): **04h**

位#	7	6	5	4	3	2	1	0
名称	<u>LOS8</u>	<u>LOS7</u>	<u>LOS6</u>	<u>LOS5</u>	<u>LOS4</u>	<u>LOS3</u>	<u>LOS2</u>	<u>LOS1</u>
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **24h**

位#	7	6	5	4	3	2	1	0
名称	<u>LOS16</u>	<u>LOS15</u>	<u>LOS14</u>	<u>LOS13</u>	<u>LOS12</u>	<u>LOS11</u>	<u>LOS10</u>	<u>LOS9</u>
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 信号丢失状态(LOS n)。置位时, 表明在LIU n 上检测到LOS状态。LOS标准和条件在信号丢失部分进行了说明。

寄存器名称: **DFMS**
 寄存器说明: **驱动器故障监视状态**
 寄存器地址(LIU 1-8): **05h**

位#	7	6	5	4	3	2	1	0
名称	<u>DFMS8</u>	<u>DFMS7</u>	<u>DFMS6</u>	<u>DFMS5</u>	<u>DFMS4</u>	<u>DFMS3</u>	<u>DFMS2</u>	<u>DFMS1</u>
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **25h**

位#	7	6	5	4	3	2	1	0
名称	<u>DFMS16</u>	<u>DFMS15</u>	<u>DFMS14</u>	<u>DFMS13</u>	<u>DFMS12</u>	<u>DFMS11</u>	<u>DFMS10</u>	<u>DFMS9</u>
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 驱动器故障监视状态(DFMS n)。置位时, 表示在LIU n 的发送驱动器出现了短路或开路。

寄存器名称: **LOSIE**
 寄存器说明: **信号丢失中断使能**
 寄存器地址(LIU 1-8): **06h**

位#	7	6	5	4	3	2	1	0
名称	LOSIE8	LOSIE7	LOSIE6	LOSIE5	LOSIE4	LOSIE3	LOSIE2	LOSIE1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **26h**

位#	7	6	5	4	3	2	1	0
名称	LOSIE16	LOSIE15	LOSIE14	LOSIE13	LOSIE12	LOSIE11	LOSIE10	LOSIE9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 信号丢失中断使能(LOSIE n)。置位时, LIU n 的LOS状态变化会产生一次中断。

寄存器名称: **DFMIE**
 寄存器说明: **驱动器故障监视中断使能**
 寄存器地址(LIU 1-8): **07h**

位#	7	6	5	4	3	2	1	0
名称	DFMIE8	DFMIE7	DFMIE6	DFMIE5	DFMIE4	DFMIE3	DFMIE2	DFMIE1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **27h**

位#	7	6	5	4	3	2	1	0
名称	DFMIE16	DFMIE15	DFMIE14	DFMIE13	DFMIE12	DFMIE11	DFMIE10	DFMIE9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 驱动器故障监视中断使能(DFMIE n)。置位时, DFM的状态变化会产生一次监视器 n 的中断。

寄存器名称: **LOSI8**
 寄存器说明: **信号丢失中断状态**
 寄存器地址(LIU 1-8): **08h**

位#	7	6	5	4	3	2	1	0
名称	<u>LOSI8</u>	<u>LOSI7</u>	<u>LOSI6</u>	<u>LOSI5</u>	<u>LOSI4</u>	<u>LOSI3</u>	<u>LOSI2</u>	<u>LOSI1</u>
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **28h**

位#	7	6	5	4	3	2	1	0
名称	<u>LOSI16</u>	<u>LOSI15</u>	<u>LOSI14</u>	<u>LOSI13</u>	<u>LOSI12</u>	<u>LOSI11</u>	<u>LOSI10</u>	<u>LOSI9</u>
默认值	0	0	0	0	0	0	0	0

第7位至第0位:通道 n 信号丢失中断(LOSI n)。置位时,检测到LIU n 中,LOS状态出现“0至1”或“1至0”的变化。寄存器LOSI E (06h)使能LIU n 位。该位锁存后,在读操作时清零。

寄存器名称: **DFMIS**
 寄存器说明: **驱动器故障监视中断状态**
 寄存器地址(LIU 1-8): **09h**

位#	7	6	5	4	3	2	1	0
名称	<u>DFMIS8</u>	<u>DFMIS7</u>	<u>DFMIS6</u>	<u>DFMIS5</u>	<u>DFMIS4</u>	<u>DFMIS3</u>	<u>DFMIS2</u>	<u>DFMIS1</u>
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **29h**

位#	7	6	5	4	3	2	1	0
名称	<u>DFMIS16</u>	<u>DFMIS15</u>	<u>DFMIS14</u>	<u>DFMIS13</u>	<u>DFMIS12</u>	<u>DFMIS11</u>	<u>DFMIS10</u>	<u>DFMIS9</u>
默认值	0	0	0	0	0	0	0	0

第7位至第0位:通道 n 驱动器故障状态寄存器 (DFMIS n)。置位时,检测到LIU n 中,DFM状态出现“0至1”或“1至0”的变化。寄存器DFMIE(07h)使能LIU n 位。该位锁存后,在读操作时清零。

寄存器名称: **SWR**
 寄存器说明: **软件复位**
 寄存器地址(LIU 1-8): **0Ah**

位#	7	6	5	4	3	2	1	0
名称	SWRL	SWRL	SWRL	SWRL	SWRL	SWRL	SWRL	SWRL
默认值	0	0	0	0	0	0	0	0

第7位至第0位:软件复位(SWR)。对该寄存器进行任何写操作,将至少产生1 μ s的复位,复位低阶寄存器(LIU 1-8)。所有寄存器将恢复至默认值。读操作总是返回全0。

寄存器地址(LIU 9-16): **2Ah**

位#	7	6	5	4	3	2	1	0
名称	SWRU	SWRU	SWRU	SWRU	SWRU	SWRU	SWRU	SWRU
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 软件复位(SWR)。对该寄存器进行任何写操作, 将至少产生1 μ s的复位, 复位高阶寄存器(LIU 9-16)。所有寄存器将恢复至默认值。读操作总是返回全0。

寄存器名称: **GMC**
 寄存器说明: **G.772监控**
 寄存器地址(LIU 1-8): **0Bh**

位#	7	6	5	4	3	2	1	0
名称	--	--	--	--	GMC3	GMC2	GMC1	GMC0
默认值	0	0	0	0	0	0	0	0

第7位至第0位: G.772监控 (GMC)。这些位选择非介入监控的发送器或接收器。接收器1用于监控RTIP2-8/RRING2-8一个接收器或TTIP2-8/TRING2-8一个发送器的2至8通道。参见[表6-9](#)。

寄存器地址(LIU 9-16): **2Bh**

位#	7	6	5	4	3	2	1	0
名称	--	--	--	--	GMC3	GMC2	GMC1	GMC0
默认值	0	0	0	0	0	0	0	0

第7位至第0位: G.772监控(GMC)。这些位选择非介入式监控的发送器或者接收器。接收器9用于监控RTIP10-16/RRING10-16一个接收器或TTIP10-16/TRING10-16一个发送器的10至16通道。参见[表6-10](#)。

表6-9. G.772监控(LIU 1)

GMC3	GMC2	GMC1	GMC0	SELECTION
0	0	0	0	No Monitoring
0	0	0	1	Receiver 2
0	0	1	0	Receiver 3
0	0	1	1	Receiver 4
0	1	0	0	Receiver 5
0	1	0	1	Receiver 6
0	1	1	0	Receiver 7
0	1	1	1	Receiver 8
1	0	0	0	No Monitoring
1	0	0	1	Transmitter 2
1	0	1	0	Transmitter 3
1	0	1	1	Transmitter 4
1	1	0	0	Transmitter 5
1	1	0	1	Transmitter 6
1	1	1	0	Transmitter 7
1	1	1	1	Transmitter 8

表6-10. G.772监控 (LIU 9)

GMC3	GMC2	GMC1	GMC0	SELECTION
0	0	0	0	No Monitoring
0	0	0	1	Receiver 10
0	0	1	0	Receiver 11
0	0	1	1	Receiver 12
0	1	0	0	Receiver 13
0	1	0	1	Receiver 14
0	1	1	0	Receiver 15
0	1	1	1	Receiver 16
1	0	0	0	No Monitoring
1	0	0	1	Transmitter 10
1	0	1	0	Transmitter 11
1	0	1	1	Transmitter 12
1	1	0	0	Transmitter 13
1	1	0	1	Transmitter 14
1	1	1	0	Transmitter 15
1	1	1	1	Transmitter 16

寄存器名称: **DLBC**
 寄存器说明: **数字环回控制**
 寄存器地址(LIU 1-8): **0Ch**

位#	7	6	5	4	3	2	1	0
名称	DLBC8	DLBC7	DLBC6	DLBC5	DLBC4	DLBC3	DLBC2	DLBC1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **2Ch**

位#	7	6	5	4	3	2	1	0
名称	DLBC16	DLBC15	DLBC14	DLBC13	DLBC12	DLBC11	DLBC10	DLBC9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 数字环回控制(DLBC n)。置位时, LIU n 置于数字环回。对TPOS/TNEG的数据进行编码, 环回至解码器, 在RPOS/RNEG上输出。可选择抖动衰减器用于发送或接收通道。

寄存器名称: **LASCS**
 寄存器说明: **LOS/AIS标准选择**
 寄存器地址(LIU 1-8): **0Dh**

位#	7	6	5	4	3	2	1	0
名称	LASCS8	LASCS7	LASCS6	LASCS5	LASCS4	LASCS3	LASCS2	LASCS1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **2Dh**

位#	7	6	5	4	3	2	1	0
名称	LASCS16	LASCS15	LASCS14	LASCS13	LASCS12	LASCS11	LASCS10	LASCS9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n LOS/AIS标准选择(LASCS n)。该位用于LIU n 的LOS/AIS选择标准。在E1模式下, 如果置位, 使用ETSI 300 233模式。如果复位, 使用G.775标准。在T1/J1模式下, 选择T1.231标准。

寄存器名称: **ATAOS**
 寄存器说明: **自动发送全1选择**
 寄存器地址(LIU 1-8): **0Eh**

位#	7	6	5	4	3	2	1	0
名称	ATAOS8	ATAOS7	ATAOS6	ATAOS5	ATAOS4	ATAOS3	ATAOS2	ATAOS1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **2Eh**

位#	7	6	5	4	3	2	1	0
名称	ATAOS16	ATAOS15	ATAOS14	ATAOS13	ATAOS12	ATAOS11	ATAOS10	ATAOS9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 自动发送全1选择(ATAOS n)。置位时, 如果检测到LIU n 出现信号丢失, 则发送全1信号。“全1信号”使用MCLK作为参考时钟。

寄存器名称: **GC**
 寄存器说明: **全局配置**
 寄存器地址(LIU 1-8): **0Fh**

位#	7	6	5	4	3	2	1	0
名称	-	AISEL	SCPD	CODE	JADS	RTCTL	JAPS	JAE
默认值	0	0	0	0	0	0	0	0

RTCTL控制全部16个LIU, 其他位仅用于LIU 1-8。

第6位: 丢失期间AIS使能(AISEL)。置位时, 检测到某通道出现LOS后, 向系统侧发送一个AIS, 每个LIU寄存器 [AISEL](#) 的设置将被忽略。如果复位, [AISEL](#) 寄存器将进行控制。

第5位: 短路保护禁止(SCPD)。置位时, 所有发送器的短路保护功能被禁止, 每个LIU寄存器 [SCPD](#) 的设置将被忽略。如果复位, [SCPD](#) 寄存器将进行控制。

第4位: 编码。置位时, 选择AMI编码器/解码器, [LCS](#) 寄存器设置将被忽略。如果复位, [LCS](#) 寄存器将进行控制。

第3位: 抖动衰减器深度选择 (JADS)。置位时, 抖动衰减器FIFO深度是128位, [IJAFDS](#) 寄存器设置将被忽略。如果复位, [IJAFDS](#) 寄存器将进行控制。

第2位: 接收匹配控制(RTCTL)。置位时, OE引脚可对所有LIU接收器的内部匹配进行控制。否则, 参见RIMPON位。

第1位: 抖动衰减器位置选择(JAPS)。当JAPS置为高电平时, JA将处于接收通道; 设置为默认值或者低电平时, 处于发送通道。通过设置寄存器 [IJAPS](#), 可改变每一LIU的这些设置。注意, 当JAE置位时, 将忽略寄存器 [IJAPS](#) 的设置。

第0位: 抖动衰减器使能(JAE)。置位时, 使能JA。如果该寄存器置位, 将忽略[IJAE](#)寄存器的设置。如果复位, IJAE寄存器将进行控制。

寄存器地址(LIU 9-16): 2Fh

位#	7	6	5	4	3	2	1	0
名称	-	AISEL	SCPD	CODE	JADS	-	JAPS	JAEL
默认值	0	0	0	0	0	0	0	0

第6位: 丢失期间AIS使能(AISEL)。置位时, 检测到某通道出现LOS后, 向系统侧发送一个AIS, 每个LIU寄存器 [IAISEL](#) 的设置将被忽略。如果复位, [IAISEL](#) 寄存器将进行控制。

第5位: 短路保护禁止(SCPD)。如果该位置位, 所有发送器的短路保护功能被禁止, 每个LIU寄存器 [ISCPD](#) 的设置将被忽略。如果复位, [ISCPD](#) 寄存器将进行控制。

第4位: 编码。置位时, 选择AMI编码器/解码器, [LCS](#) 寄存器设置将被忽略。如果复位, [LCS](#) 寄存器将进行控制。

第3位: 抖动衰减器深度选择 (JADS)。置位时, 抖动衰减器FIFO深度是128位, [IJAFDS](#) 寄存器设置将被忽略。如果复位, [IJAFDS](#) 寄存器将进行控制。

第1位: 抖动衰减器位置选择(JAPS)。当JAPS位置为高电平时, JA将处于接收通道; 设置为默认值或者低电平时, 处于发送通道。通过设置寄存器 [IJAPS](#), 可改变每一LIU的这些设置。注意, 当JAE置位时, 将忽略寄存器 [IJAPS](#) 的设置。

第0位: 抖动衰减器使能(JAE)。置位时, 使能JA。如果该寄存器置位, 将忽略 [IJAE](#) 寄存器的设置。如果复位, IJAE 寄存器将进行控制。

寄存器名称: **TST**
寄存器说明: **模板选择发送器寄存器**
寄存器地址(LIU 1-8): **10h**

位#	7	6	5	4	3	2	1	0
名称	--	--	--	--	--	TST2	TST1	TST0
默认值	0	0	0	0	0	0	0	0

第2位至第0位: TST模板选择收发器[2:0] (TST[2:0])。LIU 1-8使用发送模板选择寄存器(hex 11)时，TST[2:0]用于选择收发器。参见[表6-11](#)。

寄存器地址(LIU 9-16): **30h**

位#	7	6	5	4	3	2	1	0
名称	--	--	--	--	--	TST2	TST1	TST0
默认值	0	0	0	0	0	0	0	0

第2位至第0位: TST模板选择收发器[2:0] (TST[2:0])。LIU 9-16使用发送模板选择寄存器(hex 11)时，TST[2:0]用于选择收发器。参见[表6-12](#)。

表6-11. TST模板选择发送器寄存器(LIU 1-8)

TST[2:0]	CHANNEL	TST[2:0]	CHANNEL
000	1	100	5
001	2	101	6
010	3	110	7
011	4	111	8

表6-12. TST模板选择发送器寄存器(LIU 9-16)

TST[2:0]	CHANNEL	TST[2:0]	CHANNEL
000	9	100	13
001	10	101	14
010	11	110	15
011	12	111	16

寄存器名称: **TS**
 寄存器说明: **模板选择寄存器**
 寄存器地址(LIU 1-8): **11h**
 寄存器地址(LIU 9-16): **31h**

位#	7	6	5	4	3	2	1	0
名称	RIMPON	TIMPOFF	—	—	TIMPRM	TS2	TS1	TS0
默认值	0	0	0	0	0	0	0	0

第7位: 接收阻抗匹配打开(RIMPON)。置位时, 接收阻抗匹配打开。否则, 接收器处于高阻抗状态。注意, 当 GC.RTCTL置位时, OE引脚可替代该位进行控制。

第6位: 发送阻抗匹配关闭(TIMPOFF)。置位时, 所有内部发送端匹配阻抗关闭。

第3位: 发送阻抗接收匹配(TIMPRM)。该位选择E1模式和T1/J1模式的内部发送匹配阻抗和接收阻抗匹配。

0 = E1模式下75Ω或T1模式下100Ω。

1 = E1模式下120Ω或J1下模式110Ω。

第2位至第0位: 模板选择[2:0] (TS[2:0])。TS[2:0]用于选择E1或者T1/J1模式、模板, 并对各种电缆长度进行设置。发送器阻抗匹配和接收器阻抗匹配由TIMPRM规定。参见[表6-13](#)的TS[2:0]位选择。

表6-13. 模板选择

TEMPLATE SELECTION			
TS[2:0]	LINE LENGTH (ft)	CABLE LOSS (dB)	IMPEDANCE (Ω)
011	0–133 ABAM	0.6	100/110
100	133–266 ABAM	1.2	100/110
101	266–399 ABAM	1.8	100/110
110	399–533 ABAM	2.4	100/110
111	533–655 ABAM	3.0	100/110
000	G.703 Coaxial & Twisted pair cable		75/120
001 and 010	Reserved	—	—

寄存器名称: **OE**
 寄存器说明: **输出使能**
 寄存器地址(LIU 1-8): **12h**

位#	7	6	5	4	3	2	1	0
名称	OE8	OE7	OE6	OE5	OE4	OE3	OE2	OE1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **32h**

位#	7	6	5	4	3	2	1	0
名称	OE16	OE15	OE14	OE13	OE12	OE11	OE10	OE9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 输出使能(OE n)。当该位为默认值时, LIUn发送器输出为高阻抗。置位时, 使能LIUn发送器输出。注意, OE引脚为低电平时, 该设置无效。

寄存器名称: **AIS**
 寄存器说明: **报警指示信号状态**
 寄存器地址(LIU 1-8): **13h**

位#	7	6	5	4	3	2	1	0
名称	<u>AIS8</u>	<u>AIS7</u>	<u>AIS6</u>	<u>AIS5</u>	<u>AIS4</u>	<u>AIS3</u>	<u>AIS2</u>	<u>AIS1</u>
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **33h**

位#	7	6	5	4	3	2	1	0
名称	<u>AIS16</u>	<u>AIS15</u>	<u>AIS14</u>	<u>AIS13</u>	<u>AIS12</u>	<u>AIS11</u>	<u>AIS10</u>	<u>AIS9</u>
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 报警指示信号(AIS n)。LIU n 探测到AIS后, 该位置1。在AIS一节中详细说明了AIS选择标准。通过对 [LASCS](#) (0D)寄存器进行设置选择AIS标准。

寄存器名称: **AISIE**
 寄存器说明: **AIS中断使能**
 寄存器地址(LIU 1-8): **14h**

位#	7	6	5	4	3	2	1	0
名称	AISIE8	AISIE7	AISIE6	AISIE5	AISIE4	AISIE3	AISIE2	AISIE1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **34h**

位#	7	6	5	4	3	2	1	0
名称	AISIE16	AISIE15	AISIE14	AISIE13	AISIE12	AISIE11	AISIE10	AISIE9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n AIS中断模板(AISIE n)。置位时, 如果AIS状态变化, LIU n 产生中断。

寄存器名称: **AISI**
 寄存器说明: **AIS中断**
 寄存器地址(LIU 1-8): **15h**

位#	7	6	5	4	3	2	1	0
名称	<u>AISI8</u>	<u>AISI7</u>	<u>AISI6</u>	<u>AISI5</u>	<u>AISI4</u>	<u>AISI3</u>	<u>AISI2</u>	<u>AISI1</u>
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **35h**

位#	7	6	5	4	3	2	1	0
名称	<u>AISI16</u>	<u>AISI15</u>	<u>AISI14</u>	<u>AISI13</u>	<u>AISI12</u>	<u>AISI11</u>	<u>AISI10</u>	<u>AISI9</u>
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道*n* AIS中断(AISIn)。 [AISIE](#) (14)寄存器使能LIU*n*中断, 当AIS出现“0至1”或“1至0”变化时, 该位置1。如果该位置1, 读操作或中断使能寄存器关闭时, 该位清零。

寄存器名称: **ADDP**
 寄存器说明: **地址指针**
 寄存器地址(LIU 1-8): **1Fh**
 寄存器地址(LIU 9-16): **3Fh**

位#	7	6	5	4	3	2	1	0
名称	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 地址指针(ADDP)。该指针用于主寄存器、第二寄存器、独立寄存器和BERT寄存器指针的切换。参见[表6-14](#)的地址指针选择。寄存器空间包括通道1至8、地址00h至1Fh的控制, 以及通道9至16、地址20h至3Fh完全相同的寄存器组控制。地址1Fh中的ADDP选择LIU 1-8寄存器组的区域。地址3F中的ADDP选择LIU 9-16寄存器组的区域。

表6-14. 地址指针区域选择

ADDP7-ADDP0 (HEX)	BANK NAME
00	Primary Bank
AA	Secondary Bank
01	Individual LIU Bank
02	BERT Bank

6.1.2 第二寄存器组

必须将ADDP寄存器设置为AAh，才能访问这些寄存器区。

寄存器名称: **SRMS**
 寄存器说明: **单极性摆幅模式选择**
 寄存器地址(LIU 1-8): **00h**

位#	7	6	5	4	3	2	1	0
名称	SRMS8	SRMS7	SRMS6	SRMS5	SRMS4	SRMS3	SRMS2	SRMS1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **20h**

位#	7	6	5	4	3	2	1	0
名称	SRMS16	SRMS15	SRMS14	SRMS13	SRMS12	SRMS11	SRMS10	SRMS9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 单极性摆幅模式选择(SRMS n)。置位时，系统发送器和接收器 n 设置为单极性摆幅模式。如果该位复位，则选择双极性摆幅模式。

寄存器名称: **LCS**
 寄存器说明: **线路编码选择**
 寄存器地址(LIU 1-8): **01h**

位#	7	6	5	4	3	2	1	0
名称	LCS8	LCS7	LCS6	LCS5	LCS4	LCS3	LCS2	LCS1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **21h**

位#	7	6	5	4	3	2	1	0
名称	LCS16	LCS15	LCS14	LCS13	LCS12	LCS11	LCS10	LCS9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 线路编码选择(LCS n)。置位时，LIU n 选择AMI编码/解码。如果复位，LIU n 选择B8ZS或者HDB3编码/解码。注意，如果GC.CODE置位，将忽略该寄存器设置。

寄存器名称: **RPDE**
 寄存器说明: **接收关断使能**
 寄存器地址(LIU 1-8): **03h**

位#	7	6	5	4	3	2	1	0
名称	RPDE8	RPDE7	RPDE6	RPDE5	RPDE4	RPDE3	RPDE2	RPDE1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **23h**

位#	7	6	5	4	3	2	1	0
名称	RPDE16	RPDE15	RPDE14	RPDE13	RPDE12	RPDE11	RPDE10	RPDE9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 接收关断使能(RPDE n)。置位时, LIU n 接收器关断。

寄存器名称: **TPDE**
 寄存器说明: **发送关断使能**
 寄存器地址(LIU 1-8): **04h**

位#	7	6	5	4	3	2	1	0
名称	TPDE8	TPDE7	TPDE6	TPDE5	TPDE4	TPDE3	TPDE2	TPDE1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **24h**

位#	7	6	5	4	3	2	1	0
名称	TPDE16	TPDE15	TPDE14	TPDE13	TPDE12	TPDE11	TPDE10	TPDE9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 发送关断使能 (TPDE n)。置位时, LIU n 发送器关断。

寄存器名称: **EZDE**
 寄存器说明: **零过多检测使能**
 寄存器地址(LIU 1-8): **05h**

位#	7	6	5	4	3	2	1	0
名称	EXZDE8	EXZDE7	EXZDE6	EXZDE5	EXZDE4	EXZDE3	EXZDE2	EXZDE1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **25h**

位#	7	6	5	4	3	2	1	0
名称	EXZDE16	EXZDE15	EXZDE14	EXZDE13	EXZDE12	EXZDE11	EXZDE10	EXZDE9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 零过多检测使能(EZDE n)。复位时, LIU n 的零过多检测功能被禁止。置位时, LIU n 的零过多检测功能被使能。零过多检测仅用于单极性摆幅模式的HDB3或者B8ZS编码。

寄存器名称: **CVDEB**
 寄存器说明: **编码违规检测使能标志**
 寄存器地址(LIU 1-8): **06h**

位#	7	6	5	4	3	2	1	0
名称	CVDEB8	CVDEB7	CVDEB6	CVDEB5	CVDEB4	CVDEB3	CVDEB2	CVDEB1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **26h**

位#	7	6	5	4	3	2	1	0
名称	CVDEB16	CVDEB15	CVDEB14	CVDEB13	CVDEB12	CVDEB11	CVDEB10	CVDEB9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 编码违规检测使能标志(CVDEB n)。置位时, LIU n 的编码违规检测功能被禁止。如果复位, 则使能编码违规检测功能。编码违规检测仅用于单极性摆幅模式的HDB3编码。

6.1.3 独立LIU寄存器组

必须将ADDP寄存器设置为01h, 才能访问这些寄存器区。

寄存器名称: **IJAE**
 寄存器说明: **独立抖动衰减器使能**
 寄存器地址(LIU 1-8): **00h**

位#	7	6	5	4	3	2	1	0
名称	IJAE8	IJAE7	IJAE6	IJAE5	IJAE4	IJAE3	IJAE2	IJAE1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **20h**

位#	7	6	5	4	3	2	1	0
名称	IJAE16	IJAE15	IJAE14	IJAE13	IJAE12	IJAE11	IJAE10	IJAE9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 独立抖动衰减器使能(IJAE n)。置位时, 使能LIU抖动衰减器 n 。注意, 如果GC.JAE置位, 则忽略该寄存器设置。

寄存器名称: **IJAPS**
 寄存器说明: **独立的抖动衰减器位置选择**
 寄存器地址(LIU 1-8): **01h**

位#	7	6	5	4	3	2	1	0
名称	IJAPS8	IJAPS7	IJAPS6	IJAPS5	IJAPS4	IJAPS3	IJAPS2	IJAPS1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **21h**

位#	7	6	5	4	3	2	1	0
名称	IJAPS16	IJAPS15	IJAPS14	IJAPS13	IJAPS12	IJAPS11	IJAPS10	IJAPS9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 通道 n 独立的抖动衰减器位置选择 (IJAPSn)。置为高电平时, JA位于通道 n 的接收侧; 为默认值或置为低电平时, JA位于通道 n 的发送侧。注意, 如果[GC](#).JAE置位, 则忽略该寄存器设置。

寄存器名称: **IJAFDS**
 寄存器说明: **独立的抖动衰减器FIFO深度选择**
 寄存器地址(LIU 1-8): **02h**

位#	7	6	5	4	3	2	1	0
名称	IJAFDS8	IJAFDS7	IJAFDS6	IJAFDS5	IJAFDS4	IJAFDS3	IJAFDS2	IJAFDS1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **22h**

位#	7	6	5	4	3	2	1	0
名称	IJAFDS16	IJAFDS15	IJAFDS14	IJAFDS13	IJAFDS12	IJAFDS11	IJAFDS10	IJAFDS9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 独立的抖动衰减器FIFO深度选择 n (IJAFDSn)。置位时, LIUn的JA FIFO深度为128位。复位时, JA FIFO深度为32位。注意, 如果[GC](#).IJAFDS置位, 则忽略该寄存器设置。

寄存器名称: **IJAFLT**
 寄存器说明: **独立的抖动衰减器FIFO限制**
 寄存器地址(LIU 1-8): **03h**

位#	7	6	5	4	3	2	1	0
名称	IJAFLT8	IJAFLT7	IJAFLT6	IJAFLT5	IJAFLT4	IJAFLT3	IJAFLT2	IJAFLT1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **23h**

位#	7	6	5	4	3	2	1	0
名称	IJAFLT16	IJAFLT15	IJAFLT14	IJAFLT13	IJAFLT12	IJAFLT11	IJAFLT10	IJAFLT9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 独立的抖动衰减器FIFO限制 n (IJAFLTn)。当抖动衰减器FIFO达到发送器 n 限制的4位以内时, 该位置1。读操作将该位清零。

寄存器名称: **ISCPD**
 寄存器说明: **独立的短路保护禁止**
 寄存器地址(LIU 1-8): **04h**

位#	7	6	5	4	3	2	1	0
名称	ISCPD8	ISCPD7	ISCPD6	ISCPD5	ISCPD4	ISCPD3	ISCPD2	ISCPD1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **24h**

位#	7	6	5	4	3	2	1	0
名称	ISCPD16	ISCPD15	ISCPD14	ISCPD13	ISCPD12	ISCPD11	ISCPD10	ISCPD9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 独立的短路保护禁止 n (ISCPD n)。置位时, 发送器 n 的短路保护功能被禁止。注意, 如果[GC](#).SCPD置位, 则忽略该寄存器的设置。

寄存器名称: **IAISEL**
 寄存器说明: **独立的AIS选择**
 寄存器地址(LIU 1-8): **05h**

位#	7	6	5	4	3	2	1	0
名称	IAISEL8	IAISEL7	IAISEL6	IAISEL5	IAISEL4	IAISEL3	IAISEL2	IAISEL1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **25h**

位#	7	6	5	4	3	2	1	0
名称	IAISEL16	IAISEL15	IAISEL14	IAISEL13	IAISEL12	IAISEL11	IAISEL10	IAISEL9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 丢失期间独立的AIS使能 n (IAISEL n)。置位时, 接收器 n 在信号丢失期间的AIS功能被使能, 检测到LOS信号, 将AIS发送至系统侧。注意, 如果[GC](#).AISEL置位, 该寄存器的设置将被忽略。

寄存器名称: **MC**
 寄存器说明: **主时钟选择**
 寄存器地址: **06h**

位#	7	6	5	4	3	2	1	0
名称	PCLKI1	PCLKI0	TECLKE	CLKAE	MPS1	MPS0	FREQS	PLLE
默认值	0	0	0	0	0	0	0	0

第7位至第6位: PLL时钟输入 [1:0] (PCLKI[1:0])。这些位选择PLL的输入。

- 00 使用了MCLK。
- 01 根据寄存器[CCR](#)选择, 使用了RCLK1至8。
- 10 根据寄存器CCR选择, 使用了RCLK9至16。
- 11 保留。

第5位: T1/E1时钟使能(TECLKE)。置位时, 使能TECLK输出。否则, 将禁止TECLK, TECLK输出是一个LOS输出。为保证正常工作, TECLK需要PLLE置位。

第4位: 时钟A使能(CLKAE)。置位时, 使能CLKA输出。否则, 将禁止CLKA, CLKA输出是一个LOS输出。为保证正常工作, CLKA需要PLLE置位。

第3位至第2位: 主周期选择[1:0] (MPS[1:0])。MPS[1:0]选择DS26324的外部MCLK频率。参见[表6-15](#)的详细信息。当对该寄存器进行写操作时, 也起到对通道9至16的控制功能。

第1位: 频率选择(FREQS), 与MPS[1:0]一起选择DS26324的外部MCLK频率。置位时, 外部主时钟为1.544MHz或其倍频。否则, 外部主时钟可以是2.048MHz或其倍频。参见[表6-15](#)的详细信息。当对该寄存器进行写操作时, 也起到对通道9至16的控制功能。

第0位: 锁相环使能(PLLE)。置位时, 使能锁相环。如果没有置位, MCLK将作为输入时钟。

表6-15. DS26324的MCLK选择

PLLE	MPS1, MPS0	MCLK MHz, $\pm 50\text{ppm}$	FREQS	T1 OR E1 MODE
0	xx	1.544	x	T1
0	xx	2.048	x	E1
1	00	1.544	1	T1/J1 or E1
1	01	3.088	1	T1/J1 or E1
1	10	6.176	1	T1/J1 or E1
1	11	12.352	1	T1/J1 or E1
1	00	2.048	0	T1/J1 or E1
1	01	4.096	0	T1/J1 or E1
1	10	8.192	0	T1/J1 or E1
1	11	16.384	0	T1/J1 or E1

寄存器名称: **RSMM1**
 寄存器说明: **接收灵敏度监控模式1**
 寄存器地址(LIU 1-8): **08h**

位#	7	6	5	4	3	2	1	0
名称	RTR2	C2RSM2	C2RSM1	C2RSM0	RTR1	C1RSM2	C1RSM1	C1RSM0
默认值	0	0	0	0	0	0	0	0

第7位: 通道2接收变压器匝数比(RTR2)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。注意, 为使用接收器内部阻抗匹配, 必须使用1:1变压器, 该位必须置1。

第6位至第4位: 通道2接收灵敏度/监控选择 [2:0] (C2RSM[2:0])。C2RSM[2:0]用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

第3位: 通道1接收变压器匝数比(RTR1)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。

第2位至第0位: 通道1接收灵敏度/监控选择[2:0] (C1RSM[2:0])。C1RSM[2:0] 用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

寄存器地址(LIU 9-16): **28h**

位#	7	6	5	4	3	2	1	0
名称	RTR10	C10RSM2	C10RSM1	C10RSM0	RTR9	C9RSM2	C9RSM1	C9RSM0
默认值	0	0	0	0	0	0	0	0

第7位: 通道10接收变压器匝数比(RTR10)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。注意, 为使用接收器内部阻抗匹配, 必须使用1:1变压器, 该位必须置1。

第6位至第4位: 通道10接收灵敏度/监控选择[2:0] (C10RSM[2:0])。C10RSM[2:0]用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

第3位: 通道9接收变压器匝数比(RTR9)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。

第2位至第0位: 通道9接收灵敏度/监控选择[2:0] (C9RSM[2:0])。C9RSM[2:0] 用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

寄存器名称: **RSMM2**
 寄存器说明: **接收灵敏度监控器模式2**
 寄存器地址(LIU 1-8): **09h**

位#	7	6	5	4	3	2	1	0
名称	RTR4	C4RSM2	C4RSM1	C4RSM0	RTR3	C3RSM2	C3RSM1	C3RSM0
默认值	0	0	0	0	0	0	0	0

第7位: 通道4接收变压器匝数比(RTR4)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。注意, 为使用接收器内部阻抗匹配, 必须使用1:1变压器, 该位必须置1。

第6位至第4位: 通道4接收灵敏度/监控选择[2:0] (C4RSM[2:0])。C4RSM[2:0]用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

第3位: 通道3接收变压器匝数比(RTR3)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。

第2位至第0位: 通道3接收灵敏度/监控选择[2:0] (C3RSM[2:0])。C3RSM[2:0] 用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

寄存器地址(LIU 9-16): **29h**

位#	7	6	5	4	3	2	1	0
名称	RTR12	C12RSM2	C12RSM1	C12RSM0	RTR11	C11RSM2	C11RSM1	C11RSM0
默认值	0	0	0	0	0	0	0	0

第7位: 通道12接收变压器匝数比(RTR12)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。注意, 为使用接收器内部阻抗匹配, 必须使用1:1变压器, 该位必须置1。

第6位至第4位: 通道12接收灵敏度/监控选择[2:0] (C12RSM[2:0])。C12RSM[2:0]用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

第3位: 通道11接收变压器匝数比(RTR11)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。

第2位至第0位: 通道11接收灵敏度/监控选择[2:0] (C11RSM[2:0])。C11RSM[2:0] 用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

寄存器名称: **RSMM3**
 寄存器说明: **接收灵敏度监控器模式3**
 寄存器地址(LIU 1-8): **0Ah**

位#	7	6	5	4	3	2	1	0
名称	RTR6	C6RSM2	C6RSM1	C6RSM0	RTR5	C5RSM2	C5RSM1	C5RSM0
默认值	0	0	0	0	0	0	0	0

第7位: 通道6接收变压器匝数比(RTR6)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。注意, 为使用接收器内部阻抗匹配, 必须使用1:1变压器, 该位必须置1。

第6位至第4位: 通道6接收灵敏度/监控选择[2:0] (C6RSM[2:0])。C6RSM[2:0]用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

第3位: 通道5接收变压器匝数比(RTR5)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。

第2位至第0位: 通道5接收灵敏度/监控选择[2:0] (C5RSM[2:0])。C5RSM[2:0]用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

寄存器地址(LIU 9-16): **2Ah**

位#	7	6	5	4	3	2	1	0
名称	RTR14	C14RSM2	C14RSM1	C14RSM0	RTR13	C13RSM2	C13RSM1	C13RSM0
默认值	0	0	0	0	0	0	0	0

第7位: 通道14接收变压器匝数比(RTR14)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。注意, 为使用接收器内部阻抗匹配, 必须使用1:1变压器, 该位必须置1。

第6位至第4位: 通道14接收灵敏度/监控选择[2:0] (C14RSM[2:0])。C14RSM[2:0]用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

第3位: 通道13接收变压器匝数比(RTR13)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。

第2位至第0位: 通道13接收灵敏度/监控选择[2:0] (C13RSM[2:0])。C13RSM[2:0]用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

寄存器名称: **RSMM4**
 寄存器说明: **接收灵敏度监控器模式4**
 寄存器地址(LIU 1-8): **0Bh**

位#	7	6	5	4	3	2	1	0
名称	RTR8	C8RSM2	C8RSM1	C8RSM0	RTR7	C7RSM2	C7RSM1	C7RSM0
默认值	0	0	0	0	0	0	0	0

第7位: 通道8接收变压器匝数比(RTR8)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。注意, 为使用接收器内部阻抗匹配, 必须使用1:1变压器, 该位必须置1。

第6位至第4位: 通道8接收灵敏度/监控选择[2:0] (C8RSM[2:0])。C8RSM[2:0]用于选择接收器灵敏度电平和监控模式阻抗增益。参见[表6-16](#)。

第3位: 通道7接收变压器匝数比(RTR7)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。

第2位至第0位: 通道7接收灵敏度/监控选择[2:0] (C7RSM[2:0])。C7RSM[2:0]用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

寄存器地址(LIU 9-16): **2Bh**

位#	7	6	5	4	3	2	1	0
名称	RTR16	C16RSM2	C16RSM1	C16RSM0	RTR15	C15RSM2	C15RSM1	C15RSM0
默认值	0	0	0	0	0	0	0	0

第7位: 通道16接收变压器匝数比(RTR16)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。注意, 为使用接收器内部阻抗匹配, 必须使用1:1变压器, 该位必须置1。

第6位至第4位: 通道16接收灵敏度/监控选择[2:0] (C16RSM[2:0])。位C16RSM[2:0]用于选择接收器灵敏度电平和监控模式阻抗增益。参见[表6-16](#)。

第3位: 通道15接收变压器匝数比(RTR15)。置位时, 接收侧匝数比为1:1。当使用1:1接收变压器时, 该位应置位。

第2位至第0位: 通道15接收灵敏度/监控选择[2:0] (C15RSM[2:0])。C15RSM[2:0]用于选择接收器灵敏度和监控模式阻抗增益。参见[表6-16](#)。

表6-16. 接收器灵敏度/监控模式增益选择

RECEIVER MONITOR MODE DISABLED	C _n RSM[2:0], T1/E1 MODE	RECEIVER SENSITIVITY (MAXIMUM LOSS) (dB)	RECEIVER MONITOR MODE GAIN SETTINGS (dB)	LOSS DECLARATION LEVEL (dB)
No flat gain	000	12	0	15
No flat gain	001	18	0	21
Receiver monitor mode enabled	C _n RSM[2:0]	Max cable loss	Receiver monitor mode gain settings	—
Flat gain	100	30	14	37
Flat gain	101	22.5	20	45.5

寄存器名称: **RSL1**
 寄存器说明: **接收信号电平指示1**
 寄存器地址(LIU 1-8): **0Ch**

位#	7	6	5	4	3	2	1	0
名称	<u>C2RSL3</u>	<u>C2RSL2</u>	<u>C2RSL1</u>	<u>C2RSL0</u>	<u>C1RSL3</u>	<u>C1RSL2</u>	<u>C1RSL1</u>	<u>C1RSL0</u>
默认值	0	0	0	0	0	0	0	0

第7位至第4位: 通道2接收信号电平[3:0] (C2RSL[3:0])。C2RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

第3位至第0位: 通道1接收信号电平[3:0] (C1RSL[3:0])。C1RSL[3:0] 位提供接收信号电平, 如[表6-17](#)所示。

寄存器地址(LIU 9-16): **2Ch**

位#	7	6	5	4	3	2	1	0
名称	<u>C10RSL3</u>	<u>C10RSL2</u>	<u>C10RSL1</u>	<u>C10RSL0</u>	<u>C9RSL3</u>	<u>C9RSL2</u>	<u>C9RSL1</u>	<u>C9RSL0</u>
默认值	0	0	0	0	0	0	0	0

第7位至第4位: 通道10接收信号电平[3:0] (C10RSL[3:0])。C10RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

第3位至第0位: 通道9接收信号电平[3:0] (C9RSL[3:0])。C9RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

表6-17. 接收信号电平

CnRSL3 to CnRSL0	RECEIVE LEVEL (dB)	
	T1	E1
0000	>-2.5	>-2.5
0001	-2.5 to -5	-2.5 to -5
0010	-5 to -7.5	-5 to -7.5
0011	-7.5 to -10	-7.5 to -10
0100	-10 to -12.5	-10 to -12.5
0101	-12.5 to -15	-12.5 to -15
0110	-15 to -17.5	-15 to -17.5
0111	-17.5 to -20	-17.5 to -20

寄存器名称: **RSL2**
 寄存器说明: **接收信号电平指示2**
 寄存器地址(LIU 1-8): **0Dh**

位#	7	6	5	4	3	2	1	0
名称	<u>C4RSL3</u>	<u>C4RSL2</u>	<u>C4RSL1</u>	<u>C4RSL0</u>	<u>C3RSL3</u>	<u>C3RSL2</u>	<u>C3RSL1</u>	<u>C3RSL0</u>
默认值	0	0	0	0	0	0	0	0

第7位至第4位: 通道4接收信号电平[3:0] (C4RSL[3:0])。C4RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

第3位至第0位: 通道3接收信号电平[3:0] (C3RSL[3:0])。C3RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

寄存器地址(LIU 9-16): **2Dh**

位#	7	6	5	4	3	2	1	0
名称	<u>C12RSL3</u>	<u>C12RSL2</u>	<u>C12RSL1</u>	<u>C12RSL0</u>	<u>C11RSL3</u>	<u>C11RSL2</u>	<u>C11RSL1</u>	<u>C11RSL0</u>
默认值	0	0	0	0	0	0	0	0

第7位至第4位: 通道12接收信号电平[3:0] (C12RSL[3:0])。C12RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

第3位至第0位: 通道11接收信号电平[3:0] (C11RSL[3:0])。C11RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

寄存器名称: **RSL3**
 寄存器说明: **接收信号电平指示3**
 寄存器地址(LIU 1-8): **0Eh**

位#	7	6	5	4	3	2	1	0
名称	<u>C6RSL3</u>	<u>C6RSL2</u>	<u>C6RSL1</u>	<u>C6RSL0</u>	<u>C5RSL3</u>	<u>C5RSL2</u>	<u>C5RSL1</u>	<u>C5RSL0</u>
默认值	0	0	0	0	0	0	0	0

第7位至第4位: 通道6接收信号电平[3:0] (C6RSL[3:0])。C6RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

第3位至第0位: 通道5接收信号电平[3:0] (C5RSL[3:0])。C5RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

寄存器地址(LIU 9-16): **2Eh**

位#	7	6	5	4	3	2	1	0
名称	<u>C14RSL3</u>	<u>C14RSL2</u>	<u>C14RSL1</u>	<u>C14RSL0</u>	<u>C13RSL3</u>	<u>C13RSL2</u>	<u>C13RSL1</u>	<u>C13RSL0</u>
默认值	0	0	0	0	0	0	0	0

第7位至第4位: 通道14接收信号电平[3:0] (C14RSL[3:0])。C14RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

第3位至第0位: 通道13接收信号电平[3:0] (C13RSL[3:0])。C13RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

寄存器名称: **RSL4**
 寄存器说明: **接收信号电平指示4**
 寄存器地址(LIU 1-8): **0Fh**

位#	7	6	5	4	3	2	1	0
名称	<u>C8RSL3</u>	<u>C8RSL2</u>	<u>C8RSL1</u>	<u>C8RSL0</u>	<u>C7RSL3</u>	<u>C7RSL2</u>	<u>C7RSL1</u>	<u>C7RSL0</u>
默认值	0	0	0	0	0	0	0	0

第7位至第4位: 通道8接收信号电平[3:0] (C8RSL[3:0])。C8RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

第3位至第0位: 通道7接收信号电平[3:0] (C7RSL[3:0])。C7RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

寄存器地址(LIU 9-16): **2Fh**

位#	7	6	5	4	3	2	1	0
名称	<u>C16RSL3</u>	<u>C16RSL2</u>	<u>C16RSL1</u>	<u>C16RSL0</u>	<u>C15RSL3</u>	<u>C15RSL2</u>	<u>C15RSL1</u>	<u>C15RSL0</u>
默认值	0	0	0	0	0	0	0	0

第7位至第4位: 通道16接收信号电平[3:0] (C16RSL[3:0])。C16RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

第3位至第0位: 通道15接收信号电平[3:0] (C15RSL[3:0])。C15RSL[3:0]位提供接收信号电平, 如[表6-17](#)所示。

寄存器名称: **BTCR**
 寄存器说明: **误码率测试控制寄存器**
 寄存器地址(LIU 1-8): **10h**

位#	7	6	5	4	3	2	1	0
名称	BTS2	BTS1	BTS0	--	--	--	--	BERTE
默认值	0	0	0	0	0	0	0	0

该寄存器使能LIU 1-8 BERT。BERT每次只能连接至一个LIU。LIU 1-8 BERT工作独立于LIU 9-16 BERT。

第7位至第5位: 误码率收发器选择[2:0] (BTS[2:0])。BTS[2:0]选择使用BERT的LIU (参见表6-18)。该功能仅在BERTE置位时使用。

第0位: 误码率测试使能(BERTE)。置位时, 经过2 μ s后误码率测试器(BERT)使能。只有使能后, 才可对BERT寄存器组进行读写操作。BERT每次只能用于一个LIU, 由BTS[2:0]进行选择。该位迫使器件进入HDB3/B8ZS编码的单极性摆幅模式。

寄存器地址(LIU 9-16): **30h**

位#	7	6	5	4	3	2	1	0
名称	BTS2	BTS1	BTS0	--	--	--	--	BERTE
默认值	0	0	0	0	0	0	0	0

该寄存器使能LIU 9-16 BERT。BERT每次只能连接至一个LIU。LIU 9-16 BERT工作独立于LIU 1-8 BERT。

第7位至第5位: 误码率收发器选择[2:0] (BTS[2:0])。BTS[2:0]选择使用BERT的LIU (参见表6-19)。该功能仅在BERTE置位时使用。

第0位: 误码率测试使能(BERTE)。置位时, 经过2 μ s后误码率测试器(BERT)使能。只有使能后, 才可对BERT寄存器组进行读写操作。BERT每次只能用于一个LIU, 由BTS[2:0]进行选择。该位迫使器件进入HDB3/B8ZS编码的单极性摆幅模式。

表6-18. 通道1至8误码率收发器选择

REGISTER ADDRESS	BTS2	BTS1	BTS0	CHANNEL BERT APPLIES TO
10h	0	0	0	Channel 1
10h	0	0	0	Channel 2
10h	0	1	0	Channel 3
10h	0	1	1	Channel 4
10h	1	0	0	Channel 5
10h	1	0	1	Channel 6
10h	1	1	0	Channel 7
10h	1	1	1	Channel 8

表6-19. 通道9至16误码率收发器选择

REGISTER ADDRESS	BTS2	BTS1	BTS0	CHANNEL BERT APPLIES TO
30h	0	0	0	Channel 9
30h	0	0	0	Channel 10
30h	0	1	0	Channel 11
30h	0	1	1	Channel 12
30h	1	0	0	Channel 13
30h	1	0	1	Channel 14
30h	1	1	0	Channel 15
30h	1	1	1	Channel 16

寄存器名称: **BEIR**
 寄存器说明: **BPV误码插入寄存器**
 寄存器地址(LIU 1-8): **11h**

位#	7	6	5	4	3	2	1	0
名称	BEIR8	BEIR7	BEIR6	BEIR5	BEIR4	BEIR3	BEIR2	BEIR1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **31h**

位#	7	6	5	4	3	2	1	0
名称	BEIR16	BEIR15	BEIR14	BEIR13	BEIR12	BEIR11	BEIR10	BEIR9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: BPV误码插入寄存器 n (BEIR n)。该位由0至1的跳变, 将导致一个双极性违规(BPV)插入到通道 n 发送数据流中。继续插入误码时, 该位必须被清零, 然后再次置位。仅适用于单极性摆幅模式。

寄存器名称: **LVDS**
 寄存器说明: **线路违规检测状态**
 寄存器地址(LIU 1-8): **12h**

位#	7	6	5	4	3	2	1	0
名称	LVDS8	LVDS7	LVDS6	LVDS5	LVDS4	LVDS3	LVDS2	LVDS1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **32h**

位#	7	6	5	4	3	2	1	0
名称	LVDS16	LVDS15	LVDS14	LVDS13	LVDS12	LVDS11	LVDS10	LVDS9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 线路违规检测状态 n (LVDS n)。双极性违规、编码违规或零过多将导致相关的LVDS n 位锁存。读操作该位清零。LVDS寄存器在一个三时钟周期窗口捕获第一个违规。如果在三时钟周期窗口中第一次违规后出现了第二次违规, 即使读取了LVDS寄存器, 也不会锁存第二次违规。零过多检测需要由EZDE寄存器使能。编码违规仅用于HDB3模式, CVDEB寄存器设置可禁止编码违规检测功能。在双极性摆幅模式下, 该寄存器仅与双极性违规相关。

寄存器名称: **RCLKI**
 寄存器说明: **接收时钟置反**
 寄存器地址(LIU 1-8): **13h**

位#	7	6	5	4	3	2	1	0
名称	RCLKI8	RCLKI7	RCLKI6	RCLKI5	RCLKI4	RCLKI3	RCLKI2	RCLKI1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **33h**

位#	7	6	5	4	3	2	1	0
名称	RCLKI16	RCLKI15	RCLKI14	RCLKI13	RCLKI12	RCLKI11	RCLKI10	RCLKI9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 接收时钟置反 n (RCLKIn)。置位时, 通道 n RCLK被置反, 使RPOS/RNEG与RCLK下降沿对齐。复位或处于默认值时, RPOS/RNEG与RCLK上升沿对齐。

寄存器名称: **TCLKI**
 寄存器说明: **发送时钟置反**
 寄存器地址(LIU 1-8): **14h**

位#	7	6	5	4	3	2	1	0
名称	TCLKI8	TCLKI7	TCLKI6	TCLKI5	TCLKI4	TCLKI3	TCLKI2	TCLKI1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **34h**

位#	7	6	5	4	3	2	1	0
名称	TCLKI16	TCLKI15	TCLKI14	TCLKI13	TCLKI12	TCLKI11	TCLKI10	TCLKI9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: 发送时钟置反 n (TCLKIn)。置位时, 通道 n 的TCLK置反。TPOS/TNEG应与TCLK下降沿对齐。当复位或处于默认值时, TPOS/TNEG与TCLK上升沿对齐。

寄存器名称: CCR
 寄存器说明: 时钟控制寄存器
 寄存器地址: 15h

位#	7	6	5	4	3	2	1	0
名称	PCLKS2	PCLKS1	PCLKS0	TECLKS	CLKA3	CLKA2	CLKA1	CLKA0
默认值	0	0	0	0	0	0	0	0

第7位至第5位: PLL时钟选择(PCLKS[2:0])。这些位确定用作PLL输入的RCLK。如果在RCLK恢复通道中检测到LOS, PLL将切换至MCLK, 直到清除LOS为止。当清除LOS后, 将再次使用RCLK。参见[表6-20](#)的RCLK选择。要使这些设置生效, 必须将MC.PCLKI[1:0]设置为‘01’或者‘10’。

第4位: T1/E1时钟选择(TECLKS)。置位时, T1/E1时钟输出为2.048MHz。复位时, T1/E1时钟速率为1.544MHz。

第3位至第0位: 时钟A选择(CLKA[3:0])。这些位选择CLKA引脚的输出频率, 参见[表6-21](#)频率。为实现最佳抖动指标, 选择MCLK作为CLKA的时钟源, 输入一个2.048MHz MCLK。

表6-20. PLL时钟选择

PCLKS2 TO PCLKS0	PLL CLOCK SELECTED MC.PCLKI[1:0]=01	PLL CLOCK SELECTED MC.PCLKI[1:0]=10
000	RCLK1	RCLK9
001	RCLK2	RCLK10
010	RCLK3	RCLK11
011	RCLK4	RCLK12
100	RCLK5	RCLK13
101	RCLK6	RCLK14
110	RCLK7	RCLK15
111	RCLK8	RCLK16

表6-21. 时钟A选择

CLKA3 TO CLKA0	CLKA (Hz)
0000	2.048M
0001	4.096M
0010	8.192M
0011	16.384M
0100	1.544M
0101	3.088M
0110	6.176M
0111	12.352M
1000	1.536M
1001	3.072M
1010	6.144M
1011	12.288M
1100	32k
1101	64k
1110	128k
1111	256k

寄存器名称: **RDULR**
 寄存器说明: **LOS下的RCLK禁止寄存器**
 寄存器地址(LIU 1-8): **16h**

位#	7	6	5	4	3	2	1	0
名称	RDULR8	RDULR7	RDULR6	RDULR5	RDULR4	RDULR3	RDULR2	RDULR1
默认值	0	0	0	0	0	0	0	0

寄存器地址(LIU 9-16): **36h**

位#	7	6	5	4	3	2	1	0
名称	RDULR16	RDULR15	RDULR14	RDULR13	RDULR12	RDULR11	RDULR10	RDULR9
默认值	0	0	0	0	0	0	0	0

第7位至第0位: LOS下的RCLK禁止寄存器 n (RDULR n)。置位时, 出现信号丢失, 通道 n 的RCLK被禁止, 输出低电平。复位或处于默认值时, 信号丢失10ms内, RCLK切换至MCLK。

寄存器名称: **GISC**
 寄存器说明: **全局中断状态控制**
 寄存器地址: **1Eh**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	—	—	INTM	CWE
默认值	0	0	0	0	0	0	0	0

第0位: 写清零使能(CWE)。置位时, 使能所有锁存中断状态寄存器的写清零功能。清除某位前, 主处理器已向中断状态寄存器的对应位置写入一个1。读操作时, 所有锁存中断状态寄存器的默认值被清零。

第1位: INT引脚模式(INTM)。该位确定 $\overline{\text{INT}}$ 引脚的无效模式。有效时, $\overline{\text{INT}}$ 引脚保持低电平。

0 = 无效时, 引脚为高阻。

1 = 无效时, 引脚为高电平。

6.1.4 BERT寄存器

寄存器名称: BCR
 寄存器说明: BERT控制寄存器
 寄存器地址(LIU 1-8): 00h
 寄存器地址(LIU 9-16): 20h

位#	7	6	5	4	3	2	1	0
名称	PMUM	LPMU	RNPL	RPIC	MPR	APRD	TNPL	TPIC
默认值	0	0	0	0	0	0	0	0

第7位: 性能监视更新模式(PMUM)。等于0时, 由LPMU寄存器初始化性能监视更新; 等于1时, 接收性能监视更新信号(RPMU)初始化性能监视更新。**注意:** 如果RPMU或者LPMU是1, 修改该位的状态将开启性能监视更新。

第6位: 本地性能监视更新(LPMU)。如果使能了本地性能监视更新(PMUM = 0), 该位将初始化性能监视更新, 0至1的跳变将以最新数据更新性能监视寄存器, 计数器复位(0或1)。初始化第二次性能监视更新, 该位必须设置为0, 然后返回1。如果在PMS位变为高电平之前, LPMU变为低电平, 将不会进行更新。当PMUM = 1时, 该位不起作用。

第5位: 装载新接收模板 (RNPL)。该位由0至1的跳变将可编程测试模板(QRSS、PTS、PLF[4:0]、PTF[4:0]和BSP[31:0])装载到接收模板发生器。需要装入另一模板时, 该位必须变为0, 然后返回至1。装入新模板将迫使接收模板发生器退出“Sync”状态, 重新开始同步。**注意:** 从该位由0跳变至1开始, 直到经过四个RXCK时钟周期后, 才能改变QRSS、PTS、PLF[4:0]、PTF[4:0]和BSP[31:0]。

第4位: 接收模式置反控制(RPIC)。等于0时, 不改变接收到的数据流; 等于1时, 接收到的数据流置反。

第3位: 手动模式重新同步(MPR)。该位由0至1的跳变使接收模板发生器与收到的模板重新同步。重新同步时, 该位必须变为0, 然后返回至1。**注意:** 手动控制重新同步将迫使接收模板发生器退出“Sync”状态。

第2位: 关闭自动模板重新同步 (APRD)。等于0时, 如果收到的64位数据流中至少有6位与接收模板发生器输出不匹配, 接收模板发生器将自动与到达模板重新同步。等于1时, 接收模板发生器不具有自动重新同步功能。**注意:** 如果不允许接收模板发生器自动退出“Sync”状态, 将禁止自动同步功能。

第1位: 装载新发送模板(TNPL)。该位由0至1的跳变使可编程测试模板(QRSS、PTS、PLF[4:0]、PTF[4:0]和BSP[31:0])装载到发送模板发生器中。要装入另一模板, 该位必须置0, 然后返回至1。**注意:** 从该位由0跳变至1开始, 直到经过四个RXCK时钟周期后, 才能改变QRSS、PTS、PLF[4:0]、PTF[4:0]和BSP[31:0]。

第0位: 发送模板置反控制(TPIC)。等于0时, 不改变发送数据流; 等于1时, 发送数据流置反。

寄存器名称: **BPCR1**
 寄存器说明: **BERT模板配置寄存器1**
 寄存器地址(LIU 1-8): **02h**
 寄存器地址(LIU 9-16): **22h**

位#	7	6	5	4	3	2	1	0
名称	—	QRSS	PTS	PLF4	PLF3	PLF2	PLF1	PLF0
默认值	0	0	0	0	0	0	0	0

第6位: QRSS使能(QRSS)。等于0时, 模板发生器配置由PTS、PLF[4:0]、PTF[4:0]和BSP[31:0]控制; 等于1时, 模板发生器配置必须是PRBS模板, 生成多项式为 $x^{20} + x^{17} + 1$ 。如果后面的14位输出全部为0, 将强制模板发生器输出1。

第5位: 模板类型选择(PTS)。设置为0时, 模板为PRBS; 等于1时, 为重复模板。

第4位至第0位: 模板长度反馈(PLF[4:0])。这5位控制模板发生器的反馈“长度”。“长度”反馈来自模板发生器($n = \text{PLF}[4:0] + 1$)的第n位。对于PRBS信号, 反馈是第n位和第y位的异或。对于重复模板, 反馈是第n位。

寄存器名称: **BPCR 2**
 寄存器说明: **BERT模板配置寄存器2**
 寄存器地址(LIU 1-8): **03h**
 寄存器地址(LIU 9-16): **23h**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	PTF4	PTF3	PTF2	PTF1	PTF0
默认值	0	0	0	0	0	0	0	0

第4位至第0位: 模板抽头反馈(PTF[4:0])。这5位控制模板发生器的PRBS反馈“抽头”。反馈“抽头”来自模板发生器($y = \text{PTF}[4:0] + 1$)的第y位; 设置为重复模板时, 忽略这些位。对于PRBS信号, 反馈是第n位与第y位的异或。

寄存器名称: **BSPR1**
 寄存器说明: **BERT种子/模板寄存器#1**
 寄存器地址(LIU 1-8): **04h**
 寄存器地址(LIU 9-16): **24h**

位#	7	6	5	4	3	2	1	0
名称	BSP7	BSP6	BSP5	BSP4	BSP3	BSP2	BSP1	BSP0
默认值	0	0	0	0	0	0	0	0

寄存器名称: **BSPR2**
 寄存器说明: **BERT种子/模板寄存器#2**
 寄存器地址(LIU 1-8): **05h**
 寄存器地址(LIU 9-16): **25h**

位#	7	6	5	4	3	2	1	0
名称	BSP15	BSP14	BSP13	BSP12	BSP11	BSP10	BSP9	BSP8
默认值	0	0	0	0	0	0	0	0

寄存器名称: **BSPR3**
 寄存器说明: **BERT种子/模板寄存器#3**
 寄存器地址(LIU 1-8): **06h**
 寄存器地址(LIU 9-16): **26h**

位#	7	6	5	4	3	2	1	0
名称	BSP23	BSP22	BSP21	BSP20	BSP19	BSP18	BSP17	BSP16
默认值	0	0	0	0	0	0	0	0

寄存器名称: **BSPR4**
 寄存器说明: **BERT种子/模板寄存器#4**
 寄存器地址(LIU 1-8): **07h**
 寄存器地址(LIU 9-16): **27h**

位#	7	6	5	4	3	2	1	0
名称	BSP31	BSP30	BSP29	BSP28	BSP27	BSP26	BSP25	BSP24
默认值	0	0	0	0	0	0	0	0

BERT种子/模板(BSP[31:0])。这32位是发送PRBS模板的可编程种子，或者是发送或接收重复模板的可编程模板。对于32位重复模板或32位长度的PRBS，BSP[31]是发送侧的第一位输出。对于32位重复模板，BSP[31]是接收侧的第一位输入。

寄存器名称: **TEICR**
 寄存器说明: **发送误码插入控制寄存器**
 寄存器地址(LIU 1-8): **08h**
 寄存器地址(LIU 9-16): **28h**

位#	7	6	5	4	3	2	1	0
名称	--	--	TEIR2	TEIR1	TEIR0	BEI	TSEI	MEIMS
默认值	0	0	0	0	0	0	0	0

第5位至第3位: 发送误码插入率(TEIR[2:0])。这3位指示输出数据流中的误码插入率, 每 10^n 位出现一次置反。TEIR[2:0]是数值n, TEIR[2:0]值等于0将禁止某一指定的误码插入率。TEIR[2:0]等于1, 每 10^1 位进行一次置反。TEIR[2:0]值等于2, 每 10^2 位进行一次置反。当该寄存器写入非零TEIR[2:0]值时, 启动误码插入。如果在误码插入过程中写入该寄存器, 则在插入下一误码后启动新的误码率。

第2位: 误码插入使能(BEI)。等于0时, 禁止单一位的误码插入; 等于1时, 允许单一位的误码插入。

第1位: 发送单个误码插入(TSEI)。如果禁止手动控制误码插入(MEIMS = 0), 使能单一位的误码插入, 该位将在发送数据流中插入一个误码, 该位由0至1的跳变插入一个误码。如要插入第二个误码, 该位必须置为0, 然后返回1。**注意:** 如果MEIMS为低电平, 在误码插入期间, 即使该位出现了一次以上的跳变, 也只插入一个误码。

第0位: 手动控制误码插入模式选择(MEIMS)。等于0时, TSEI寄存器初始化误码插入; 等于1时, 误码插入由发送手动控制误码插入信号(TMEI)初始化。**注意:** 如果TMEI或TSEI为1, 该位的状态变化将插入一个误码。

寄存器名称: **BSR**
 寄存器说明: **BERT状态寄存器**
 寄存器地址(LIU 1-8): **0Ch**
 寄存器地址(LIU 9-16): **2Ch**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	PMS	—	BEC	OOS
默认值	0	0	0	0	0	0	0	0

第3位: 性能监视更新状态(PMS)。该位指示接收性能监视寄存器(计数器)更新的状态。更新后, 该位将从低电平跳变至高电平。当LPMU位(PMUM = 0)或RPMU信号(PMUM = 1)变为低电平时, PMS被异步置为低电平。

第1位: 误码计数(BEC)。等于0时, 误码计数为0; 等于1时, 误码计数大于等于1。

第0位: 同步丢失(OOS)。等于0时, 接收模板发生器与到达模板同步; 等于1时, 接收模板发生器不与到达模板同步。

寄存器名称: **BSRL**
 寄存器说明: **BERT状态寄存器锁存**
 寄存器地址(LIU 1-8): **0Eh**
 寄存器地址(LIU 9-16): **2Eh**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	<u>PMSL</u>	<u>BEL</u>	<u>BECL</u>	<u>OOSL</u>
默认值	0	0	0	0	0	0	0	0

第3位: 性能监视更新状态锁存(PMSL)。PMS位从0跳变至1时, 该位置1; 读操作将该位清零。

第2位: 误码锁存 (BEL)。检测到误码后, 该位置1; 读操作将该位清零。

第1位: 误码计数锁存 (BECL)。BEC位从0跳变至1时, 该位置1; 读操作将该位清零。

第0位: 同步丢失锁存(OOSL)。OOS位改变状态时, 该位置1; 读操作将该位清零。

寄存器名称: **BSRIE**
 寄存器说明: **BERT状态寄存器中断使能**
 寄存器地址(LIU 1-8): **10h**
 寄存器地址(LIU 9-16): **30h**

位#	7	6	5	4	3	2	1	0
名称	—	—	—	—	PMSIE	BEIE	BECIE	OOSIE
默认值	0	0	0	0	0	0	0	0

第3位: 性能监视更新状态中断使能(PMSIE)。如果PMSL置位, 该位使能中断。

0 = 禁止中断。

1 = 使能中断。

第2位: 误码中断使能 (BEIE)。如果BEL置位, 该位使能中断。

0 = 禁止中断。

1 = 使能中断。

第1位: 误码计数中断使能(BECIE)。如果BECL置位, 该位使能中断。

0 = 禁止中断。

1 = 使能中断。

第0位: 同步丢失中断使能(OOSIE)。如果OOSL置位, 该位使能中断。

0 = 禁止中断。

1 = 使能中断。

寄存器名称: **RBECR1**
 寄存器说明: **接收误码计数寄存器#1**
 寄存器地址(LIU 1-8): **14h**
 寄存器地址(LIU 9-16): **34h**

位#	7	6	5	4	3	2	1	0
名称	<u>BEC7</u>	<u>BEC6</u>	<u>BEC5</u>	<u>BEC4</u>	<u>BEC3</u>	<u>BEC2</u>	<u>BEC1</u>	<u>BEC0</u>
默认值	0	0	0	0	0	0	0	0

寄存器名称: **RBECR2**
 寄存器说明: **接收误码计数寄存器#2**
 寄存器地址(LIU 1-8): **15h**
 寄存器地址(LIU 9-16): **35h**

位#	7	6	5	4	3	2	1	0
名称	<u>BEC15</u>	<u>BEC14</u>	<u>BEC13</u>	<u>BEC12</u>	<u>BEC11</u>	<u>BEC10</u>	<u>BEC9</u>	<u>BEC8</u>
默认值	0	0	0	0	0	0	0	0

寄存器名称: **RBECR3**
 寄存器说明: **接收误码计数寄存器#3**
 寄存器地址(LIU 1-8): **16h**
 寄存器地址(LIU 9-16): **36h**

位#	7	6	5	4	3	2	1	0
名称	<u>BEC23</u>	<u>BEC22</u>	<u>BEC21</u>	<u>BEC20</u>	<u>BEC19</u>	<u>BEC18</u>	<u>BEC17</u>	<u>BEC16</u>
默认值	0	0	0	0	0	0	0	0

误码计数(BEC[23:0])。这24位指示到达数据流中的误码数量。达到FF FFFFh后，停止递增计数。当发生OOS时，对应的误码计数器不会递增计数。

寄存器名称: **RBCR1**
 寄存器说明: **接收误码计数寄存器#1**
 寄存器地址(LIU 1-8): **18h**
 寄存器地址(LIU 9-16): **38h**

位#	7	6	5	4	3	2	1	0
名称	<u>BC7</u>	<u>BC6</u>	<u>BC5</u>	<u>BC4</u>	<u>BC3</u>	<u>BC2</u>	<u>BC1</u>	<u>BC0</u>
默认值	0	0	0	0	0	0	0	0

寄存器名称: **RBCR2**
 寄存器说明: **接收误码计数寄存器#2**
 寄存器地址(LIU 1-8): **19h**
 寄存器地址(LIU 9-16): **39h**

位#	15	14	13	12	11	10	9	8
名称	<u>BC15</u>	<u>BC14</u>	<u>BC13</u>	<u>BC12</u>	<u>BC11</u>	<u>BC10</u>	<u>BC9</u>	<u>BC8</u>
默认值	0	0	0	0	0	0	0	0

寄存器名称: **RBCR3**
 寄存器说明: **接收误码计数寄存器#3**
 寄存器地址(LIU 1-8): **1Ah**
 寄存器地址(LIU 9-16): **3Ah**

位#	7	6	5	4	3	2	1	0
名称	<u>BC23</u>	<u>BC22</u>	<u>BC21</u>	<u>BC20</u>	<u>BC19</u>	<u>BC18</u>	<u>BC17</u>	<u>BC16</u>
默认值	0	0	0	0	0	0	0	0

寄存器名称: **RBCR4**
 寄存器说明: **接收误码计数寄存器#4**
 寄存器地址(LIU 1-8): **1Bh**
 寄存器地址(LIU 9-16): **3Bh**

位#	15	14	13	12	11	10	9	8
名称	<u>BC31</u>	<u>BC30</u>	<u>BC29</u>	<u>BC28</u>	<u>BC27</u>	<u>BC26</u>	<u>BC25</u>	<u>BC24</u>
默认值	0	0	0	0	0	0	0	0

位计数 (BC[31:0])。这32位指示到达数据流中的位数。达到FFFF FFFFh后，停止递增计数。当发生OOS时，对应的误码计数器不会递增计数。

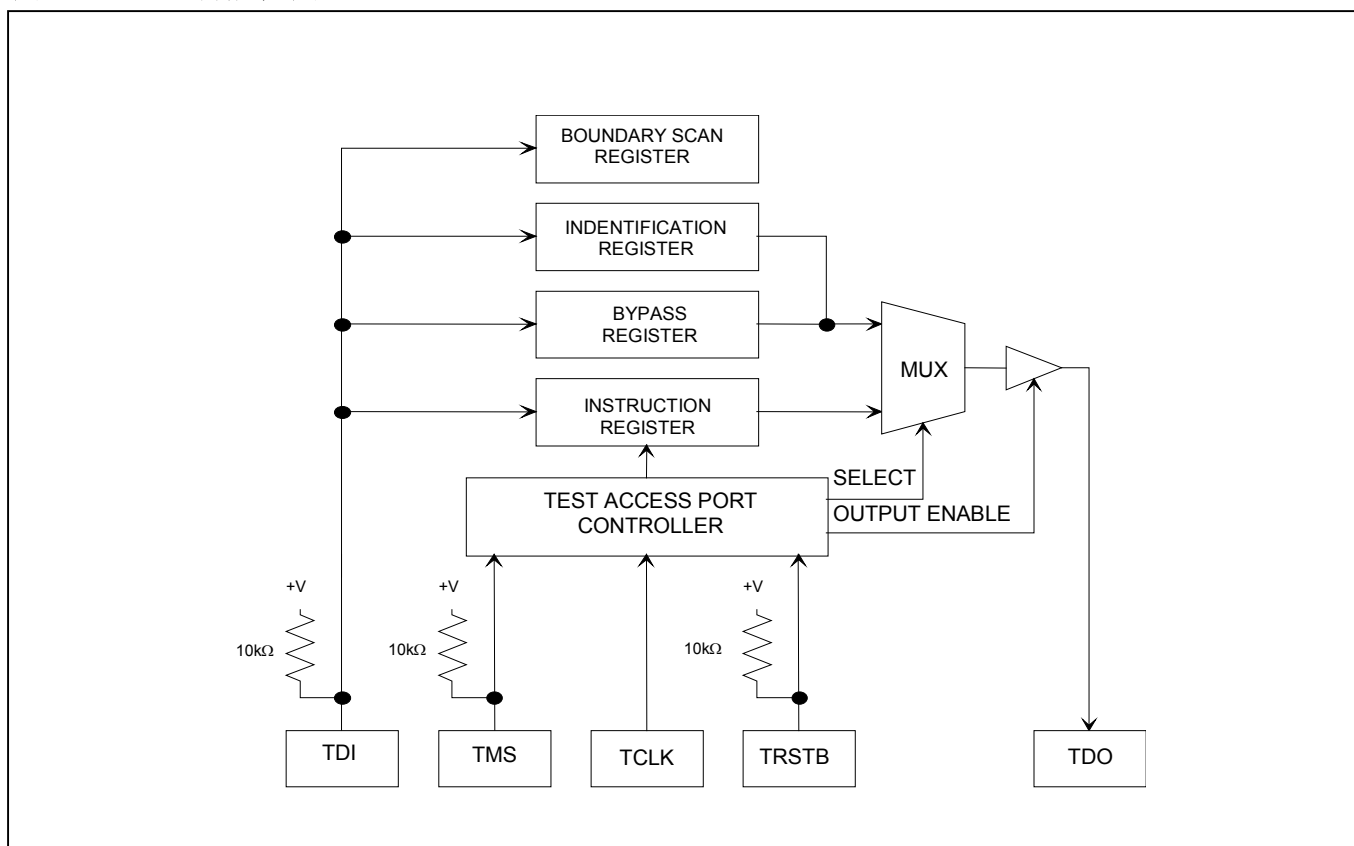
7 JTAG边界扫描结构和测试访问端口

DS26324的IEEE 1149.1设计支持标准指令代码SAMPLE/PRELOAD、BYPASS和EXTEST。可选的通用指令包括HIGHZ、CLAMP和IDCODE。DS26324含有以下IEEE 1149.1标准测试访问端口和边界扫描体系所要求的内容：

- 测试访问端口 (TAP)
- TAP控制器
- 指令寄存器
- 旁路寄存器
- 边界扫描寄存器
- 器件标识寄存器

请参考IEEE 1149.1-1990、IEEE 1149.1a-1993和IEEE 1149.1b-1994，了解边界扫描体系和测试访问端口的详细信息。测试访问端口含有必须的接口引脚；TRSTB、TCLK、TMS、TDI和TDO。参见引脚说明，了解详细信息。如需最新的BSDL文件，请访问www.maxim-ic.com.cn/tools/bsdl/，搜索DS26324。

图7-1. JTAG功能框图



7.1 TAP控制器状态机

TAP控制器是一个有限状态机，在TCLK的上升沿响应TMS逻辑电平。参见图7-2所示的状态图。

Test-Logic-Reset

上电时，TAP控制器处于Test-Logic-Reset状态。指令寄存器含有IDCODE指令，器件的所有系统逻辑电路将正常工作。上电时自动进入该状态。如果TMS保持高电平至少5个时钟周期，将从任何状态进入到该状态。

Run-Test-Idle

Run-Test-Idle用于扫描操作之间或特定测试中，指令寄存器和测试寄存器将保持空闲。当TMS保持低电平时，控制器一直处于该状态。当TMS为高电平，在TCLK的上升沿控制器进入Select-DR-Scan状态。

Select-DR-Scan

所有测试寄存器保持其前一状态。TMS低电平时，TCLK上升沿使控制器进入Capture-DR状态，初始化扫描序列。TMS为高电平时，在TCLK上升沿控制器进入Select-IR-Scan状态。

Capture-DR

如果当前指令是EXTEST或者SAMPLE/PRELOAD，数据可被并行装载到测试数据寄存器。如果指令没有调用并行装载，或所选寄存器不允许并行装载，测试寄存器将保持其当前值。在TCLK的上升沿，如果TMS为低电平，控制器将进入Shift-DR状态；如果JTMS为高电平，控制器进入Exit1-DR状态。

Shift-DR

当前指令所选择的测试数据寄存器连接在TDI和TDO之间，在TCLK的每个上升沿数据向其串行输出移动一位。如果当前指令所选择的一个测试寄存器并不在串行通路上，它将保持其前一状态。如果TAP控制器处于该状态，在TCLK的上升沿，如果TMS为高电平，控制器进入Exit1-DR状态；如果TMS为低电平，控制器保持Shift-DR状态。

Exit1-DR

在此状态下，如果TMS为高电平，控制器在TCLK的上升沿进入Update-DR状态，终止扫描过程。如果TMS为低电平，控制器在TCLK的上升沿进入Pause-DR状态。

Pause-DR

在此状态下，暂停测试寄存器移位。当前指令选择的所有测试寄存器保持其前一状态。TMS为低电平时，控制器将保持该状态。TMS为高电平时，控制器在TCLK的上升沿进入Exit2-DR状态。

Exit2-DR

此状态下，如果TMS为高电平，控制器在TCLK的上升沿进入Update-DR状态，终止扫描过程。如果TMS为低电平，控制器在TCLK的上升沿进入Shift-DR状态。

Update-DR

Update-DR状态下，TCLK的下降沿将数据从测试寄存器的移位寄存器通路锁存到数据输出锁存器，可以防止由于移位寄存器变化而导致并行输出的变化。

Select-IR-Scan

所有测试寄存器保持其前一状态。在此状态下，指令寄存器保持不变。TMS为低电平时，控制器在TCLK的上升沿进入Capture-IR状态，初始化指令寄存器的一个扫描序列。如果TMS为低电平，控制器在TCLK的上升沿回到Test-Logic-Reset状态。

Capture-IR

Capture-IR状态用于将固定值装载到指令寄存器的移位寄存器，在TCLK上升沿装载数据。如果TMS为高电平，控制器在TCLK的上升沿进入Exit1-IR状态。如果TMS为低电平，控制器在TCLK的上升沿进入Shift-IR状态。

Shift-IR

在此状态下，指令寄存器的移位寄存器连接在TDI和TDO之间，在TCLK的每个上升沿数据向其串行输出移动一位。并行寄存器以及测试寄存器保持其前一状态。如果TMS为高电平，控制器在TCLK的上升沿进入Exit1-IR状态。如果TMS为低电平，控制器在TCLK的上升沿进入Shift-IR状态，并将数据在指令移位寄存器中移动一位。

Exit1-IR

如果TMS为低电平，控制器在TCLK的上升沿进入Pause-IR状态。如果TMS为高电平，控制器在TCLK的上升沿进入Update-IR状态，终止扫描过程。

Pause-IR

暂停指令移位寄存器的移位过程。如果TMS为高电平，控制器在TCLK的上升沿进入Exit2-IR状态。如果TMS为低电平，控制器在TCLK的上升沿将保持Pause-IR状态。

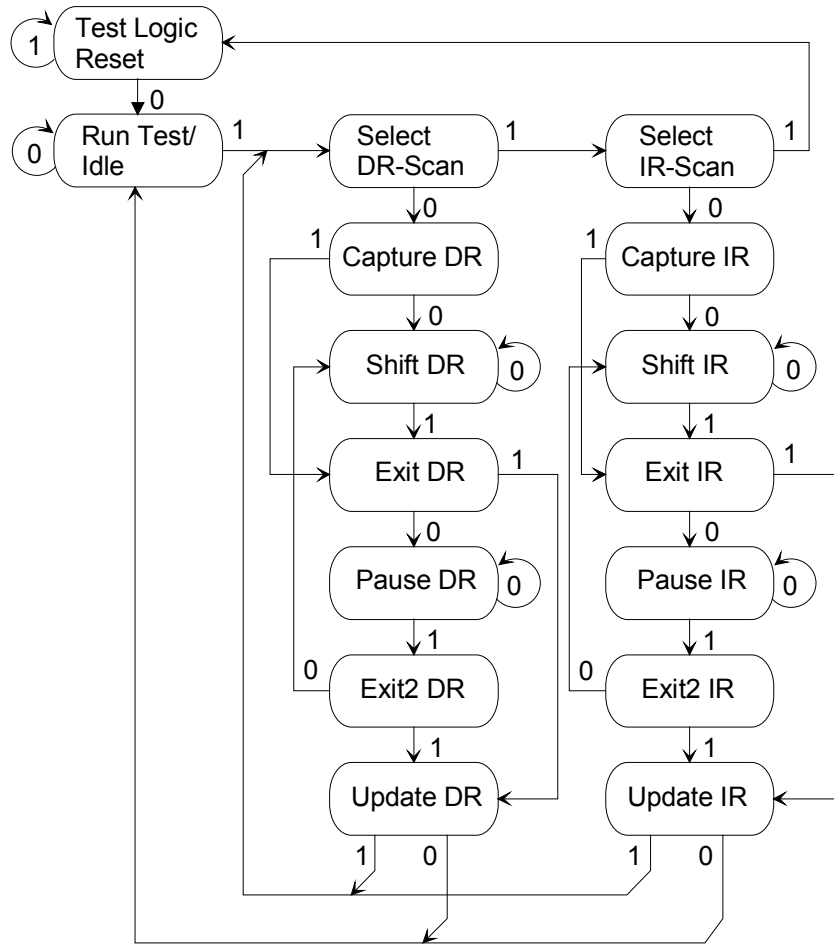
Exit2-IR

如果TMS为低电平，控制器在TCLK的上升沿进入Update-IR状态。此状态下，如果TMS为高电平，控制器在TCLK的上升沿将回到Shift-IR。

Update-IR

控制器进入此状态后，移入指令移位寄存器的代码在TCLK下降沿锁存到并行输出。一旦被锁存，该指令变为当前指令。当TMS为低电平时，控制器在TCLK的上升沿进入Run-Test-Idle状态。TMS高电平时，控制器进入Select-DR-Scan状态。

图7-2. TAP控制器状态图



7.2 指令寄存器

指令寄存器含有一个移位寄存器和一个锁存并行输出，长度为3位。当TAP控制器进入Shift-IR状态时，指令移位寄存器连接在TDI和TDO之间。在Shift-IR状态下，如果TMS为低电平，在TCLK的上升沿数据向TDO的串行输出移动一位。Exit1-IR状态或Exit2-IR状态下，如果TMS为高电平，控制器在TCLK的上升沿进入Update-IR状态，TCLK的下降沿将指令移位寄存器的数据锁存到指令并行输出。DS26324所支持的指令及其各自的二进制代码列于表7-1中。

表7-1. IEEE 1149.1体系指令代码

INSTRUCTION	SELECTED REGISTER	INSTRUCTION CODES
EXTEST	Boundary Scan	000
HIGHZ	Bypass	010
CLAMP	Bypass	011
SAMPLE/PRELOAD	Boundary Scan	100
IDCODE	Device Identification	110
BYPASS	Bypass	111

EXTEST

可实现器件所有互连的测试。当EXTEST指令锁存到指令寄存器时，发生以下事件：一旦通过Update-IR状态使能，将驱动所有数字输出引脚的并行输出；边界扫描寄存器连接在TDI和TDO之间；Capture-DR将采样所有进入边界扫描寄存器的数字输入。

HIGHZ

器件所有数字输出处于高阻态。BYPASS寄存器连接在TDI和TDO之间。

CLAMP

器件的所有数字输出将从边界扫描并行输出端口输出数据，同时将旁路寄存器连接在TDI和TDO之间。CLAMP指令下输出不变。

SAMPLE/PRELOAD

这是IEEE 1149.1规范指令，该指令支持两种功能。器件的数字I/O可在边界扫描寄存器进行采样，在Capture-DR状态下，不会干扰器件的正常工作。Shift-DR状态下，SAMPLE/PRELOAD还允许器件通过TDI将数据移位至边界扫描寄存器中。

IDCODE

当IDCODE指令锁存至并行指令寄存器时，则选中标识测试寄存器。在TCLK上升沿，器件标识码装载到标识寄存器，然后进入Capture-DR状态。Shift-DR可通过TDO将标识码串行移出。在Test-Logic-Reset过程中，标识码被强制送入指令寄存器的并行输出端。ID码的LSB位始终是“1”，后面的11位表示制造商的JEDEC号码，随后的16位数字为器件信息，4位是版本号，如表7-2所示，表7-3列出了DS26324的器件ID。

BYPASS

当BYPASS指令锁存至并行指令寄存器时，TDI通过1位旁路测试寄存器连接至TDO。使数据能够由TDI传递至TDO，而不影响器件正常工作。

表7-2. ID码结构

MSB			LSB
Version	Device ID	JEDEC	1
Contact Factory			
4 bits	16 bits	00010100001	1

表7-3. 器件ID码

DEVICE	16-BIT ID
DS26324	003C h

7.3 测试寄存器

IEEE 1149.1需要至少两个寄存器：旁路寄存器和边界扫描寄存器。DS26324设计中还含有一个可选测试寄存器。该测试寄存器为标识寄存器，用于IDCODE指令，以及TAP控制器的Test-Logic-Reset状态。

7.4 边界扫描寄存器

这个n位长度的寄存器为所有控制单元和数字I/O单元同时提供一个移位寄存器通路和一个锁存并行输出。

7.5 旁路寄存器

这个1位移位寄存器与BYPASS、CLAMP和HIGHZ指令一同工作，在TDI和TDO之间提供一个简捷通路。

7.6 标识寄存器

标识寄存器含有一个32位移位寄存器和32位锁存并行输出。TAP控制器在Test-Logic-Reset状态时，IDCODE指令选择该寄存器。有关该位使用的详细信息，请参考[表7-2](#)和[表7-3](#)。

8 直流电气特性

ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Lead with Respect to V_{SS} (except V_{DD}).....-0.3V to +5.5V
 Supply Voltage (V_{DD}) Range with Respect to V_{SS}0.3V to +3.63V
 Operating Temperature Range for DS26324G.....0°C to +70°C
 Operating Temperature Range for DS26324GN.....-40°C to +85°C
 Storage Temperature.....-55°C to +125°C
 Soldering Temperature.....See IPC/JEDEC J-STD-020 Specification

This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

表8-1. 直流引脚逻辑电平

RECOMMENDED DC OPERATING CONDITIONS

($T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$ for DS26324GN.)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Logic 1	V_{IH}	2.0		5.5	V	
Logic 0	V_{IL}	-0.3		+0.8	V	
Supply	V_{DD}	3.135	3.3	3.465	V	

表8-2. 引脚电容

CAPACITANCE

($T_A = +25^{\circ}\text{C}$)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Input Capacitance	C_{IN}		7		pF	
Output Capacitance	C_{OUT}		7		pF	

表8-3. 供电电流和输出电压

DC CHARACTERISTICS

($V_{DD} = 3.135$ to 3.465V , $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$.)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Supply Current at 3.465V	I_{DD}			1100	mA	1, 2
Supply Current at 3.3V			500			
Input Leakage	I_{IL}	-10.0		+10.0	μA	
Tri-State Output Leakage	I_{OL}	-10.0		+10.0	μA	
Output Voltage ($I_o = -4.0\text{mA}$)	V_{OH}	2.4			V	
Output Voltage ($I_o = +4.0\text{mA}$)	V_{OL}			0.4	V	

注1: RCLK1-n = TCLK1-n = 1.544MHz.

注 2: 所有端口有效时的电源电流，TTIP和TRING驱动25 Ω 负载，全1数据密度。

9 交流时序特性

9.1 线路接口特性

表9-1. 发送特性

PARAMETER		SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Output Mark Amplitude	E1 75Ω	V_M	2.14	2.37	2.6	V	
	E1 120Ω		2.7	3.0	3.3		
	T1 100Ω		2.4	3.0	3.6		
	T1 110Ω		2.4	3.0	3.6		
Output Zero Amplitude		V_S	-0.3		+0.3	V	1
Transmit Amplitude Variation with Supply			-1		+1	%	
Transmit Path Delay	Single Rail			8		UI	
	Dual Rail			3			

表9-2. 接收特性

PARAMETER		SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Cable Attenuation		Attn			12	dB	
Analog Loss-of-Signal Threshold				200		mV	1
Hysteresis Short-Haul Mode				100			
Allowable Zeros Before Loss				192			2
				192			
				2048			
Allowable Ones Before Loss				24			3
				192			
				192			
Receive Path Delay	Single Rail			8		UI	
	Dual Rail			3			

注1: 在RRING和RTIP引脚测量。

注2: 对于T1和T1.231规范, 192个零; E1和G.775规范, 192个零; 对于ETSI 300 233规范, 2048个零。

注3: 对于T1.231, 192个周期内24个1; 对于G.775, 192个1; 对于ETSI 300 233, 192个1。

9.2 并行主机接口时序

表9-3. Intel读模式

($V_{DD} = 3.3V \pm 5\%$, $T_J = -40^{\circ}C$ to $+125^{\circ}C$.)

SIGNAL NAME(S)	SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS	NOTES
RDB	t1	Pulse width if not using RDYB	40			ns	1
CSB	t2	Setup time to RDB	0			ns	1
CSB	t3	Hold time from RDB	0			ns	1
AD[7:0]	t4	Setup time to ALE	2			ns	1
A[5:0]	t5	Hold time from RDB	0			ns	1
D[7:0], AD[7:0]	t6	Delay time RDB, CSB active			40	ns	1
D[7:0], AD[7:0]	t7	Deassert delay from RDB, CSB inactive	2		20	ns	1
RDYB	t8	Enable delay time from CSB active			20	ns	1
RDYB	t9	Disable delay time from the CSB inactive			15	ns	1
AD[7:0]	t10	Hold time from ALE	3			ns	1
ALE	t11	Pulse width	5			ns	1
D[7:0]	t12	Output Delay from ALE Latched			40	ns	1
A[5:0]	t13	Setup time to RDB	10			ns	1
RDYB	t14	Delay time from RDB	0			ns	1
RDYB	t15	Active output delay time from RDB	10		35	ns	1

注1: 所有信号的输入/输出参考电平为 $V_{DD}/2$ 。

图9-1. Intel Nonmuxed读周期

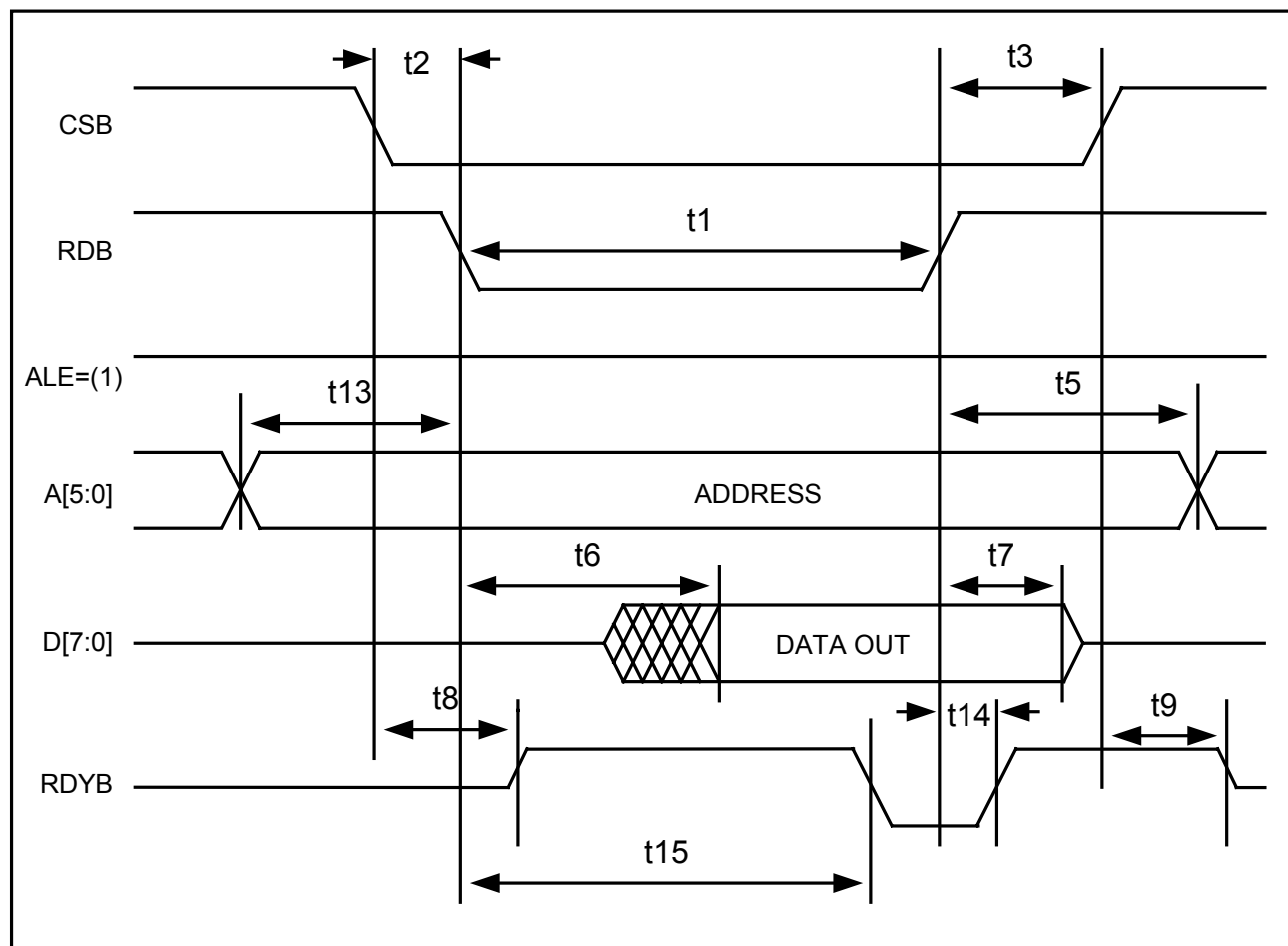


图9-2. Intel Mux读周期

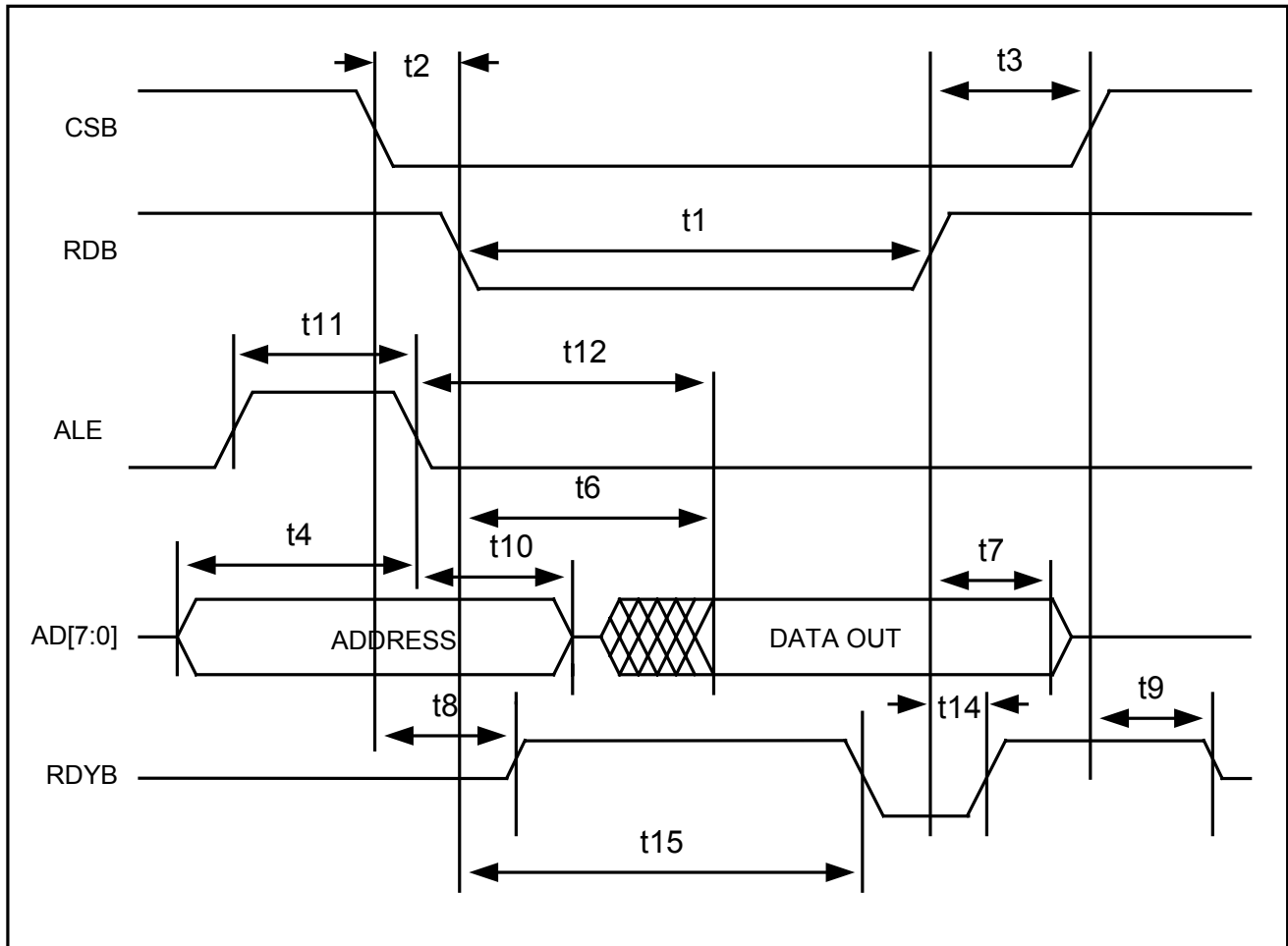


表9-4. Intel Nonmux写周期

(V_{DD} = 3.3V ±5%, T_J = -40°C to +125°C.)

SIGNAL NAME(S)	SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS	NOTES
WRB	t1	Pulse width	40			ns	1
CSB	t2	Setup time to WRB	0			ns	1
CSB	t3	Hold time to WRB	0			ns	1
AD[7:0]	t4	Setup time to ALE	2			ns	1
A[5:0]	t5	Hold time from WRB	0			ns	1
D[7:0], AD[7:0]	t6	Input setup time to WRB	10			ns	1
D[7:0], AD[7:0]	t7	Input hold time to WRB	5			ns	1
RDYB	t8	Enable delay from CSB active			20	ns	1
RDYB	t9	Delay time from WRB active	10			ns	1
RDYB	t10	Delay time from WRB inactive	0			ns	1
RDYB	t11	Disable delay time from CSB inactive			15	ns	1
ALE	t12	Pulse width	5			ns	1
AD[7:0]	t13	Hold time from ALE inactive	3			ns	1
A[5:0]	t14	Valid address to WRB inactive	35			ns	1

注1: 所有信号的输入/输出参考电平为V_{DD}/2。

图9-3. Intel Nonmux写周期

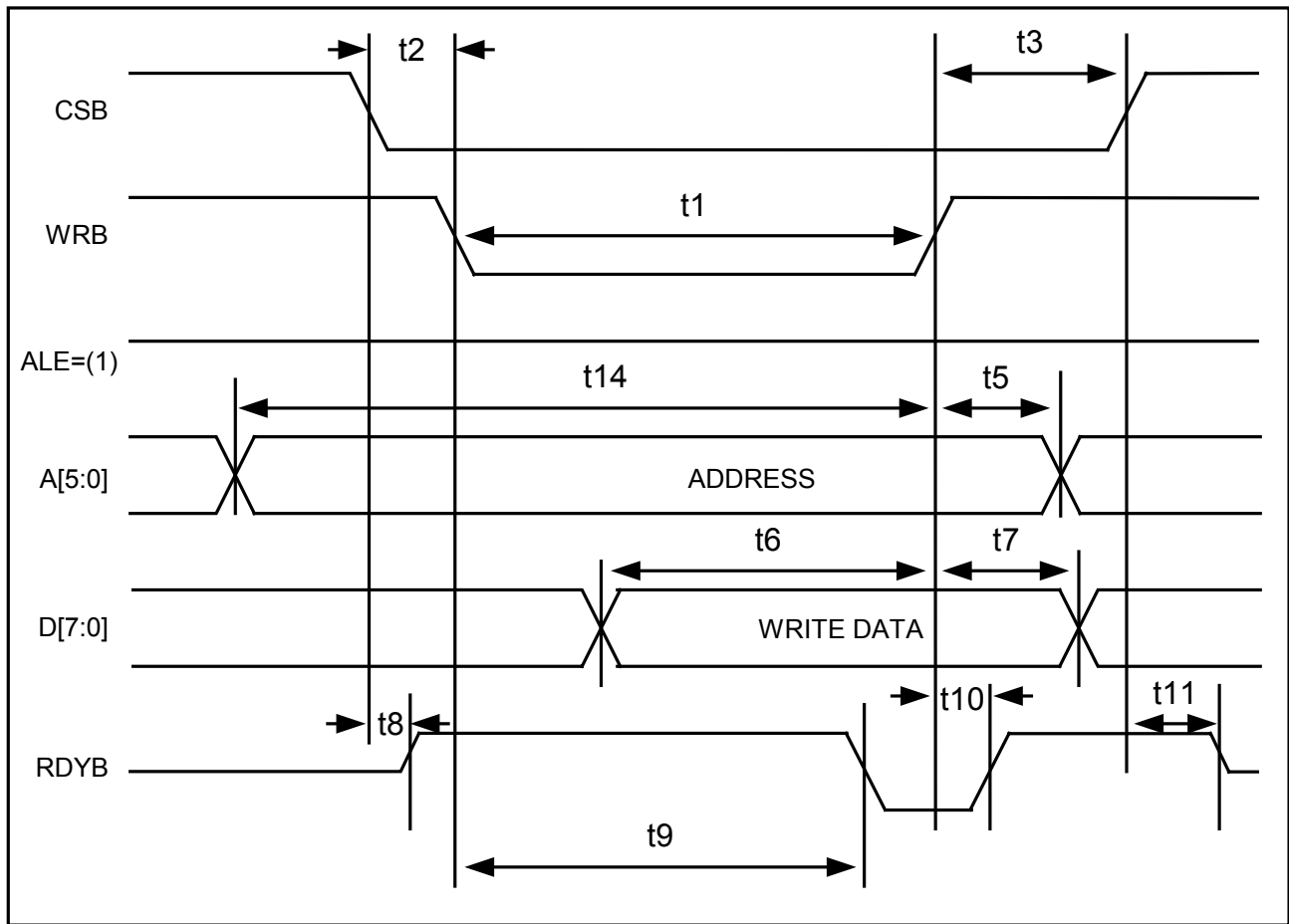


图9-4. Intel Mux写周期

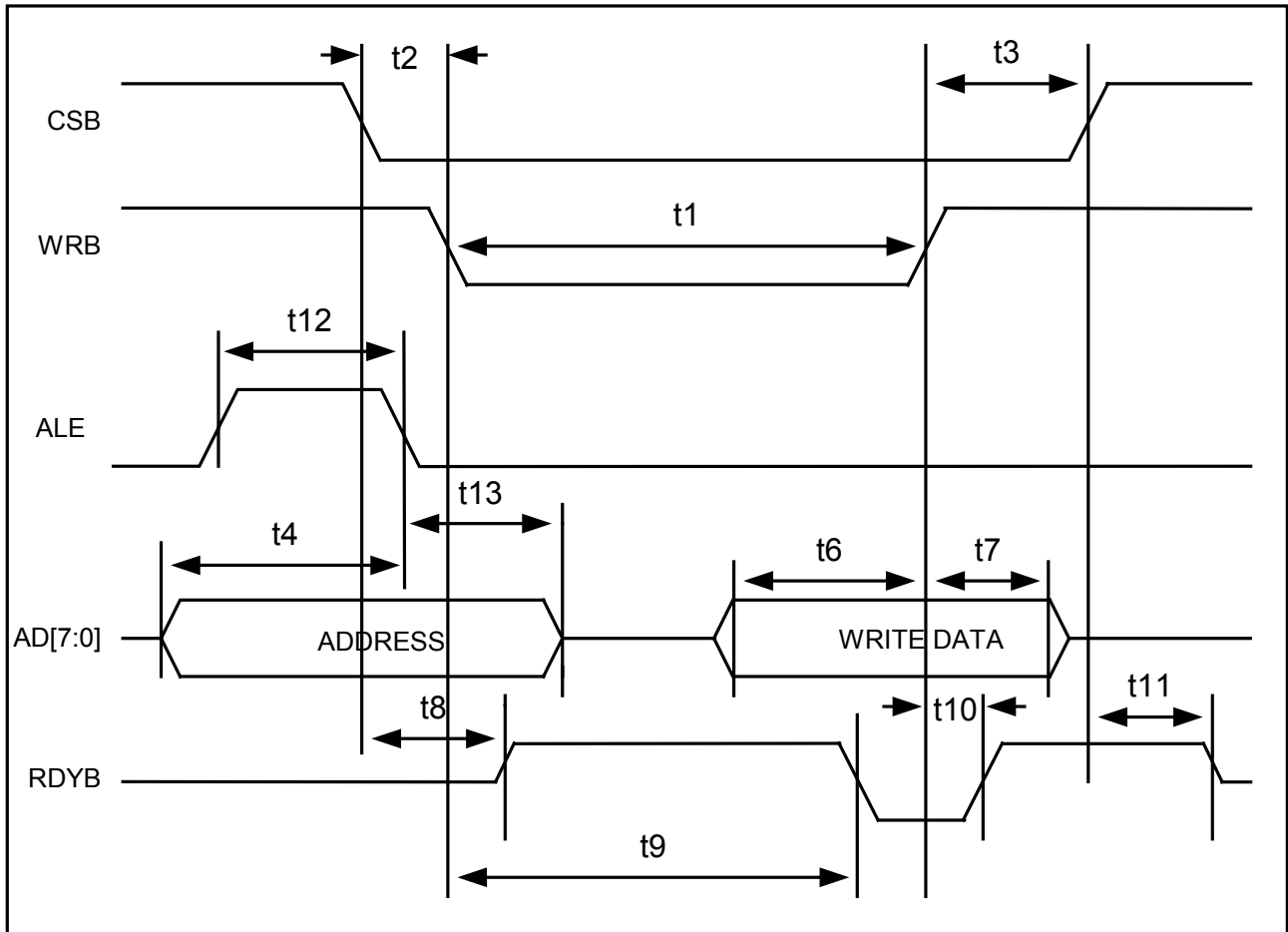


表9-5. Motorola读周期

(V_{DD} = 3.3V ±5%, T_J = -40°C to +125°C.)

SIGNAL NAME(S)	SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS	NOTES
DS	t1	Pulse width	40			ns	1
CSB	t2	Setup time to DSB active	0			ns	1
CSB	t3	Hold time from DSB inactive	0			ns	1
RWB	t4	Setup time to DSB active	0			ns	1
RWB	t5	Hold time from DSB inactive	0			ns	1
AD[7:0]	t6	Setup time to ASB active	2			ns	1
AD[7:0]	t7	Hold time to ASB inactive	3			ns	1
AD[7:0], D[7:0]	t8	Output delay time from DSB active			40	ns	1
AD[7:0], D[7:0]	t10	Output valid delay time from DSB inactive	2		20	ns	1
ACKB	t11	Output delay time from CSB inactive			15	ns	1
ACKB	t12	Output delay time from DSB inactive	0			ns	1
ACKB	t13	Enable output delay time from DSB active			20	ns	1
ACKB	t14	Output delay time from DSB active	10		35	ns	1
A[5:0]	t15	Hold time from DSB inactive	0			ns	1
A[5:0]	t16	Setup time to DSB active	10			ns	1

注1: 所有信号的输入/输出参考电平为V_{DD}/2。

图9-5. Motorola Nonmux读周期

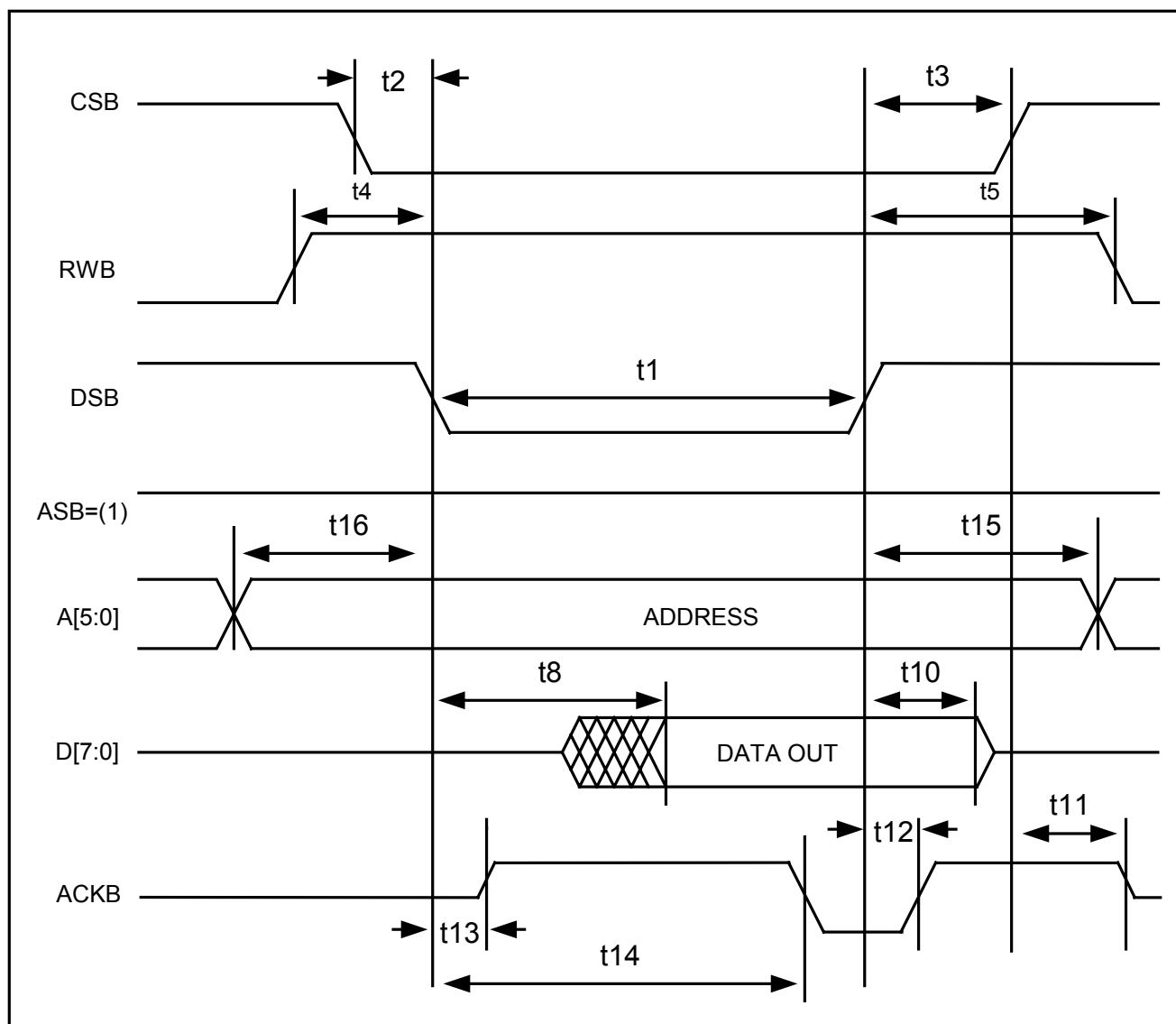


图9-6. Motorola Mux读周期

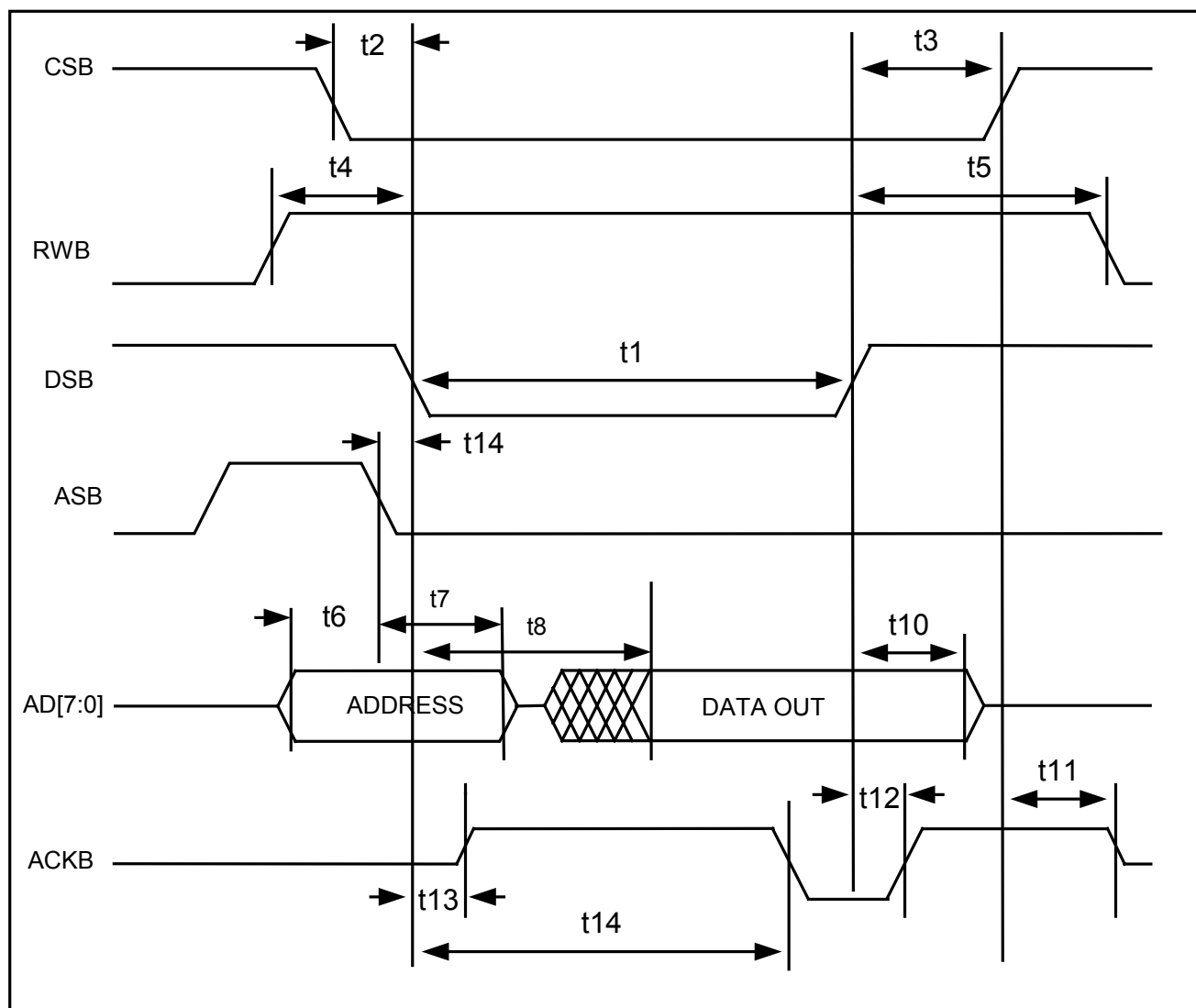


表9-6. Motorola写周期

(V_{DD} = 3.3V ±5%, T_J = -40°C to +125°C.)

SIGNAL NAME(S)	SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS	NOTES
DSB	t1	Pulse width	35			ns	1
CSB	t2	Setup time to DSB active	0			ns	1
CSB	t3	Hold time from DSB inactive	0			ns	1
RWB	t4	Setup time to DSB active	0			ns	1
RWB	t5	Hold time to DSB inactive	0			ns	1
AD[7:0]	t6	Setup time to ASB active	2			ns	1
AD[7:0]	t7	Hold time from ASB active	3			ns	1
AD[7:0], D[7:0]	t8	Setup time to DSB inactive	10			ns	1
AD[7:0], D[7:0]	t9	Hold time from DSB inactive	5			ns	1
A[5:0]	t10	Setup time to DSB active	10			ns	1
ACKB	t11	Output delay from CSB inactive			15	ns	1
ACKB	t12	Output delay from DSB inactive	0			ns	1
ACKB	t13	Output enable delay time from DSB active			20	ns	1
ACKB	t14	Output delay time from DSB active	10			ns	1
A[5:0]	t15	Hold time from DSB	0			ns	1

注1: 所有信号的输入/输出参考电平为V_{DD}/2。

图9-7. Motorola Nonmux写周期

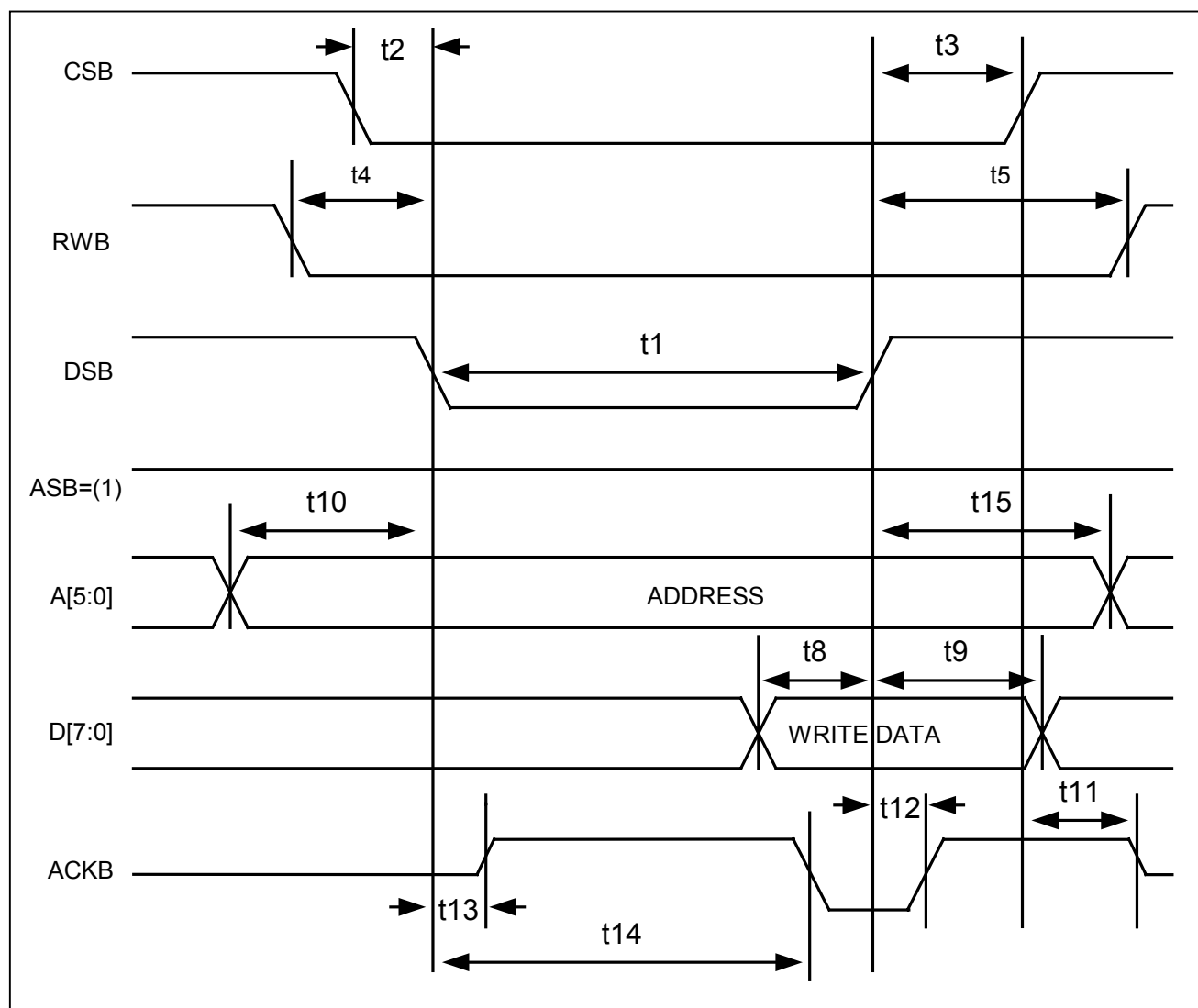
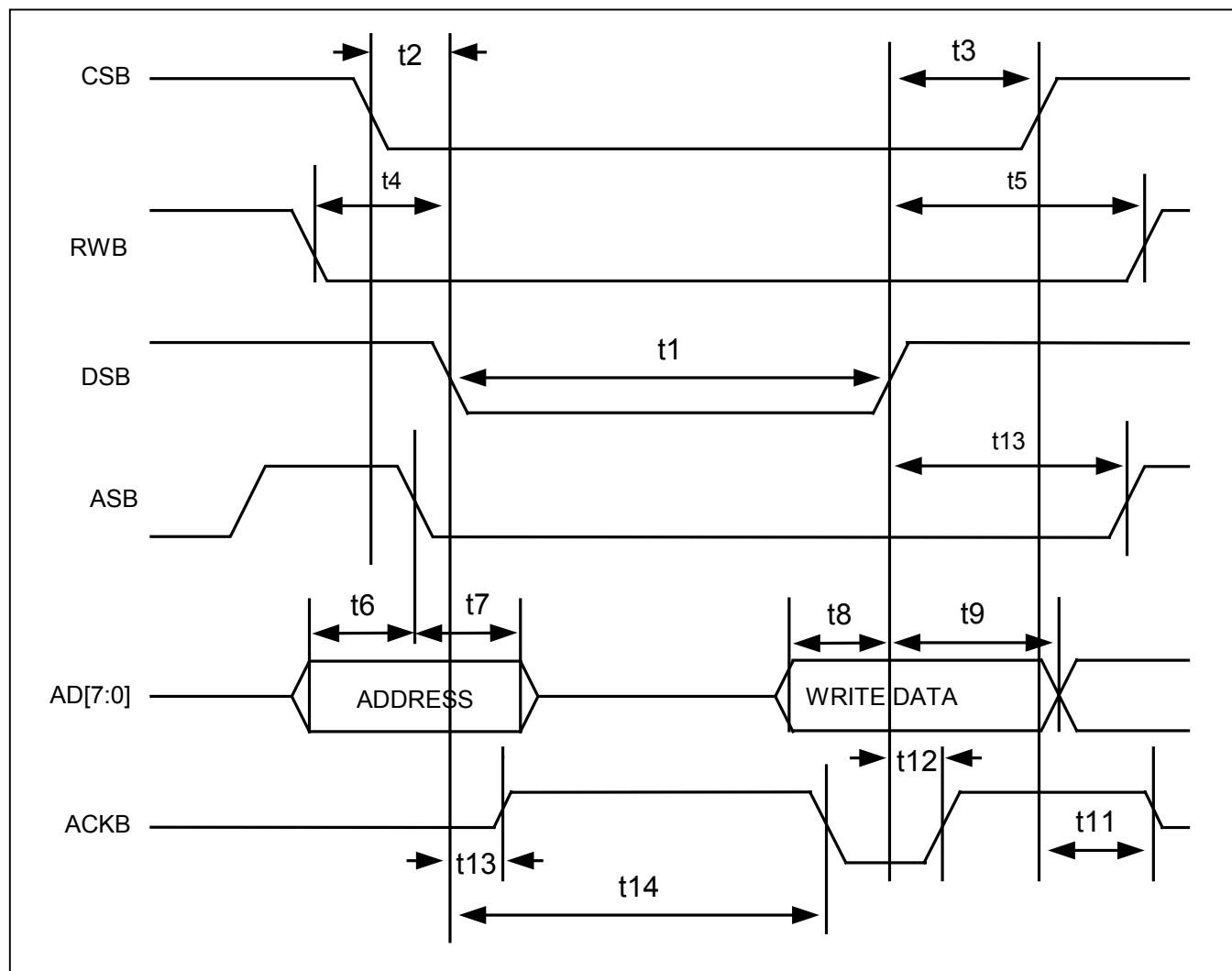


图9-8. Motorola Mux写周期



9.3 串行端口

表9-7. 串行端口时序指标

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
SCLK High Time	t1	25			ns	
SCLK Low Time	t2	25			ns	
Active CSB to SCLK Setup Time	t3	50			ns	
Last SCLK to CSB Inactive Time	t4	50			ns	
CSB Idle Time	t5	50			ns	
SDI to SCLK Setup Time	t6	5			ns	
SCLK to SDI Hold Time	t7	5			ns	
SCLK Falling Edge to SDO High-Z (CLKE = 0); CSB rising to SDO High-Z (CLKE = 1)	t8		100		ns	

图9-9. 串行总线写操作时序

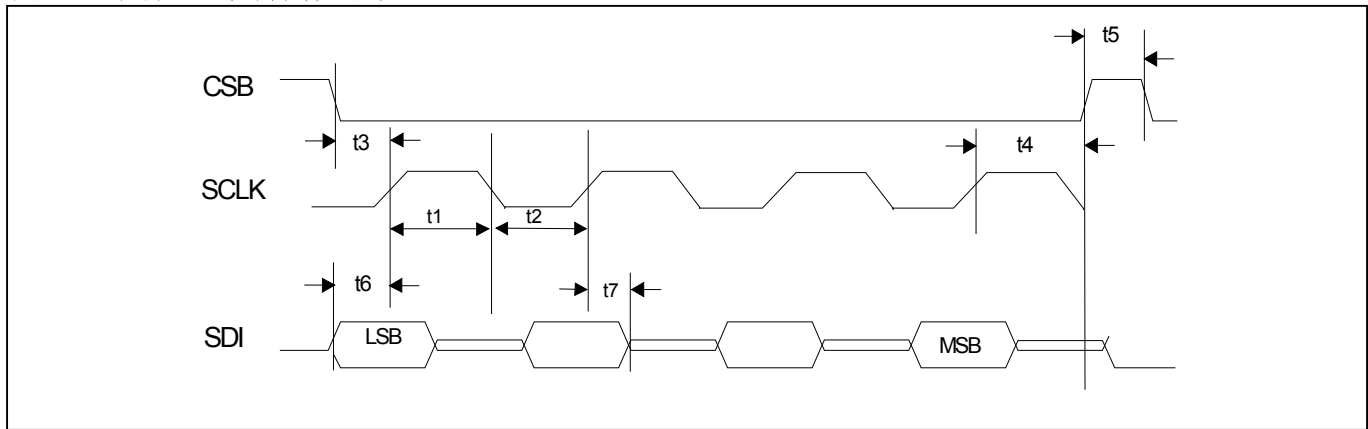


图9-10. 串行总线读操作时序, CLKE = 0

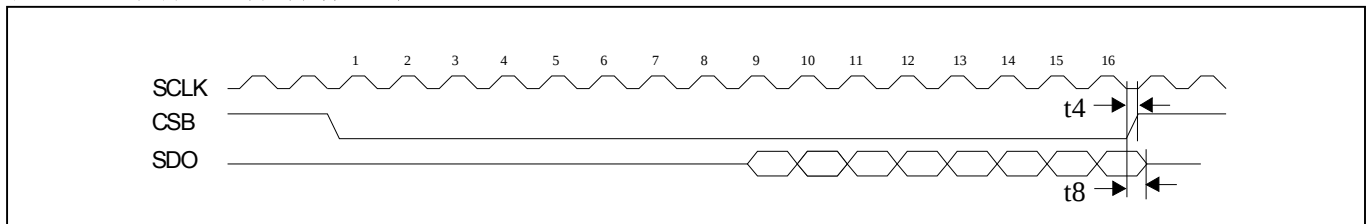
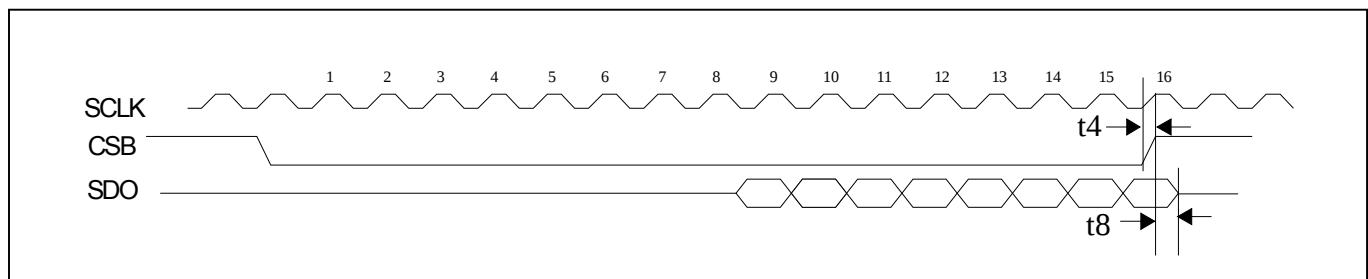


图9-11. 串行总线读操作时序, CLKE = 1



9.4 系统时序

表9-8. 发送系统时序指标

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
TPOS, TNEG Setup Time with Respect to TCLK Falling Edge	t1	40			ns	
TPOS, TNEG Hold Time with Respect to TCLK Falling Edge	t2	40			ns	
TCLK Pulse-Width High	t3	75			ns	
TCLK Pulse-Width Low	t4	75			ns	
TCLK Period	t5	488			ns	
		648				
TCLK Rise Time	t6	25			ns	
TCLK Fall Time	t7	25			ns	

图9-12. 发送系统时序

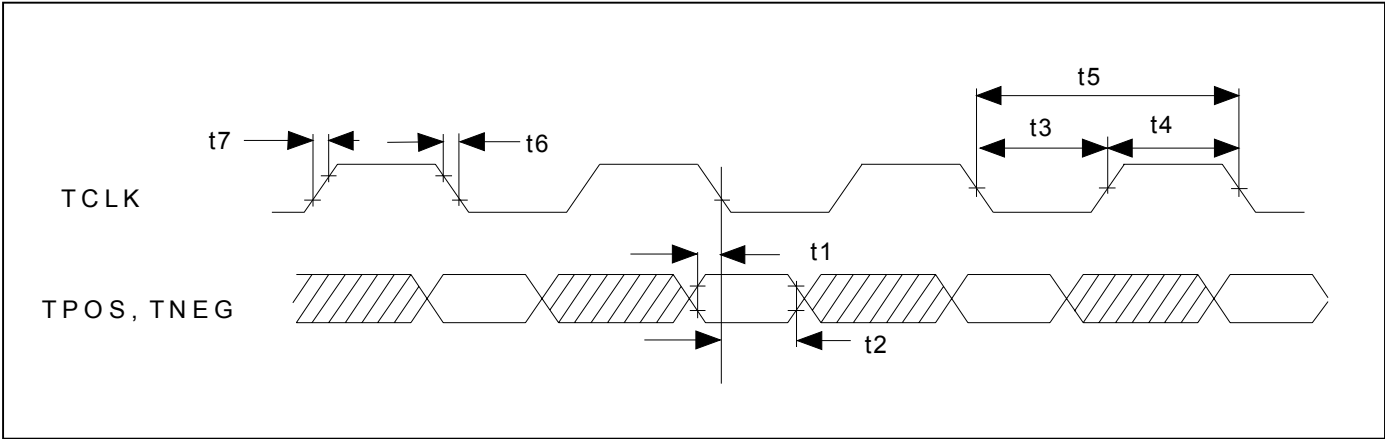
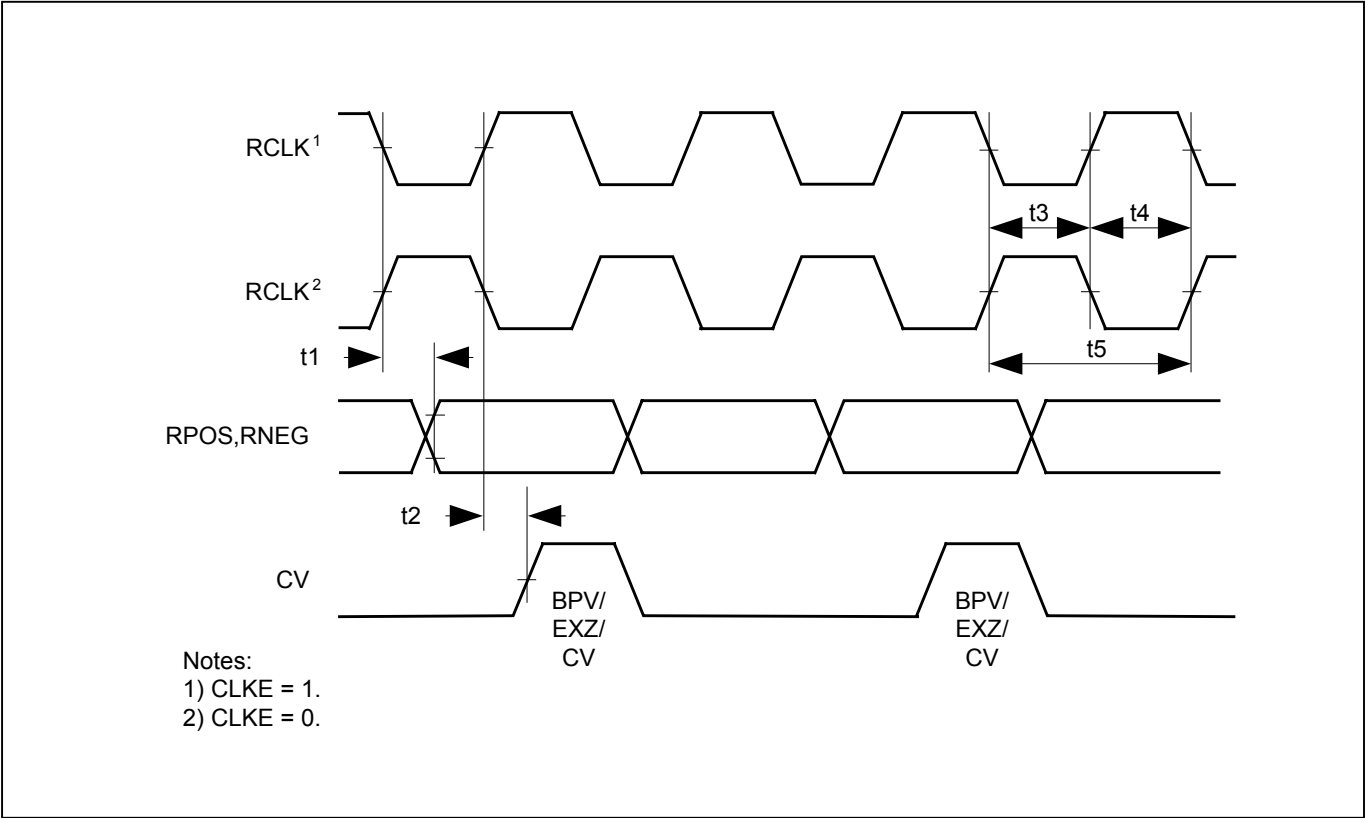


表9-9. 接收系统时序指标

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Delay RCLK to RPOS, RNEG Valid	t1			50	ns	
Delay RCLK to CV Valid in Single-Rail Mode	t2			50	ns	
RCLK Pulse-Width High	t3	200			ns	
RCLK Pulse-Width Low	t4	200			ns	
RCLK Period	t5	488			ns	
		648				

图9-13. 接收系统时序

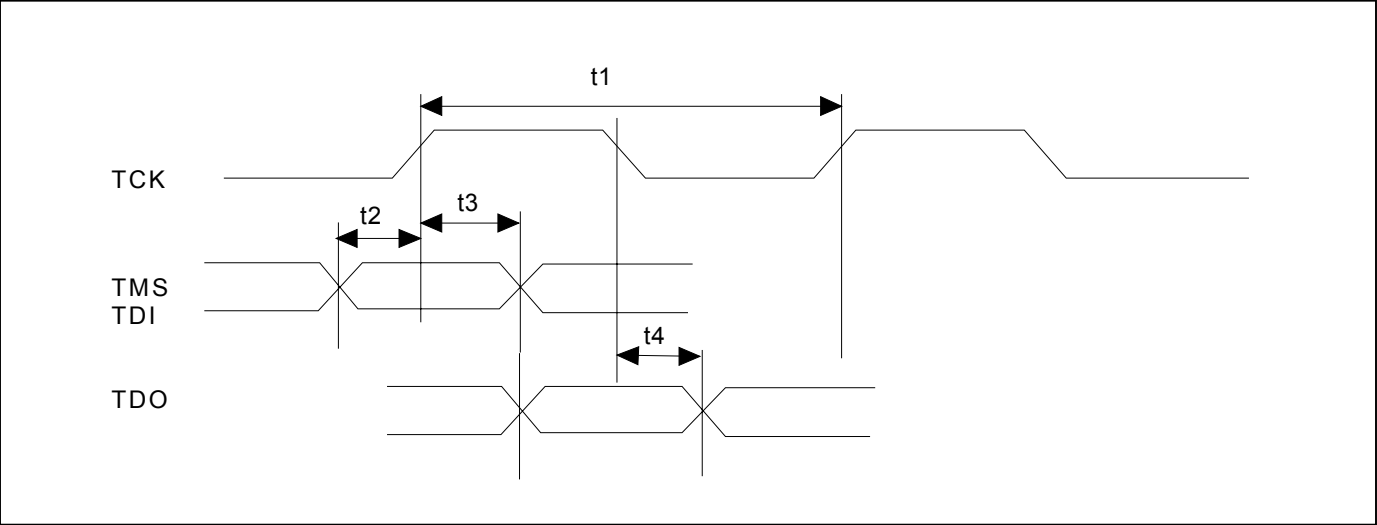


9.5 JTAG时序

表9-10. JTAG时序

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
TCK Period	t1	100			ns	
TMS and TDI Setup to TCK	t2	25			ns	
TMS and TDI Hold to TCK	t3	25			ns	
TCK to TDO Hold	t4			50	ns	

图9-14. JTAG时序



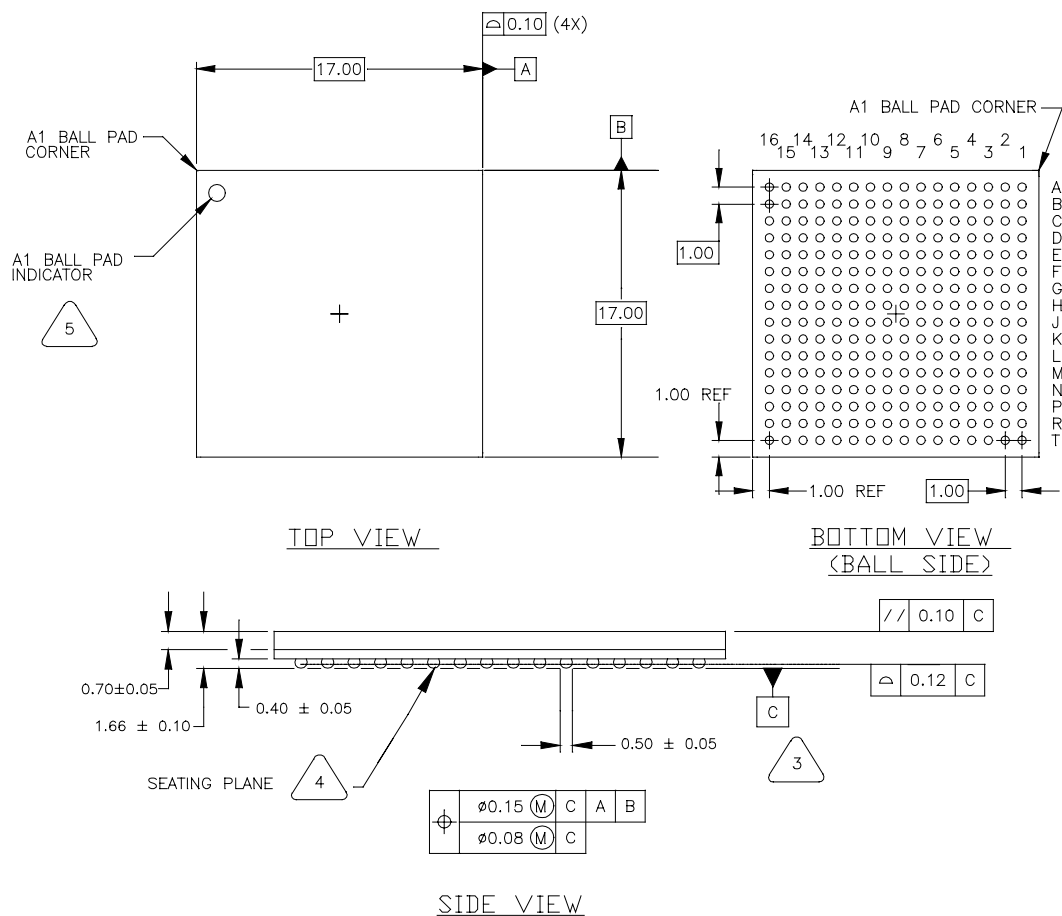
10 引脚配置

图10-1. 256焊球TEBGA

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A	RTIP1	RRING1	MODESEL	RTIP16	VDDT16	TTIP16	TTIP15	VDDT15	RTIP15	VDDT14	TTIP14	TTIP13	VDDT13	RTIP14	TDO	RTIP13
B	AVDD	AVSS	MOTEL	RRING16	RSTB	TRING16	TRING15	LOS14	RRING15	LOS13	TRING14	TRING13	TMS	RRING14	TDI	RRING13
C	RTIP2	RRING2	TNEG1	A4	TNEG16	TNEG15	RNEG15	RPOS15	RNEG14	RPOS14	TCLK13	RPOS13	SDO/RDY/ACKB	TPOS12	AVSS	AVDD
D	VDDT1	LOS1	RCLK1	GNDT1	TPOS16	GNDT16	INTB	GNDT15	GNDT14	GNDT13	TCLK16	TCLK14	GNDT12	TCK	RRING12	RTIP12
E	TTIP1	TRING1	RNEG1	A5	RPOS16	RCLK16	TPOS14	RCLK13	RCLK14	RNEG13	LOS15	TCLK12	TNEG12	RPOS12	TRSTB	VDDT12
F	TTIP2	TRING2	RPOS2	RPOS1	TCLK1	TPOS1	TNEG14	RCLK15	TPOS13	LOS16	RNEG12	RCLK12	RNEG11	TCLK11	TRING12	TTIP12
G	VDDT2	LOS2	A2	TCLK2	RNEG2	RCLK2	TPOS2	TNEG13	TCLK3	TNEG4	TPOS11	RPOS11	RCLK11	SDI/WRB/DSB	TRING11	TTIP11
H	RTIP3	RRING3	A1	GNDT2	A3	TCLK4	AVDD	DVDD	DVSS	AVSS	TNEG11	MCLK	GNDT11	RDB/RWB	LOS12	VDDT11
J	VDDT3	LOS3	RNEG16	GNDT3	TNEG3	TPOS3	AVSS	DVSS	DVDD	AVDD	TPOS10	TNEG10	GNDT10	TNEG2	RRING11	RTIP11
K	TTIP3	TRING3	RCLK3	RNEG3	RCLK4	TPOS4	D3	RPOS5	TNEG8	RNEG8	TCLK9	TCLK10	RPOS10	RCLK10	LOS11	VDDT10
L	TTIP4	TRING4	RPOS3	RPOS4	D4	D0	RNEG5	TCLK6	TPOS5	TCLK7	TPOS9	TNEG9	RCLK9	RNEG10	TRING10	TTIP10
M	VDDT4	LOS4	RNEG4	D5	D1	TNEG5	TCLK5	RCLK6	RPOS6	RNEG6	TPOS8	RPOS8	RNEG9	RPOS9	TRING9	TTIP9
N	RTIP4	RRING4	D7	GNDT4	TPOS6	GNDT5	TCLK15	GNDT6	GNDT7	A0	GNDT8	TPOS15	GNDT9	SCLK/ALE/ASB	LOS10	VDDT9
P	AVDD	AVSS	D6	D2	RCLK5	TNEG6	TNEG7	RPOS7	TCLK8	RCLK7	RNEG7	TPOS7	RCLK8	CSB	RRING10	RTIP10
R	RRING5	LOS5	RRING6	LOS7	TRING5	TRING6	LOS8	RRING7	DVSS	TRING7	TRING8	OE	RRING8	LOS9	AVSS	AVDD
T	RTIP5	LOS6	RTIP6	VDDT5	TTIP5	TTIP6	VDDT6	RTIP7	VDDT7	TTIP7	TTIP8	VDDT8	RTIP8	CLKE/MUX	RRING9	RTIP9

11 封装信息

(本数据资料的封装信息可能不是最新规格, 最新封装图请查询 www.maxim-ic.com.cn/DallasPackInfo。)



NOTES:

1. DIMENSION IS MM.
2. THE BASIC SOLDER BALL GRID PITCH IS 1.00 MM.
3. DIMENSION IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM C.
4. PRIMARY DATUM C AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.
5. A1 BALL PAD CORNER I.D.
6. PACKAGE VENDOR: AMKOR

12 温度信息

表12-1. 温度特性

PARAMETER	MIN	TYP	MAX	V (m/s)	NOTES
Power Dissipation in Package		1.4W	2.5W		3
Ambient Temperature	-40°C		+85°C		1
Junction Temperature			+125°C		
Theta-JA (θ_{JA}) in Still Air Conduction		+16.6°C/W		0	2
Theta-JC (θ_{JC}) Conduction		+3.0°C/W			
Theta-JB (θ_{JB}) Conduction		+7.5°C/W			
Theta-JA (θ_{JA}) in Forced Air		+15.0°C/W		0.75	
Theta-JA (θ_{JA}) in Forced Air		+14.6°C/W		1.25	
Theta-JA (θ_{JA}) in Forced Air		+14.0°C/W		2.5	

注1: 封装安装在四层JEDEC标准测试板。

注2: θ_{JA} 是结到周围环境得热阻，封装安装在四层JEDEC标准测试板。

注3: 50% 1和LB00对应的瓦特数。

13 修订历史

日期	说明
070105	最初版本。

本文是Maxim正式英文资料的译文，Maxim不对翻译中存在的差异或由此产生的错误负责。请注意译文中可能存在文字组织或翻译错误，如需确认任何词语的准确性，请参考Maxim提供的英文版资料。

索取免费样品和最新版的数据资料，请访问Maxim的主页：www.maxim-ic.com.cn。

Maxim /Dallas Semiconductor不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2005 Maxim Integrated Products, Inc. All rights reserved.

Maxim 标志是 Maxim Integrated Products, Inc.的注册商标。Dallas 标志是 Dallas Semiconductor Corp.的注册商标。