

DS89C430/DS89C440/DS89C450 超高速闪存微控制器

概述

DS89C430, DS89C440 和 DS89C450 是当前 8051 兼容微控制器中性能最高的。此系列产品具有重新设计的处理器内核, 在相同的晶振频率下, 执行指令的速度是最初的 8051 微处理器的 12 倍。典型应用中的速度可提高 10 倍。在运行于每兆赫每秒百万指令(MIPS)的速度下, 此系列产品能够在 33MHz 的最高晶振频率下, 达到 33MIPS 的运行速度。

超高速闪存微控制器用户指南 (English only) 应结合此数据资料使用。
数据资料下载地址: www.maxim-ic.com.cn/microcontrollers。

订购信息

PART	FLASH MEMORY SIZE	PIN-PACKAGE
DS89C430-MNL	16kB	40 PDIP
DS89C430+MNL	16kB	40 PDIP
DS89C430-QNL	16kB	44 PLCC
DS89C430+QNL	16kB	44 PLCC
DS89C430-ENL	16kB	44 TQFP
DS89C430+ENL	16kB	44 TQFP
DS89C440-MNL	32kB	40 PDIP
DS89C440+MNL	32kB	40 PDIP
DS89C440-QNL	32kB	44 PLCC
DS89C440+QNL	32kB	44 PLCC
DS89C440-ENL	32kB	44 TQFP
DS89C440+ENL	32kB	44 TQFP
DS89C450-MNL	64kB	40 PDIP
DS89C450+MNL	64kB	40 PDIP
DS89C450-QNL	64kB	44 PLCC
DS89C450+QNL	64kB	44 PLCC
DS89C450-ENL	64kB	44 TQFP
DS89C450+ENL	64kB	44 TQFP

+ 表示无铅/RoHS 兼容器件。

完整的选型指南在数据资料的最后给出。

引脚配置在数据资料的最后给出。

应用

数据记录	电话	楼宇能源控制 与管理	不间断电源	汽车测试设备	工业控制与自 动化
白色家电	HVAC				
电机控制	自动售货	可编程逻辑控 制器	楼宇安全与门 禁控制	消费类电子	
条码阅读器/扫描器	游戏设备				

特性

- **高速 8051 架构**
每个机器周期一个时钟
DC 至 33MHz 工作频率
单周期指令 30ns
可变时间 MOVX 指令, 以访问高速/低速外围设备
自动递增/递减和切换选择功能的双数据指针
支持四种页面存储器访问模式
- **片内存储器**
16kB/32kB/64kB 闪存
在应用可编程
通过串口实现在系统可编程
MOVX 访问的 1kB SRAM
- **与 80C52 兼容**
与 8051 引脚和指令集兼容
四路双向、8 位 I/O 端口
三个 16 位定时器/计数器
256 字节暂存 RAM
- **电源管理模式**
可编程的时钟分频器
自动的硬件和软件退出低功耗模式
- **ROM 特性**
0 至 64kB 可选的内部程序存储器容量
允许访问所有的外部存储器空间
通过软件动态调整
- **外设特性**
两路全双工串口
可编程看门狗定时器
13 个中断源(6 个外部)
五级中断优先级
电源失效复位
电源失效早期预警中断
降低电磁干扰(EMI)

ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Pin Relative to Ground.....	-0.3V to ($V_{CC} + 0.5V$)
Voltage Range on V_{CC} Relative to Ground.....	-0.3V to +6.0V
Ambient Temperature Range (under bias).....	-40°C to +85°C
Storage Temperature Range.....	-55°C to +125°C
Soldering Temperature.....	See IPC/JEDEC J-STD-020

Stresses beyond those listed under “Absolute Maximum Ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

($V_{CC} = 4.5V$ to $5.5V$, $T_O = -40^\circ C$ to $+85^\circ C$.) (Note 1)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Supply Voltage (Notes 2, 3)	V_{CC}	4.5	5.0	5.5	V
Power-Fail Warning (Notes 2, 4)	V_{PFW}	4.2	4.375	4.6	V
Reset Trip Point (Min Operating Voltage) (Notes 2, 3, 4)	V_{RST}	3.95	4.125	4.35	V
Supply Current, Active Mode (Note 5)	I_{CC}		75	110	mA
Supply Current, Idle Mode at 33MHz (Note 6)	I_{IDLE}		40	50	mA
Supply Current, Stop Mode, Bandgap Disabled (Note 7)	I_{STOP}		1	100	μA
Supply Current, Stop Mode, Bandgap Enabled (Note 7)	I_{SPBG}		150	300	μA
Input Low Level (Note 2)	V_{IL}	-0.3		+0.8	V
Input High Level (Note 2)	V_{IH}	2.0		$V_{CC} + 0.3$	V
Input High Level XTAL and RST (Note 2)	V_{IH2}	3.5		$V_{CC} + 0.3$	V
Output Low Voltage, Port 1 and 3 at $I_{OL} = 1.6mA$ (Note 2)	V_{OL1}		0.15	0.45	V
Output Low Voltage, Port 0 and 2, ALE, $\overline{PSEN}$ at $I_{OL} = 3.2mA$ (Note 2)	V_{OL2}		0.15	0.45	V
Output High Voltage, Port 1, 2, and 3, at $I_{OH} = -50\mu A$ (Notes 2, 8)	V_{OH1}	2.4			V
Output High Voltage, Port 1, 2, and 3 at $I_{OH} = -1.5mA$ (Notes 2, 9)	V_{OH2}	2.4			V
Output High Voltage, Port 0, 1, 2, ALE, $\overline{PSEN}$, $\overline{RD}$, $\overline{WR}$ in Bus Mode at $I_{OH} = -8mA$ (Notes 2, 10)	V_{OH3}	2.4			V
Output High Voltage, RST at $I_{OL} = -0.4mA$ (Note 2, 11)	V_{OH4}	2.4			V
Input Low Current, Port 1, 2, and 3 at 0.4V	I_{IL}	-50			μA
Transition Current from 1 to 0, Port 1, 2, and 3 at 2V (Note 12)	I_{TL}	-650			μA
Input Leakage Current, Port 0 in I/O Mode and $\overline{EA}$ (Note 13)	I_L	-10		+10	μA
Input Current, Port 0 in Bus Mode (Note 14)	I_L	-300		+300	μA
RST Pulldown Resistance (Note 13)	R_{RST}	50	120	200	k Ω

- Note 1:** Specifications to -40°C are guaranteed by design and not production tested.
- Note 2:** All voltages are referenced to ground.
- Note 3:** The user should note that this part is tested and guaranteed to operate down to 4.5V (10%) and that V_{RST} (min) is specified below that point. This indicates that there is a range of voltages [V_{MIN} to V_{RST} (min)] where the processor's operation is not guaranteed, but the reset trip point has not been reached. This should not be an issue in most applications, but should be considered when proper operation must be maintained at all times. For these applications, it may be desirable to use a more accurate external reset.
- Note 4:** While the specifications for V_{PFW} and V_{RST} overlap, the design of the hardware makes it so this is not possible. Within the ranges given, there is guaranteed separation between these two voltages.
- Note 5:** Active current is measured with a 33MHz clock source driving XTAL1, $V_{\text{CC}} = \text{RST} = 5.5\text{V}$. All other pins are disconnected.
- Note 6:** Idle mode current is measured with a 33MHz clock source driving XTAL1, $V_{\text{CC}} = 5.5\text{V}$, RST at ground. All other pins are disconnected.
- Note 7:** Stop mode is measured with XTAL and RST grounded, $V_{\text{CC}} = 5.5\text{V}$. All other pins are disconnected.
- Note 8:** RST = 5.5V. This condition mimics the operation of pins in I/O mode.
- Note 9:** During a 0-to-1 transition, a one shot drives the ports hard for two clock cycles. This measurement reflects a port pin in transition mode.
- Note 10:** When addressing external memory.
- Note 11:** Guaranteed by design.
- Note 12:** Ports 1, 2, and 3 source transition current when pulled down externally. The current reaches its maximum at approximately 2V.
- Note 13:** RST = 5.5V. Port 0 is floating during reset and when in the logic-high state during I/O mode.
- Note 14:** This port is a weak address holding latch in bus mode. Peak current occurs near the input transition point of the holding latch at approximately 2V.

AC CHARACTERISTICS

($V_{CC} = 4.5V$ to $5.5V$, $T_O = -40^{\circ}C$ to $+85^{\circ}C$.) (See [Figure 1](#), [Figure 2](#) and [Figure 3](#))

PARAMETER	SYMBOL	1-CYCLE PAGE MODE 1		2-CYCLE PAGE MODE 1		4-CYCLE PAGE MODE 1		PAGE MODE 2		NONPAGE MODE		UNITS
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
System Clock External Oscillator (Note 15)	$1/t_{CLCL}$	0	33	0	33	0	33	0	33	0	33	MHz
System Clock External Crystal (Note 15)	$1/t_{CLCL}$	1	33	1	33	1	33	1	33	1	33	
ALE Pulse Width (Note 16)	t_{LHLL}	$0.5t_{CLCL} - 2$ + t_{STC3}		$t_{CLCL} - 2$ + t_{STC3}		$2t_{CLCL} - 4$ + t_{STC3}		$1.5t_{CLCL} - 5$ + t_{STC3}		$1.5t_{CLCL} - 5$ + t_{STC3}		ns
Port 0 Instruction Address Valid to ALE Low	t_{AVLL}							$t_{CLCL} - 3$		$0.5t_{CLCL} - 3$		ns
Port 2 Instruction Address Valid to ALE Low	t_{AVLL2}	$0.5t_{CLCL} - 4$		$0.5t_{CLCL} - 4$		$1.5t_{CLCL} - 4$		$0.5t_{CLCL} - 4$		$t_{CLCL} - 4$		ns
Port 0 Data Address Valid to ALE Low	t_{AVLL3}							$t_{CLCL} - 3$ + t_{STC3}		$0.5t_{CLCL} - 3$ + t_{STC3}		ns
Program Address Hold After ALE Low	t_{LLAX}	$0.5t_{CLCL} - 8$		$1.5t_{CLCL} - 8$		$2.5t_{CLCL} - 8$		$1t_{CLCL} - 10$		$1t_{CLCL} - 10$		ns
Address Hold after ALE Low MOVX Write	t_{LLAX2}	$0.5t_{CLCL} - 8$ + t_{STC4}		$1.5t_{CLCL} - 8$ + t_{STC4}		$2.5t_{CLCL} - 8$ + t_{STC3}		$0.5t_{CLCL} - 8$ + t_{STC2}		$0.5t_{CLCL} - 8$ + t_{STC2}		ns
Address Hold after ALE Low MOVX Read	t_{LLAX3}	$0.5t_{CLCL} - 8$ + t_{STC4}		$1.5t_{CLCL} - 8$ + t_{STC4}		$2.5t_{CLCL} - 8$ + t_{STC3}		$0.5t_{CLCL} - 8$ + t_{STC3}		$0.5t_{CLCL} - 8$ + t_{STC2}		ns
ALE Low to Valid Instruction In	t_{LLIV}							$2t_{CLCL} - 6$		$2t_{CLCL} - 6$		ns
ALE Low to $\overline{PSEN}$ Low	t_{LLPL}							$1.5t_{CLCL} - 6$		$0.5t_{CLCL} - 2$		ns
$\overline{PSEN}$ Pulse Width for Program Fetch	t_{PLPH}	$t_{CLCL} - 5$		$t_{CLCL} - 5$		$2t_{CLCL} - 5$		$t_{CLCL} - 5$		$2t_{CLCL} - 5$		ns

AC CHARACTERISTICS (continued)(V_{CC} = 4.5V to 5.5V, T_O = -40°C to +85°C.) (See [Figure 1](#), [Figure 2](#) and [Figure 3](#))

PARAMETER	SYMBOL	1-CYCLE PAGE MODE 1		2-CYCLE PAGE MODE 1		4-CYCLE PAGE MODE 1		PAGE MODE 2		NONPAGE MODE		UNITS
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$\overline{\text{PSEN}}$ Low to Valid Instruction In	t _{PLIV}		t _{CLCL} - 20		t _{CLCL} - 20		2t _{CLCL} - 20		t _{CLCL} - 20		2t _{CLCL} - 20	ns
Input Instruction Hold After $\overline{\text{PSEN}}$	t _{PIX}	0		0		0		0		0		ns
Input Instruction Float After $\overline{\text{PSEN}}$	t _{PIXZ}								t _{CLCL} - 5		t _{CLCL} - 5	ns
Port 0 Address to Valid Instruction In	t _{AVIV0}								1.5t _{CLCL} - 22		3t _{CLCL} - 22	ns
Port 2 Address to Valid Instruction In	t _{AVIV2}		t _{CLCL} - 20		1.5t _{CLCL} - 20		2.5t _{CLCL} - 20		3t _{CLCL} - 20		3.5t _{CLCL} - 20	ns
$\overline{\text{PSEN}}$ Low to Port 0 Address Float	t _{PLAZ}								0		0	ns
$\overline{\text{RD}}$ Pulse Width (P3.7) (Note 16)	t _{RLRH}		t _{CLCL} - 5 + t _{STC1}		t _{CLCL} - 5 + t _{STC1}		2t _{CLCL} - 5 + t _{STC1}		2t _{CLCL} - 5 + t _{STC1}		2t _{CLCL} - 5 + t _{STC1}	ns
$\overline{\text{WR}}$ Pulse Width (P3.6) (Note 16)	t _{WLWH}		t _{CLCL} - 5 + t _{STC1}		t _{CLCL} - 5 + t _{STC1}		2t _{CLCL} - 5 + t _{STC1}		2t _{CLCL} - 5 + t _{STC1}		2t _{CLCL} - 5 + t _{STC1}	ns
$\overline{\text{RD}}$ (P3.7) Low to Valid Data In (Note 16)	t _{RLDV}		t _{CLCL} - 18 + t _{STC1}		t _{CLCL} - 18 + t _{STC1}		2t _{CLCL} - 18 + t _{STC1}		2t _{CLCL} - 18 + t _{STC1}		2t _{CLCL} - 18 + t _{STC1}	ns
Data Hold After $\overline{\text{RD}}$ (P3.7)	t _{RHDX}	0		0		0		0		0		ns
Data Float After $\overline{\text{RD}}$ (P3.7)	t _{RHDZ}								t _{CLCL} - 5		t _{CLCL} - 5	ns
MOVX ALE Low to Input Data Valid (Note 16)	t _{LLDV}								2t _{CLCL} - 8 + t _{STC1}		2t _{CLCL} - 5 + t _{STC1}	ns

AC CHARACTERISTICS (continued)(V_{CC} = 4.5V to 5.5V, T_O = -40°C to +85°C.) (See [Figure 1](#), [Figure 2](#) and [Figure 3](#))

PARAMETER —	SYMBOL	1-CYCLE PAGE MODE 1		2-CYCLE PAGE MODE 1		4-CYCLE PAGE MODE 1		PAGE MODE 2		NONPAGE MODE		UNITS
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
Port 0 Address to Valid Data In (Note 16)	t _{AVDV0}							3t _{CLCL} - 20 + t _{STC1}		3t _{CLCL} - 20 + t _{STC1}		ns
Port 2 Address to Valid Data In (Note 16)	t _{AVDV2}		t _{CLCL} - 20 + t _{STC1}		1.5t _{CLCL} - 20 + t _{STC1}		3.5t _{CLCL} - 20 + t _{STC1}		3.0t _{CLCL} - 20 + t _{STC1}		3.5t _{CLCL} - 20 + t _{STC1}	ns
ALE Low to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low (Note 16)	t _{LLRL} (t _{LLWL})	0.5t _{CLCL} - 8 + t _{STC2}	0.5t _{CLCL} + 6 + t _{STC2}	2t _{CLCL} - 8 + t _{STC2}	2t _{CLCL} + 6 + t _{STC2}	4t _{CLCL} - 8 + t _{STC2}	4t _{CLCL} + 6 + t _{STC2}	0.5t _{CLCL} - 8 + t _{STC2}	0.5t _{CLCL} + 4 + t _{STC2}	0.5t _{CLCL} - 8 + t _{STC2}	0.5t _{CLCL} + 5 + t _{STC2}	ns
Port 0 Address Valid to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low (Note 16)	t _{AVRL0} (t _{AVWL0})							1.5t _{CLCL} - 5 + t _{STC2}		t _{CLCL} - 5 + t _{STC2}		ns
Port 2 Address Valid to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low (Note 16)	t _{AVRL2} (t _{AVWL2})	0 + t _{STC5} - 5		0.5t _{CLCL} - 5 + t _{STC5}		1.5t _{CLCL} - 5 + t _{STC5}		t _{CLCL} - 5 + t _{STC5}		1.5t _{CLCL} - 5 + t _{STC5}		ns
Data Out Valid to $\overline{\text{WR}}$ Transition (Note 15)	t _{QVWX}	-5		-5		-5		-5		-5		ns
Data Hold After $\overline{\text{WR}}$ (Note 15)	t _{WHQX}	t _{CLCL} + t _{STC2} - 10		t _{CLCL} + t _{STC2} - 10		t _{CLCL} + t _{STC2} - 10		t _{CLCL} + t _{STC2} - 10		t _{CLCL} + t _{STC2} - 10		ns
$\overline{\text{RD}}$ or $\overline{\text{WR}}$ High to ALE High (Note 15)	t _{RHLH} (t _{WHLH})	t _{STC2} - 2	t _{STC2} + 4	t _{STC2} - 2	t _{STC2} + 4	t _{STC2} - 2	t _{STC2} + 4	t _{STC2} - 2	t _{STC2} + 4	t _{STC2} - 2	t _{STC2} + 4	ns

Note: Specifications to -40°C are guaranteed by design and are not production tested. AC electrical characteristics assume 50% duty cycle for the oscillator and are not 100% tested, but are guaranteed by design.

图2. 页面模式 1 时序

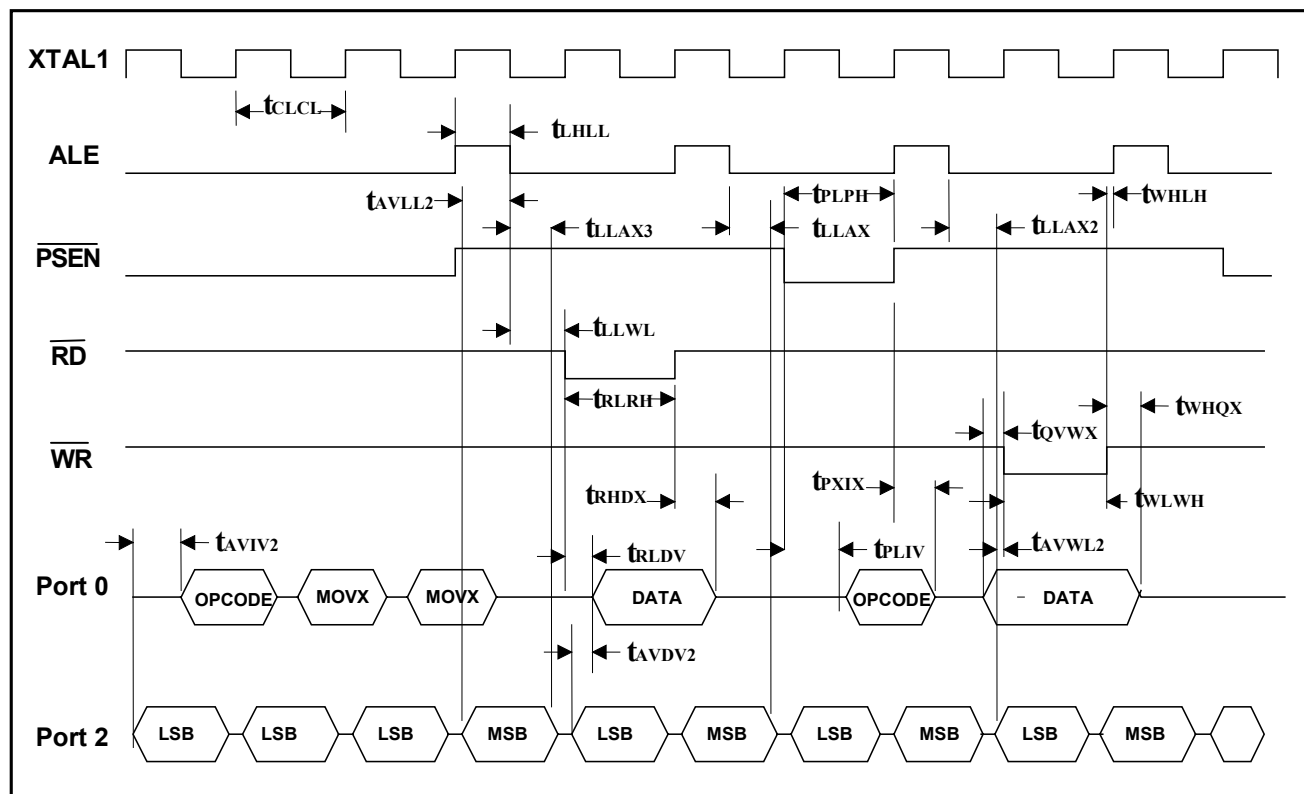
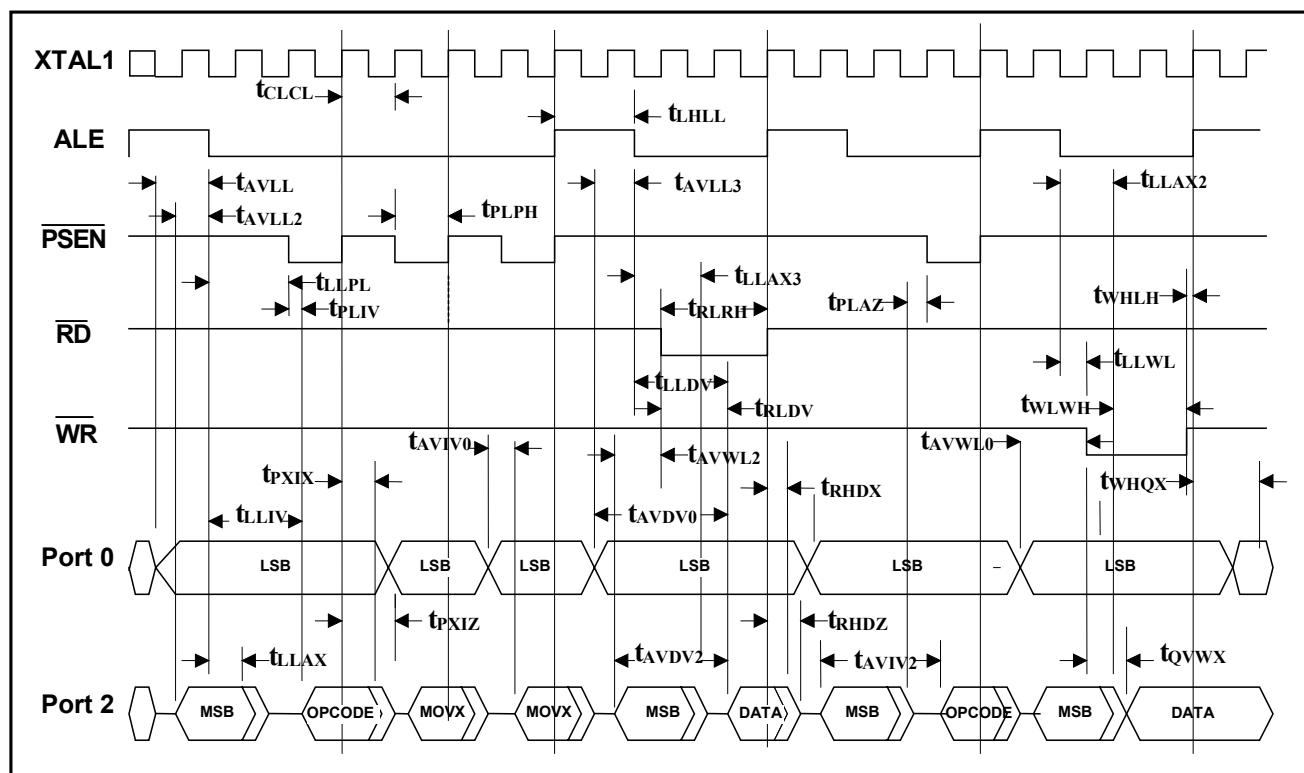


图3. 页面模式 2 时序



EXTERNAL CLOCK CHARACTERISTICS(V_{CC} = 4.5V to 5.5V, T_O = -40°C to +85°C.)

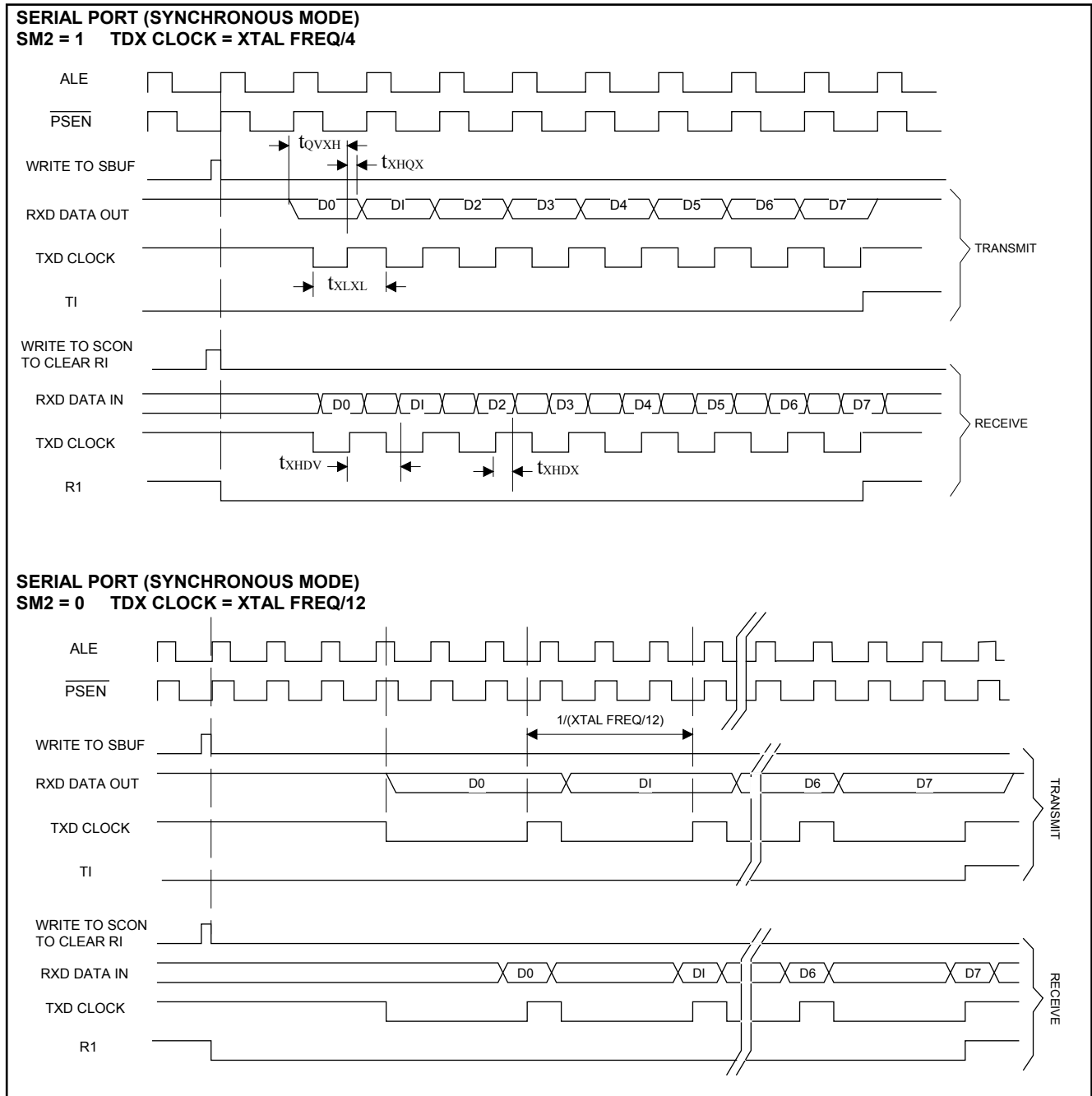
PARAMETER	SYMBOL	MIN	MAX	UNITS
Clock High Time	t _{CHCX}	10		ns
Clock Low Time	t _{CLCX}	10		ns
Clock Rise Time	t _{CLCH}		5	ns
Clock Fall Time	t _{CHCL}		5	ns

SERIAL PORT MODE 0 TIMING CHARACTERISTICS(V_{CC} = 4.5V to 5.5V, T_O = -40°C to +85°C.) ([Figure 4](#))

PARAMETER	SYMBOL	CONDITIONS	33MHz		VARIABLE		UNITS
			MIN	MAX	MIN	MAX	
Clock Cycle Time	t _{XLXL}	SM2 = 0	360		12t _{CLCL}		ns
		SM2 = 1	120		4t _{CLCL}		ns
Output Data Setup to Clock Rising	t _{QVXH}	SM2 = 0	200		10t _{CLCL} - 100		ns
		SM2 = 1	40		3t _{CLCL} - 10		ns
Output Data Hold to Clock Rising	t _{XHQX}	SM2 = 0	50		2t _{CLCL} - 10		ns
		SM2 = 1	20		t _{CLCL} - 100		
Input Data Hold After Clock Rising	t _{XHDX}	SM2 = 0	0		0		ns
		SM2 = 1	0		0		
Clock Rising Edge to Input Data Valid	t _{XHDV}	SM2 = 0		200		10t _{CLCL} - 100	ns
		SM2 = 1		40		3t _{CLCL} - 50	ns

Note: SM2 is the serial port 0 mode bit 2. When serial port 0 is operating in mode 0 (SM0 = SM1 = 0), SM2 determines the number of crystal clocks in a serial port clock cycle.

图4. 串口时序



POWER-CYCLE TIMING CHARACTERISTICS

($V_{CC} = 4.5V$ to $5.5V$, $T_O = -40^{\circ}C$ to $+85^{\circ}C$.)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Crystal Startup Time (Note 18)	t_{CSU}		8		ms
Power-On Reset Delay (Note 19)	t_{POR}		65,536		t_{CLCL}

Note 18: Startup time for a crystal varies with load capacitance and manufacturer. The time shown is for an 11.0592MHz crystal manufactured by Fox Electronics.

Note 19: Reset delay is a synchronous counter of crystal oscillations after crystal startup. Counting begins when the level on the XTAL1 pin meets the V_{IH2} criteria. At 33MHz, this time is 1.99ms.

FLASH MEMORY PROGRAMMING CHARACTERISTICS

($V_{CC} = 4.5V$ to $5.5V$)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Data Retention	t_{DR}	100			years
Write/Erase Endurance	t_{ENDURE}	10,000			cycles
Program/Time	t_{PROG}			40	μs
Erase Time	t_{ERASE}	4			ms

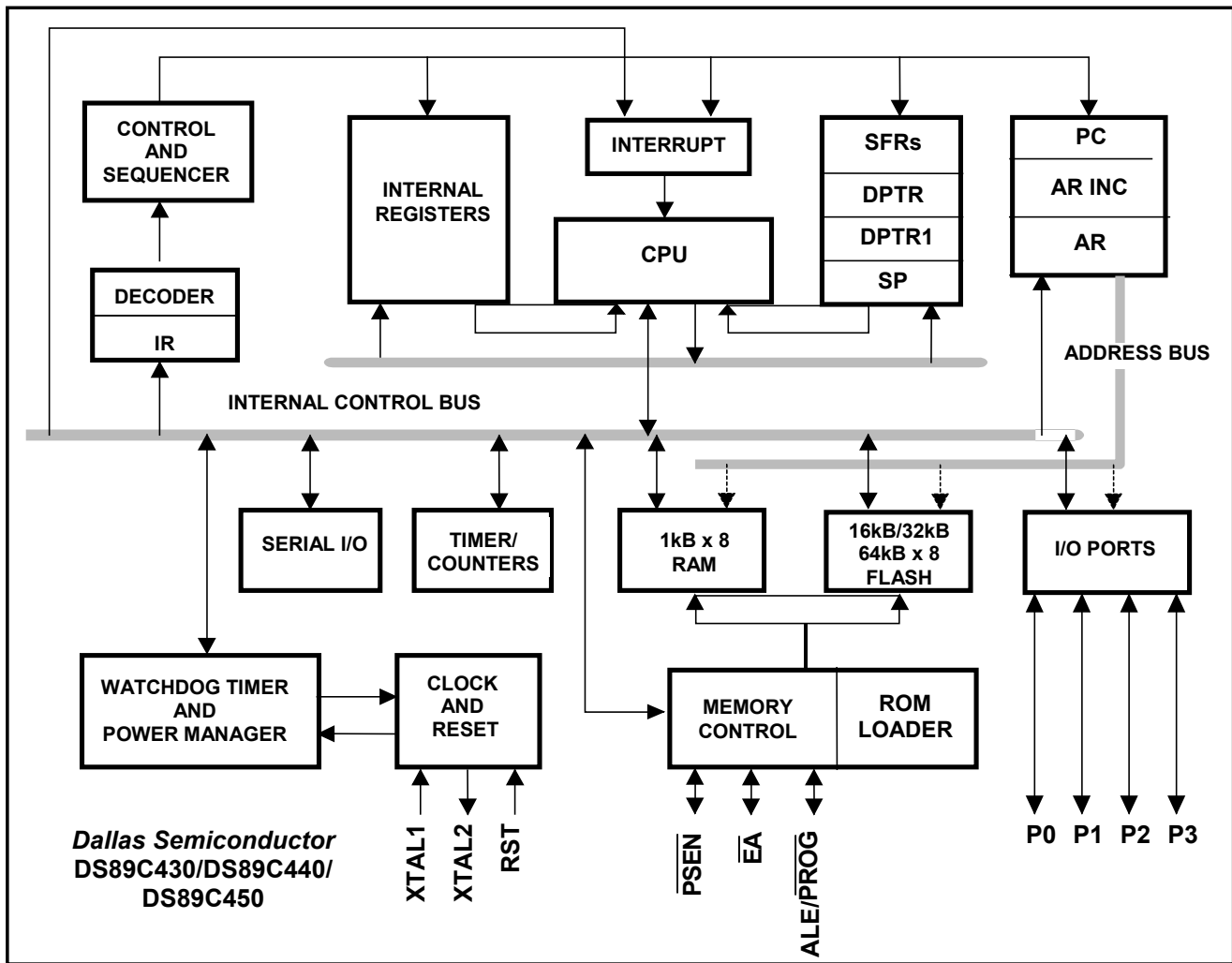
引脚说明

引脚			名称	功能
PDIP	PLCC	TQFP		
40	12, 44	6, 38	V _{CC}	+5V 输入引脚。
20	1, 22, 23, 34	16, 17, 28, 39	GND	逻辑地。
9	10	4	RST	外部复位控制。 双向 RST 输入引脚包含一个施密特触发器，用于识别外部高电平有效的复位输入信号。引脚具有一个内部下拉电阻，以允许外部复位源的“线或”组合。上电无需 RC 电路，器件在内部提供了此项功能。
19	21	15	XTAL1	晶振。 引脚支持基模并行谐振 AT 切型晶体。如果用外部时钟源替代晶体，XTAL1 引脚可作为外部时钟源的输入。XTAL2 作为晶体放大器的输出。
18	20	14	XTAL2	
29	32	26	$\overline{\text{PSEN}}$	程序存储使能控制。 引脚一般与可选的外部程序存储器连接，作为芯片的使能信号控制。PSEN 引脚提供一个低电平有效脉冲，当外部程序存储器未被访问时则被拉高。在单周期页面模式 1 下，对于连续的页内访问，PSEN 引脚保持低电平。
30	33	27	ALE/ $\overline{\text{PROG}}$	地址锁存使能控制。 信号可作为一个时钟，用于在 0 口上从复用的地址/数据总线锁定外部地址的低 8 位地址。此控制信号一般与外部的 373 系列透明锁存器的锁存使能端相连。在默认模式下，ALE 的脉冲宽度为 XTAL1 周期的 1.5 倍，周期则为 XTAL1 周期的四倍。在页面模式下，ALE 脉冲宽度根据选择的页面模式而改变。在传统的 8051 模式下，当使用低 EMI 模式或处于复位状态下，ALE 保持高电平。可以通过写 ALEON = 1 (PMR.2) 使能 ALE。注意在访问外部存储器期间，ALE 工作独立于 ALEON。作为一种复用功能，该引脚（ $\overline{\text{PROG}}$ ）可以用来执行并行编程功能。
39	43	37	P0.0 (AD0)	0 口 (AD0–AD7)，I/O 口。 0 口为漏极开路 8 位双向 I/O 口。作为一种复用功能，0 口可以作为地址/数据复用总线，以访问片外存储器。当 ALE 引脚为高电平期间，0 口输出存储器地址的 LSB。当 ALE 下降为逻辑 0，0 口则转变为双向数据总线。该总线用于读取外部程序存储器、读/写外部 RAM 或者其它外设。作为存储器总线时，端口为逻辑 1 输出提供弱上拉。0 口在复位期间处于三态，只有作为 I/O 口时 0 口才需外加上拉电阻。
38	42	36	P0.1 (AD1)	
37	41	35	P0.2 (AD2)	
36	40	34	P0.3 (AD3)	
35	39	33	P0.4 (AD4)	
34	38	32	P0.5 (AD5)	
33	37	31	P0.6 (AD6)	
32	36	30	P0.7 (AD7)	

引脚说明(续)

引脚			名称	功能																											
PDIP	PLCC	TQFP																													
1	2	40	P1.0	1 口, I/O 口。 1 口是 8 位双向 I/O 口, 也可作为定时器 2、新增的外部中断以及串口 1 的功能接口。1 口在复位状态下, 端口保持逻辑 1 电平。在这种状态下, 内部弱上拉保持了端口的高电平。由于弱上拉可以被连接该端口的外部电路吸收, 所以此种状态下端口也用于输入态。当软件对任一引脚写入 0 时, DS89C430/DS89C440/DS89C450 产生强下拉, 并且保持这种状态直到写入 1 或者发生复位。当端口为逻辑 0 时, 写入逻辑 1 会打开一个强的转换驱动器, 之后跟着产生一个持续的弱上拉。一旦瞬时的强驱动器关闭, 端口重新变为输出高(也是输入)状态。1 口的复用功能如下所示: <table><tr><th>端口</th><th>复用名称</th><th>功能</th></tr><tr><td>P1.0</td><td>T2</td><td>定时器/计数器 2 的外部 I/O 口</td></tr><tr><td>P1.1</td><td>T2EX</td><td>定时器 2 捕获/重载触发器</td></tr><tr><td>P1.2</td><td>RXD1</td><td>串口 1 接收输入</td></tr><tr><td>P1.3</td><td>TXD1</td><td>串口 1 发送输出</td></tr><tr><td>P1.4</td><td>INT2</td><td>外部中断 2 (上升沿检测)</td></tr><tr><td>P1.5</td><td>$\overline{\text{INT3}}$</td><td>外部中断 3 (下降沿检测)</td></tr><tr><td>P1.6</td><td>$\overline{\text{INT4}}$</td><td>外部中断 4 (上升沿检测)</td></tr><tr><td>P1.7</td><td>$\overline{\text{INT5}}$</td><td>外部中断 5 (下降沿检测)</td></tr></table>	端口	复用名称	功能	P1.0	T2	定时器/计数器 2 的外部 I/O 口	P1.1	T2EX	定时器 2 捕获/重载触发器	P1.2	RXD1	串口 1 接收输入	P1.3	TXD1	串口 1 发送输出	P1.4	INT2	外部中断 2 (上升沿检测)	P1.5	$\overline{\text{INT3}}$	外部中断 3 (下降沿检测)	P1.6	$\overline{\text{INT4}}$	外部中断 4 (上升沿检测)	P1.7	$\overline{\text{INT5}}$	外部中断 5 (下降沿检测)
端口	复用名称	功能																													
P1.0	T2	定时器/计数器 2 的外部 I/O 口																													
P1.1	T2EX	定时器 2 捕获/重载触发器																													
P1.2	RXD1	串口 1 接收输入																													
P1.3	TXD1	串口 1 发送输出																													
P1.4	INT2	外部中断 2 (上升沿检测)																													
P1.5	$\overline{\text{INT3}}$	外部中断 3 (下降沿检测)																													
P1.6	$\overline{\text{INT4}}$	外部中断 4 (上升沿检测)																													
P1.7	$\overline{\text{INT5}}$	外部中断 5 (下降沿检测)																													
2	3	41	P1.1																												
3	4	42	P1.2																												
4	5	43	P1.3																												
5	6	44	P1.4																												
6	7	1	P1.5																												
7	8	2	P1.6																												
8	9	3	P1.7																												
21	24	18	P2.0 (A8)	2 口 (A8–A15), I/O 口。 2 口是 8 位双向 I/O 口。2 口在复位状态下, 端口保持逻辑高电平。在这种状态下, 内部弱上拉保持了端口的高电平。由于弱上拉可以被连接该端口的外部电路吸收, 所以此种状态下端口也用于输入态。当软件对任一引脚写入 0 时, DS89C430/DS89C440/DS89C450 产生强下拉, 并且保持这种状态直到写入 1 或者发生复位。当端口为逻辑 0 时, 写入逻辑 1 会打开一个强的转换驱动器, 之后跟着产生一个持续的弱上拉。一旦瞬时的强驱动器关闭, 端口重新变为输出高(也为输入)状态。作为一种复用功能, 当读取外部程序存储器、读/写外部 RAM 或者其它外设时, 2 口可以作为外部地址总线的高 8 位地址输出。在页面模式 1 下, 2 口提供外部地址总线的高 8 位和低 8 位输出。在页面模式 2 下, 2 口提供高 8 位地址输出和数据接口。																											
22	25	19	P2.1 (A9)																												
23	26	20	P2.2(A10)																												
24	27	21	P2.3(A11)																												
25	28	22	P2.4(A12)																												
26	29	23	P2.5(A13)																												
27	30	24	P2.6(A14)																												
28	31	25	P2.7(A15)																												
10	11	5	P3.0	3 口, I/O 口。 3 口是 8 位双向 I/O 口, 也可作为外部中断、串口 0、定时器 0 和定时器 1 输入 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 选通的功能接口。3 口在复位状态下, 端口保持逻辑 1。在这种状态下, 内部弱上拉保持了端口的高电平。由于弱上拉可以被连接该端口的外部电路吸收, 所以此种状态下端口也用于输入态。当软件对任一引脚写 0 时, DS89C430/DS89C440/DS89C450 产生强下拉, 并且保持这种状态直到写入 1 或者发生复位。当端口为逻辑 0 时, 写入逻辑 1 会打开一个强的转换驱动器, 之后跟着产生一个持续的弱上拉。一旦瞬时的强驱动器关闭, 端口重新变为输出高(也为输入)状态。3 口的复用功能如下所示: <table><tr><th>端口</th><th>复用名称</th><th>功能</th></tr><tr><td>P3.0</td><td>RXD0</td><td>串口 0 接收输入</td></tr><tr><td>P3.1</td><td>TXD0</td><td>串口 0 发送输出</td></tr><tr><td>P3.2</td><td>$\overline{\text{INT0}}$</td><td>外部中断 0 输入</td></tr><tr><td>P3.3</td><td>$\overline{\text{INT1}}$</td><td>外部中断 1 输入</td></tr><tr><td>P3.4</td><td>T0</td><td>定时器 0 外部输入</td></tr><tr><td>P3.5</td><td>T1</td><td>定时器 1 外部输入</td></tr><tr><td>P3.6</td><td>$\overline{\text{WR}}$</td><td>外部数据存储器写选通</td></tr><tr><td>P3.7</td><td>$\overline{\text{RD}}$</td><td>外部数据存储器读选通</td></tr></table>	端口	复用名称	功能	P3.0	RXD0	串口 0 接收输入	P3.1	TXD0	串口 0 发送输出	P3.2	$\overline{\text{INT0}}$	外部中断 0 输入	P3.3	$\overline{\text{INT1}}$	外部中断 1 输入	P3.4	T0	定时器 0 外部输入	P3.5	T1	定时器 1 外部输入	P3.6	$\overline{\text{WR}}$	外部数据存储器写选通	P3.7	$\overline{\text{RD}}$	外部数据存储器读选通
端口	复用名称	功能																													
P3.0	RXD0	串口 0 接收输入																													
P3.1	TXD0	串口 0 发送输出																													
P3.2	$\overline{\text{INT0}}$	外部中断 0 输入																													
P3.3	$\overline{\text{INT1}}$	外部中断 1 输入																													
P3.4	T0	定时器 0 外部输入																													
P3.5	T1	定时器 1 外部输入																													
P3.6	$\overline{\text{WR}}$	外部数据存储器写选通																													
P3.7	$\overline{\text{RD}}$	外部数据存储器读选通																													
11	13	7	P3.1																												
12	14	8	P3.2																												
13	15	9	P3.3																												
14	16	10	P3.4																												
15	17	11	P3.5																												
16	18	12	P3.6																												
17	19	13	P3.7																												
31	35	29	$\overline{\text{EA}}$	外部访问控制。 选择外部或内部程序存储器。接地时强制DS89C430/DS89C440/DS89C450 使用外部程序存储器。由寄存器设置决定, 仍可以访问内部RAM。而与V _{CC} 相连, 则使用内部闪存。																											

图5. 功能框图



详细说明

DS89C430, DS89C440 和 DS89C450 引脚兼容于标准 8051 的所有三种封装, 包括了标准资源, 比如三个定时器/计数器、串口以及 4 个 8 位 I/O 口。三种器件编号仅仅是内部闪存的大小不同(DS89C430 = 16kB, DS89C440 = 32kB, DS89C450 = 64kB)。采用 ROM 驻留的或者用户设计的加载软件, 能够从串口对内部闪存进行在系统或在应用编程。对于大批量应用, 可使用市场上现有的标准并行编程器从外部写入闪存。

除了更快的运行速度, DS89C430/DS89C440/DS89C450 还包括 1kB 数据 RAM, 第二个全功能硬件串口, 七个附加的中断源, 两级额外的中断优先级, 可编程看门狗定时器, 掉电监视以及电源失效复位。提供双数据指针 (DPTR), 并通过可选的自动递增/递减和触发选择操作进一步增强其性能, 以加速存储器数据的块移动。可以调节 MOVX 数据存储器访问的速率, 最多展宽至 10 个机器周期, 便于灵活选择外部存储器和外设。

通过减慢 CPU 的运行速度, 即从每机器周期 1 个时钟周期到每机器周期 1024 个时钟周期, 电源管理模式可以极大地降低功耗。可选的时钟返回特性能够自动退出该模式, 以允许正常速度响应中断。

对于 EMI 敏感的应用, 当处理器不访问外部存储器时, 微控制器可以禁止 ALE 信号。

术语

除非特别说明，后面文档中的 *DS89C430* 名词代表 DS89C430，DS89C440 和 DS89C450。

兼容性

DS89C430 为全静态 CMOS 8051 兼容微控制器，功能特性与 DS87C520 相似，只是提供更高的性能。在大多数应用中，DS89C430 能够直接插入现有的 8xC51 系列插座，立即改善系统性能。为 8051 系列用户保持一致性的同时，DS89C430 具有很多新的特性。由于在任何给定晶振下 DS89C430 执行指令的速度更快，因此，除了严格的定时程序外，一般而言，对于现有的基于 8051 的系统，其软件可以直接写入 DS89C430 使用而无需进行更改。

DS89C430 提供三个 16 位定时器/计数器，两路全双工串口和 256 字节直接访问 RAM 以及 1kB 额外的 MOVX RAM。I/O 口能够作为标准的 8051 产品工作。定时器默认 12 个时钟周期为一个工作周期，以保持与传统的 8051 系列系统的时序兼容性。但是如果需要，定时器可以独立编程，以运行在每个工作周期 1 个时钟周期下。DS89C430 通过新的特殊功能寄存器(SFR)实现了一些新的硬件特性，在下文有详细的说明。

性能概述

DS89C430 具有高速的、完全重新设计的 8051 兼容内核，可以工作在更高的时钟频率。升级的内核消除了标准 8051 中无用的存储器周期。传统的 8051 产生一个机器周期需要 12 个时钟周期，而对 DS89C430，相同的机器周期仅需要一个时钟周期。因此，在相同的晶振频率下 DS89C430 最快的指令运行速度可以达到传统 8051 的 12 倍(实际上，INC 数据指针指令可以快 24 倍)。需要注意的是，由于外部存储器访问的工作周期超过一个时钟周期，所以此时速度会相应地降低。

各个程序性能改善依赖于所使用的指令。对于要求速度的应用，应该尽量使用 12 倍速度的指令。不管怎样，改进的 12 比 1 操作码速度对于任何程序代码都能够显著地提高速度。这些结构改进使得指令周期时间最低至 30ns。双数据指针特性还允许用户消除存储器块移动时的无用指令。新的页面模式在访问外部存储器时可以提高效率。

指令集概要

所有的指令与 8051 中的对应指令具有相同的功能，包括数据位、标志位的影响以及其它状态功能。但是，每个指令的时序是不同的，包括绝对的和相对的时钟数目。

对于实时事件的绝对时序，请参考 *超高速闪存微控制器用户指南(English only)* 中的 *指令集* 表所给出的信息，计算出软件循环的持续时间。但是，计数器/定时器默认工作在早期的每 12 个时钟加 1 的状态。在这种方式下，基于定时器的时间在标准时间间隔下触发，而软件则以较高的速度运行。定时器可以选择运行在每个增量更少时钟数目的状态下，以利用更快速处理器的工作优势。

在新的架构下，一些指令的相对时间可能有所不同。例如，在最初的架构下，“MOVX A, @DPTR”指令和“MOV direct, direct”指令均使用两个机器周期，也就是 24 个振荡周期。因此它们需要相同的运行时间。而在 DS89C430 处理器中，MOVX 指令仅仅占用两个机器周期或者两个振荡周期，但是“MOV direct, direct”指令需要三个机器周期或者三个振荡周期。尽管都比最初架构下的指令更快，但是它们具有不同的执行时间。这是由于 DS89C430 通常为每一个指令字节使用一个机器周期而执行又需要另外一个周期。对于要求精确的程序时序的用户，应该检查每个指令的时序，以熟悉它们的改变。

特殊功能寄存器(SFR)

DS89C430 中所有没有直接指令的外设和操作都通过 SFR 来控制。架构中的大部分基本普通特性都映射到相关的 SFR 上。这包括 CPU 寄存器(ACC, B 和 PSW)，数据指针，栈指针，I/O 口，定时器/计数器以及串口。在很多情况下，一个 SFR 控制一个独立功能或者标志特定功能的状态。SFR 位于 80h-FFh 的寄存器地址位置，而且只能通过直接寻址的方式访问。地址以 0h 或者 8h 结尾的 SFR 是可位寻址的。

DS89C430 具有 8051 所有的标准SFR以及相同的地址，由于DS89C430 的独特特性而添加了几个新的SFR。这些特性大部分由SFR中的位所控制，这些SFR占用标准 8051 SFR配置图中未使用的位置，这允许在保持完全的指令集兼容性的同时可以增强系统的功能。[表 1](#)列出了所有的SFR以及相应的地址。[表 2](#)给出了所有SFR位的默认复位状态。

数据指针

数据指针(DPTR 和 DPTR1)用来为 MOVX 指令指定存储器地址。这个地址可以指向 MOVX 的 RAM 位置(片内或者片外)或者占用存储器地址的外设。在存储器不同区域间移动数据时，或者为占用存储器地址的外设同时提供源地址和目标地址时，使用双指针是非常有用的。用户能够通过专门的 SFR 位(SEL = DPS.0)来选择工作指针，也可以通过激活自动转换特性来切换指针选择(TSL = DPS.5)。作为附加的特性，如果被选择，可提供当前指针的自动递增或者递减操作。

栈指针

栈指针指示栈顶的寄存器位置，它是最近一次被使用时的数值。通过设置栈指针到指定的地址，用户能够在暂存器 RAM 中任意设置栈的位置，尽管低端地址通常用作工作寄存器。

I/O 口

DS89C430 提供四个 8 位 I/O 口。每个 I/O 口对应一个 SFR 地址，可以被读写。I/O 口具有锁存功能，由软件写入。

定时器/计数器

DS89C430 具有三个 16 位定时器/计数器。每个定时器由两个 SFR 表示，可以通过软件读写。定时器由其它的 SFR 控制，具体说明参考[超高速闪存微控制器用户指南 \(English only\)](#) 中的 *SFR 位说明*。

串口

DS89C430 提供两个通过 SFR 控制和访问的 UART。每个 UART 具有一个地址用来读写 UART 的数值。读和写操作使用共同的地址，通过指令来区分读和写操作。每个 UART 由相应的 SFR 控制寄存器来控制。

表1. SFR 寄存器分配表

REGISTER	ADDRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
P0	80h	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
SP	81h								
DPL	82h								
DPH	83h								
DPL1	84h								
DPH1	85h								
DPS	86h	ID1	ID0	TSL	AID	—	—	—	SEL
PCON	87h	SMOD_0	SMOD0	OFDF	OFDE	GF1	GF0	STOP	IDLE
TCON	88h	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
TMOD	89h	GATE	C/T	M1	M0	GATE	C/T	M1	M0
TL0	8Ah								
TL1	8Bh								
TH0	8Ch								

表 1. SFR 寄存器分配表(续)

REGISTER	ADDRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
TH1	8Dh								
CKCON	8Eh	WD1	WD0	T2M	T1M	T0M	MD2	MD1	MD0
P1	90h	P1.7/ $\overline{\text{INT5}}$	P1.6/INT4	P1.5/ $\overline{\text{INT3}}$	P1.4/INT2	P1.3/TXD1	P1.2/RXD1	P1.1/T2EX	P1.0/T2
EXIF	91h	IE5	IE4	IE3	IE2	CKRY	RGMD	RGSL	BGS
CKMOD	96h			T2MH	T1MH	T0MH	—	—	—
SCON0	98h	SM0/FE_0	SM1_0	SM2_0	REN_0	TB8_0	RB8_0	TI_0	RI_0
SBUF0	99h								
ACON	9Dh	PAGEE	PAGES1	PAGES0	—	—	—	—	—
P2	A0h	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
IE	A8h	EA	ES1	ET2	ES0	ET1	EX1	ET0	EX0
SADDR0	A9h								
SADDR1	AAh								
P3	B0h	P3.7/ $\overline{\text{RD}}$	P3.6/ $\overline{\text{WR}}$	P3.5/T1	P3.4/T0	P3.3/ $\overline{\text{INT1}}$	P3.2/ $\overline{\text{INT0}}$	P3.1/TXD0	P3.0/RXD0
IP1	B1h	—	MPS1	MPT2	MPS0	MPT1	MPX1	MPT0	MPX0
IP0	B8h	—	LPS1	LPT2	LPS0	LPT1	LPX1	LPT0	LPX0
SADEN0	B9h								
SADEN1	BAh								
SCON1	C0h	SM0/FE_1	SM1_1	SM2_1	REN_1	TB8_1	RB8_1	TI_1	RI_1
SBUF1	C1h								
ROMSIZE	C2h					PRAME	RMS2	RMS1	RMS0
PMR	C4h	CD1	CD0	SWB	CTM	4X/ $\overline{2X}$	ALEON	DME1	DME0
STATUS	C5h	PIS2	PIS1	PIS0	—	SPTA1	SPRA1	SPTA0	SPRA0
TA	C7h								
T2CON	C8h	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2
T2MOD	C9h							T2OE	DCEN
RCAP2L	CAh								
RCAP2H	CBh								
TL2	CCh								
TH2	CDh								
PSW	D0h	CY	AC	F0	RS1	RS0	OV	F1	P
FCNTL	D5h	FBUSY	FERR			FC3	FC2	FC1	FC0
FDATA	D6h								
WDCON	D8h	SMOD_1	POR	EPFI	PFI	WDIF	WTRF	EWT	RWT
ACC	E0h								
EIE	E8h	—	—	—	EWDI	EX5	EX4	EX3	EX2
B	F0h								
EIP1	F1h	—	—	—	MPWDI	MPX5	MPX4	MPX3	MPX2
EIP0	F8h	—	—	—	LPWDI	LPX5	LPX4	LPX3	LPX2

注：阴影位具有访问时间保护。

表2. SFR 复位值

REGISTER	ADDRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
P0	80h	1	1	1	1	1	1	1	1
SP	81h	0	0	0	0	0	1	1	1
DPL	82h	0	0	0	0	0	0	0	0
DPH	83h	0	0	0	0	0	0	0	0
DPL1	84h	0	0	0	0	0	0	0	0
DPH1	85h	0	0	0	0	0	0	0	0
DPS	86h	0	0	0	0	0	1	0	0
PCON	87h	0	0	Special	Special	0	0	0	0
TCON	88h	0	0	0	0	0	0	0	0
TMOD	89h	0	0	0	0	0	0	0	0
TL0	8Ah	0	0	0	0	0	0	0	0
TL1	8Bh	0	0	0	0	0	0	0	0
TH0	8Ch	0	0	0	0	0	0	0	0
TH1	8Dh	0	0	0	0	0	0	0	0
CKCON	8Eh	0	0	0	0	0	0	0	1
P1	90h	1	1	1	1	1	1	1	1
EXIF	91h	0	0	0	0	Special	Special	Special	0
CKMOD	96h	1	1	0	0	0	1	1	1
SCON0	98h	0	0	0	0	0	0	0	0
SBUF0	99h	0	0	0	0	0	0	0	0
ACON	9Dh	0	0	0	1	1	1	1	1
P2	A0h	1	1	1	1	1	1	1	1
IE	A8h	0	0	0	0	0	0	0	0
SADDR0	A9h	0	0	0	0	0	0	0	0
SADDR1	AAh	0	0	0	0	0	0	0	0
P3	B0h	1	1	1	1	1	1	1	1
IP1	B1h	1	0	0	0	0	0	0	0
IP0	B8h	1	0	0	0	0	0	0	0
SADEN0	B9h	0	0	0	0	0	0	0	0
SADEN1	BAh	0	0	0	0	0	0	0	0
SCON1	C0h	0	0	0	0	0	0	0	0
SBUF1	C1h	0	0	0	0	0	0	0	0
ROMSIZE	C2h	1	1	1	1	0	1	0	1
PMR	C4h	1	0	0	0	0	0	0	0
STATUS	C5h	0	0	0	1	0	0	0	0
TA	C7h	1	1	1	1	1	1	1	1
T2CON	C8h	0	0	0	0	0	0	0	0
T2MOD	C9h	1	1	1	1	1	1	0	0
RCAP2L	CAh	0	0	0	0	0	0	0	0
RCAP2H	CBh	0	0	0	0	0	0	0	0

表 2. SFR 复位值(续)

REGISTER	ADDRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
TL2	CCh	0	0	0	0	0	0	0	0
TH2	CDh	0	0	0	0	0	0	0	0
PSW	D0h	0	0	0	0	0	0	0	0
FCNTL	D5h	1	0	1	1	0	0	0	0
FDATA	D6h	0	0	0	0	0	0	0	0
WDCON	D8h	0	Special	0	Special	0	Special	Special	0
ACC	E0h	0	0	0	0	0	0	0	0
EIE	E8h	1	1	1	0	0	0	0	0
B	F0h	0	0	0	0	0	0	0	0
EIP1	F1h	1	1	1	0	0	0	0	0
EIP0	F8h	1	1	1	0	0	0	0	0

注：标记“Special”的位的更多信息可以参考超高速闪存微控制器用户指南(English only)。

存储器结构

DS89C430 具有三种截然不同的存储区域：暂存寄存器，程序存储器和数据存储器。寄存器在片内，而程序和数据存储器空间既可在片内也可在片外或者两种情况并存。DS89C430/DS89C440/DS89C450 分别具有 16kB/32kB/64kB 的闪存片内程序存储器容量。器件同时有 1kB 的片内数据存储空间，通过使用 ROMSIZE 特性中的 PRAME 位可以设置该空间为程序空间。DS89C430 使用存储器寻址方案，以区分程序存储器和数据存储器。由于采用不同的访问方式，程序和数据段地址可以重叠。当超过片内程序或者数据存储器的最大地址时，DS89C430 通过扩展存储总线进行外部存储器的访问。在从外部程序存储器取指时， $\overline{\text{PSEN}}$ 信号变成低电平有效，以使能芯片或者输出。MOVX 指令为外部 MOVX 数据存储器访问而激活 $\overline{\text{RD}}$ 或者 $\overline{\text{WR}}$ 信号。程序存储器的 ROMSIZE 特性允许通过软件动态设定片内程序存储器的最大地址。这使得 DS89C430 可以为外部存储器提供引导程序。这也使得可以重叠使用外部程序空间。如果 ROMSIZE 大于 0，片内闪存的低 128 字节用来存储复位和中断向量。片内 256 字节 RAM 用作寄存器区域和程序堆栈，独立于数据存储器。

寄存器空间

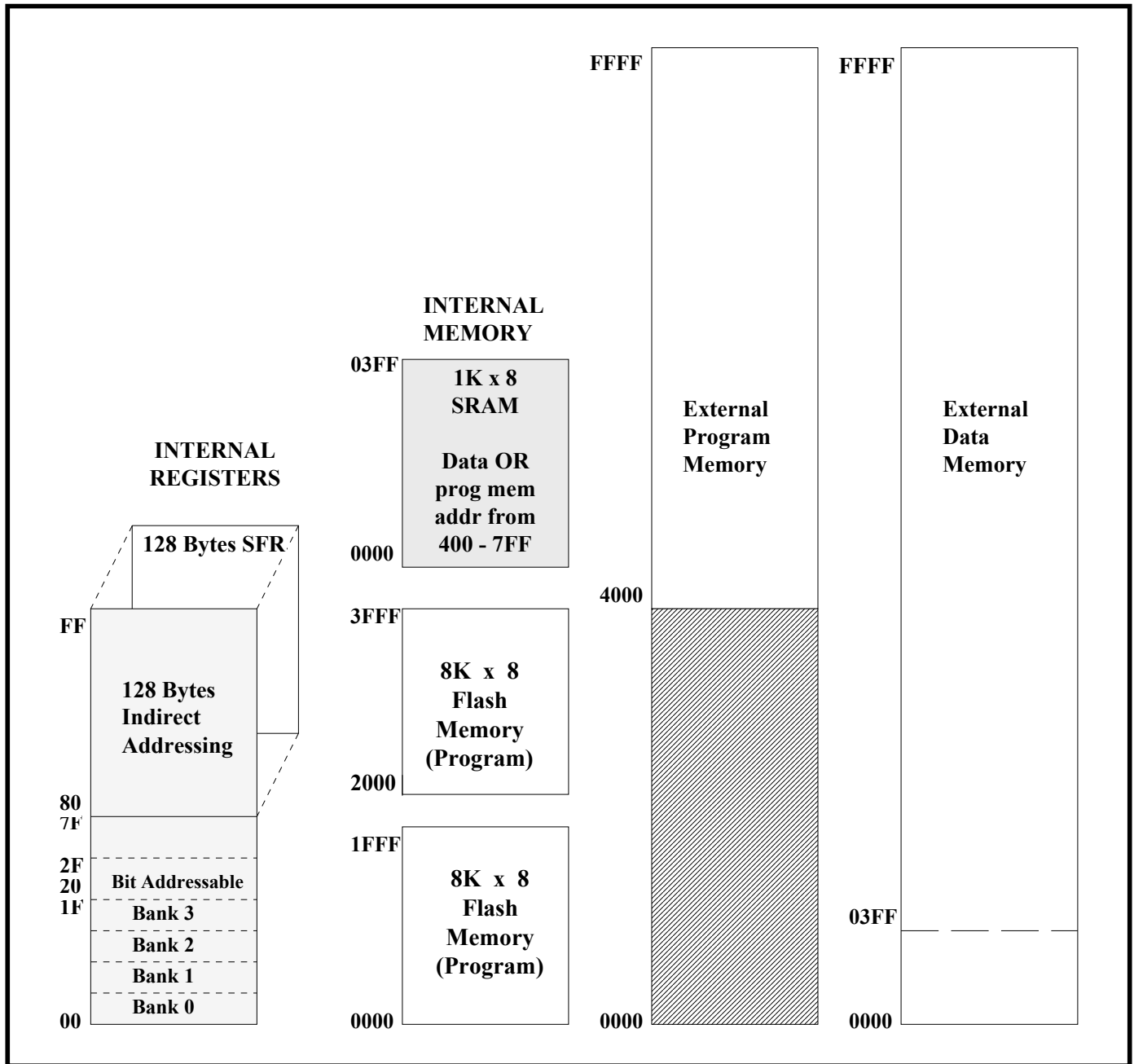
片内 RAM 中标记为“内部寄存器”(如图 6 所示)的 256 字节寄存器可被分为各为 128 字节的两个子区域。访问寄存器和程序/数据存储器分别采用不同类型的指令。存储器配置图中的高 128 字节与 128 字节的 SFR 地址重叠。采用间接寻址方式访问中间结果暂存 RAM 的高 128 字节，而 SFR 区域采取直接寻址方式访问。低 128 字节可以采用直接或者间接寻址方式访问。

在暂存 RAM 的低 128 字节内具有四个寄存器组，每个组有 8 个工作寄存器。工作寄存器位于通用 RAM 区域，在已选择的组内，可以通过任何使用 R0 至 R7 的指令对其进行寻址。寄存器组的选择则由 SFR 区域中的程序状态寄存器来控制。工作寄存器中的内容可用于间接寻址暂存 RAM 的高 128 字节。

RAM 和 SFR 区域中可独立寻址的位支持布尔运算。在中间结果暂存 RAM 区域，通过软件使用布尔运算指令可以对 20h 至 2Fh 的寄存器进行位寻址。

暂存 RAM 区域还可以用作堆栈。栈指针存储在 SFR 中，用于选择程序变量以及控制操作返回地址的存储位置。

图6. 存储器分配表(DS89C430)



存储器分配

如图 6 所示，DS89C430 集成了用于片内程序存储的两个 8kB 闪存区，以及 1kB SRAM，用于片内数据存储或者作为特别范围(400–7FF)的“复用”程序存储空间。DS89C440 集成了两个 16kB 闪存区，而 DS89C450 集成了两个 32kB 闪存区。DS89C430 使用寻址方案，以区分程序存储器和数据存储器，以便 16 位地址总线可以寻址每个存储空间至最大 64kB。

程序存储器访问

DS89C430 的片内程序存储器地址从 0000h 连续至 3FFFh (16kB)，相应的 DS89C440 至 7FFFh (32kB)，而 DS89C450 至 FFFFh (64kB)。超出片内程序存储器的最大地址会使器件访问片外存储器。使用 ROMSIZE 特性可以通过软件选择片内最大的译码地址。软件设置可使 DS89C430 工作如同一个更小的片内存储器器件。当使用地址重叠的外部存储器时，将从中受益。存储器大小的最大值是动态可变的，这样部分内部存储器可从存储器分配地址中去除，以访问片外存储器，随后再恢复访问片内存储器。实际上，所有片内存储器都可以从存储器分配地址中去除，这样允许全部 64kB 存储空间从片外存储器寻址。程序存储器地址超出所选择的最大值时，能够自动通过 0 口和 2 口从器件外部读取。详细的存储器分配地址描述如图 6 所示。

ROMSIZE 寄存器用于选择最大的片内程序存储器译码地址。RMS2、RMS1 和 RMS0 位具有如下功能：

RMS2	RMS1	RMS0	最大片内程序存储器地址(大小/地址)
0	0	0	0kB
0	0	1	1kB/03FFh
0	1	0	2kB/07FFh
0	1	1	4kB/0FFFh
1	0	0	8kB/1FFFh
1	0	1	16kB/3FFFh (DS89C430 缺省)
1	1	0	32kB/7FFFh (DS89C440 缺省)
1	1	1	64kB/FFFFh (DS89C450 缺省)

对于所有的器件，复位的缺省条件取决于它们片内程序存储器大小的最大值。在访问外部程序存储器时，对应此大小的外部存储器部分是不可访问的。为了设置一个较小的有效程序存储器大小，软件必须改变位 RMS2—RMS0 的值。改变这些位的大小，要求执行定时访问过程，随后将进一步解释。

需要注意的是更改 ROMSIZE 寄存器不可破坏程序的运行。例如，假设 DS89C430 正在执行位于内部程序存储器 12kB 边界(~3000h)附近的指令，同时 ROMSIZE 寄存器目前设置为 16kB 的内部程序空间。在目前状态下，如果软件重新分配 ROMSIZE 寄存器至 4kB (0000h—0FFFh)，器件会立即跳到外部程序执行，因为此时从 4kB 至 16kB (1000h—3FFFh)的程序代码已不再位于片内。这会造成代码的错位和无效指令的执行。推荐的方式是在程序执行之前和之后的存储器位置还处于内部(或者外部)存储器的地方，对 ROMSIZE 寄存器进行修改。在上面的例子中，修改 ROMSIZE 寄存器的指令应该位于低于 4kB 边界(1000h)或者高于 16kB 边界(3FFFh)地址，使得其不受存储器修改的影响。同样需要注意的是在执行外部程序存储器指令时修改内部程序存储器大小的情况。

对于非页面模式的操作，使用 P0 口的复用地址/数据总线和 P2 的 MSB 对片外存储器进行访问。当用作存储器总线时，这些引脚不再用作 I/O 口。习惯沿用标准 8051 扩展片内存储器的方法。如果 EA 引脚是逻辑 0 电平，也访问片外程序存储器。这时 EA 引脚忽略所有的 ROMSIZE 位设置。当 0 口和 2 口从外部程序存储器读取时，PSEN 有效信号(逻辑低)成为芯片使能或者输出使能信号。

$\overline{RD}$ 与 $\overline{WR}$ 信号用来控制外部数据存储器。采用 MOVX 指令访问数据存储器。MOVX@Ri 使用指定的工作寄存器提供低 8 位地址，P2 口提供高 8 位地址。MOVX@DPTR 指令则使用两个数据指针之一在整个 64kB 外部数据存储器空间上移动数据。软件通过写 SEL 位(DPS.0)来选择数据指针。

DS89C430 同时提供用户可选的高速外部存储器访问功能，可以通过将外部存储器接口重新配置为页面模式操作来实现。

注：当使用传统的 8051 扩展总线结构，与内部运行相比其处理能力将降低 75%。这是因为 CPU 每四个时钟周期会中止三个时钟周期，以等待需要四个时钟周期的数据读取。页面模式 1 是唯一的在访问外部存储器时 CPU 无需中止的外部寻址模式，但跨页寻址时将导致外部访问性能下降。

片内程序存储器

处理器能够自动读取整个片内程序存储器。默认情况下，复位程序和所有的中断向量都位于片内程序存储器的低 128 字节。

片内程序存储器逻辑上分为成对的 8kB、16kB 或者 32kB 的闪存单元，以支持在应用编程。片内程序存储器采用标准 5V 的 V_{CC} 供电，通过用户软件控制或者使用内置的程序存储器加载器对片内程序存储器进行在应用编程。也可以采用标准的闪存或者 EPROM 编程器编程。DS89C430 集成了存储器管理单元(MMU)和其它硬件，可以支持三种编程方式的任意一种。MMU 单元控制程序和数据存储器的访问，并且为片内程序存储器的编程提供顺序控制和时序控制。独立的安全闪存块支持标准的三级锁定，64 字节加密阵列和其它闪存可选项。

安全特性

DS89C430 集成了 64 字节加密阵列，允许用户以加密形式查看数据，进行程序代码校验。加密阵列在一个安全闪存块内实现，安全闪存块具有和片内程序存储器相同的电气和时序特性。一旦加密阵列编程为非 FFh，则校验模式下输出数据被加密。在校验期间，每个字节数据都会与加密阵列中的某个字节进行 XNOR 运算。

三级锁定限制了对内部程序和数据存储器的访问。用户可以通过对三个锁定控制位进行编程来选择安全等级，如表 3 所示。

一旦选择并编程设置了某种级别的安全等级，锁定控制位的设定会一直保留。只有整体擦除操作能够擦除这些控制位，并允许重新编程设置至较低限制保护的安全等级。

表3. 闪存锁定控制位

LEVEL	LB1	LB2	LB3	PROTECTION
1	1	1	1	No program lock. Encrypted verify if encryption array is programmed.
2	0	1	1	Prevent MOV _C in external memory from reading program code in internal memory. EA is sampled and latched on reset. Allow no further parallel or program memory loader programming.
3	X	0	1	Level 2 plus no verify operation. Also prevent MOV _X in external memory from reading internal SRAM.
4	X	X	0	Level 3 plus no external execution.

DS89C430 提供了用户可选项，但是必须在软件开始执行前进行设置。选项控制寄存器使用闪存位，而不是 SFR，可以当作字节寄存器进行独立擦除和编程。寄存器的第三位定义为看门狗上电复位(POR)控制。该控制位设置为 1，则关闭上电时看门狗复位功能。该控制位清零，则自动开启看门狗复位功能。寄存器的其它位未被定义，读取值为逻辑 1。在并行编程模式下，读取 FCh 地址可以获取该寄存器的值，而在 ROM 加载器模式或者在应用编程模式下，执行校验选项控制寄存器指令来取值。

在 ROM 加载器模式或者并行编程模式下，能够读取器件的特征字节。读取 30h、31h 和 60h 地址的数据可以获得厂商、零件以及扩展的特征信息，如下所示。

地址	值	含义
30h	DAh	厂商 ID
31h	43h	DS89C430 器件 ID
31h	44h	DS89C440 器件 ID
31h	45h	DS89C450 器件 ID
60h	01h	器件扩展名

注：锁定控制位的状态不影响在应用编程时闪存的读写可访问性。但是锁定控制位影响 ROM 加载器模式和并行编程模式下闪存的读写可访问性。

通过用户软件的在应用编程

DS89C430 支持通过用户软件对片内闪存进行在应用编程。在应用编程的启动通过对闪存控制(FCNTL:D5h)寄存器写入闪存命令实现，从而使能闪存进行擦除/编程/校验操作。地址和数据通过闪存数据(FDATA:D6h)寄存器输入 MMU。闪存命令也使能 FDATA 的读写可访问性。MMU 定序器提供闪存的操作顺序和控制功能。除了对 SFR 的读/写访问，MMU 独立于处理器工作。

只有片内程序存储器上半区能够通过用户软件进行在应用编程。片内程序存储器下半区包含依赖系统硬件的代码，这些代码对系统操作至关重要，在应用编程期间不允许被改变。

所有的闪存操作都是自定时的。用户软件可以通过闪存忙碌位(FBUSY;FCNTL.7)来监视擦除或者编程操作的进度，闪存忙碌位具有逻辑 1 的复位值。当要求的数据写入 FDATA SFR，某个选择的操作会自动开始运行。MMU 单元将 FBUSY 位清零，以指示写/擦除操作的开始。FBUSY 位有可能在操作被请求以后超过 1 μ s 而仍未改变状态。在此期间，应用应该查询 FBUSY 位的状态，等待它的改变。FBUSY 位会保持低电平直到操作结束，或者直到返回一个错误指示值。闪存操作失败会终止当前的操作，并且设置闪存错误标志(FERR;FCNTL.6)为逻辑 1。忙碌标记和错误标志都是只读位。

在在应用编程期间，读/写可访问性不受锁定控制位状态的影响。

下面是一个“写程序存储器上半区”的编程序列示例。每次运行都需要重新调用该命令。例如，不允许只调用一次“写程序存储器上半区”命令而重复写入地址和数据来对一块存储器编程。

1. 确认 $\overline{\text{FBUSY}}$ 位为 1，说明闪存 MMU 处于空闲状态。
2. 使用定时访问序列向 FCNTL 寄存器写入 0Bh。
3. 将地址_MSB 写入 FDATA 寄存器。
4. 将地址_LSB 写入 FDATA 寄存器。
5. 将数据值写入 FDATA 寄存器。
6. 确认 $\overline{\text{FBUSY}}$ 为 0，说明已经开始编程。
7. 等待 $\overline{\text{FBUSY}}$ 变为 1，说明编程结束。
8. 确认 FERR 为 0，说明没有编程错误。

闪存命令(FC3–FC0;FCNTL.3:0)位提供闪存命令，如[表 4](#)所示。

表4. 在应用编程命令

FC3:FC0	COMMAND	OPERATION
0000	Read Mode	Default state. All flash blocks are in read mode. Note: The upper bank of flash memory is inaccessible for execution unless the FC3:0 bits are in the read mode (0000b) state.
0001	Verify Option Control Register	Read data from the option control register. Data is available in the FDATA at the end of the following machine cycle. FDATA.3 is the logic value of the watchdog POR default setting.
0010	Verify Security Block	Read a byte of data from the security block. After the address byte is written to the FDATA, data is available in the FDATA at the end of the following machine cycle. (Lock bits are addressed at 40h and FDATA.5:3 are the logic value of LB1, LB2 and LB3, respectively.)
0011	Verify Upper Program Memory Bank	Read a byte of data from upper flash memory bank (address range from 2000h to 3FFFh). The first and second byte writes to the FDATA are the upper and lower byte of the address. Data is available in the FDATA at the end of the following machine cycle after the second address byte is written.
0100	Reserved for Future Use	This command should not be modified by user programs.
1000	Reserved for Future Use	This command should not be modified by user programs.
1001	Write Option Control Register	Write to the option control register as data is written to FDATA. Bit 3 of the data byte represents the watchdog POR default setting.
1010	Write Security Block	Write a byte of data to the security block at a selected locations addressed by the first byte write to the FDATA. The second write to the FDATA is the data byte. (Lock bits are addressed at 40h and the FDATA 5:3 represents lock bits LB3, LB2, and LB1, respectively.)
1011	Write Upper Program Memory Bank	Write a byte of code to the upper flash memory bank (address range from 2000h to 3FFFh). The first and second byte writes to the FDATA are the upper byte and the lower byte of the address. The third write to the FDATA is the data byte.
1100	Erase Option Control Register	Erase the option control register. The contents of this register are returned to FFh. This operation disables the watchdog reset function on power-up.
1101	Erase Security Block	Erase the security flash block that contains the 64-byte encryption array and the lock bits. The content of every memory location is turned into FFh.
1110	Erase Upper Program Memory Bank	Erase the upper bank of flash memory bank. The contents of every memory location are returned to FFh.
1111	System Reset	This command is used to cause a system reset.

所有形式的复位，闪存命令位都将被清零。对于用户软件而言，将这些位清零以使闪存从擦除/编程操作返回到读模式非常重要。对于 MMU 单元，此设置是一个“无操作”的情况，这允许处理器返回其正常执行状态。注意在正常闪存读模式，忙碌和错误标志不起作用。

FCNTL SFR 仅能使用定时访问方式写入。此过程为闪存的擦除/编程误操作提供了保护。在闪存操作期间(FBUSY = 0)，任何写入 FCNTL 的命令都被忽略。为保证数据的完整性，如果擦除或者编程操作被复位中断，应该重新启动一个擦除命令序列。

ROM 加载器

全部片内程序闪存空间、安全闪存块以及外部 SRAM 都能够通过外部资源进行在系统编程，这是通过串口 0 在片内 ROM 加载器控制完成的。ROM 加载器具有自动波特率特性，可以判断当前通讯的波特率，并设置波特率发生器为该值。

当 DS89C430 加电并且已经进入其用户操作模式，在任何时刻都可以通过强制 $RST = 1$ 、 $\overline{EA} = 0$ 和 $\overline{PSEN} = 0$ 触发 ROM 加载器模式。除非系统掉电或者去除其工作的条件($RST = 1$ 和 $\overline{PSEN} = \overline{EA} = 0$)，否则该模式会一直保持有效。进入 ROM 加载器模式会强制处理器为程序存储器初始化和其它加载器功能开始从 2kB 的内部 ROM 读数。

锁定控制位的状态决定了读/写可访问性，其值可以由 ROM 加载器直接校验。

闪存可以使用通过串口接收来自主机的命令进行编程(通过嵌入的ROM加载器)。有关ROM加载器命令的完整细节，请参考 *超高速闪存微控制器用户指南(English only)*。与ROM加载器通讯的主机软件提供Windows®的版本，也包括其它操作平台的版本。了解详细信息可以联系我们的技术支持部门：micro.support@dalsemi.com (English only)。

并行编程模式

微控制器还支持一种商用器件编程器使用的编程模式。该模式仅被商用器件编程器使用，正常应用中很少使用。有关该模式的信息可以联系我们的技术支持部门：micro.support@dalsemi.com (English only)。

数据指针增/减操作和选项

DS89C430 具备一种硬件特性，以支持需要数据指针递增/递减操作的应用。数据指针递增/递减位 ID0 和 ID1 (DPS.6 和 DPS.7)定义了 INC DPTR 指令相对于有效 DPTR (通过 SEL 位选择)是如何操作的。设置 ID0 = 1 和 SEL = 0 使能 DPTR 的减法操作，即执行 INC DPTR 指令将 DPTR 的内容减 1。类似地，设置 ID = 1 和 SEL = 1 使能 DPTR1 的减法操作，即执行 INC DPTR 指令将 DPTR1 的内容减 1。具备了这种特性，用户可配置 INC DPTR 指令为四种操作方式之一：

ID1	ID0	SEL = 0	SEL = 1
0	0	INC DPTR	INC DPTR1
0	1	DEC DPTR	INC DPTR1
1	0	INC DPTR	DEC DPTR1
1	1	DEC DPTR	DEC DPTR1

SEL (DPS.0)位总是选择当前有效的数据指针，DS89C430 提供一个可编程选项，允许与数据指针相关的任何指令自动翻转 SEL 位。该选项可通过设置翻转选择使能位(TSL-DPS.5)为逻辑 1 来使能。一旦被使能，在下面五条 DPTR 相关的指令之一执行后自动翻转 SEL 位：

```
INC DPTR
MOV DPTR #data16
MOVC A, @A+DPTR
MOVX A, @DPTR
MOVX @DPTR, A
```

DS89C430 还提供一种可编程选项，在执行与 DPTR 相关的指令后自动将当前选择的数据指针的内容增 1 (或者减 1)。具体功能(增 1 或者减 1 操作)取决于 ID1 和 ID0 位的设置。该功能可通过设置自动增/减使能(AID-DPS.4)为逻辑 1 来使能，并受到以下三条指令的影响：

```
MOVC A, @A+DPTR
MOVX A, @DPTR
MOVX @DPTR, A
```

Windows 是 Microsoft Corporation 的注册商标。

外部存储器

DS89C430 为读取指令代码和读/写外部程序和数据存储器等操作执行外部存储器周期。非页面外部存储器周期比内部存储器周期慢 4 倍(即外部存储器周期包含四个系统时钟)。然而，一种页面模式的外部存储器周期在页内访问时需要一个、两个或者四个系统时钟完成，而跨页时需要两个、四个或八个系统时钟完成，这取决于用户选择。DS89C430 还支持另一种采用不同外部总线结构的页面模式操作，提供快速的外部取指操作，但数据存储器访问需要四个时钟周期。

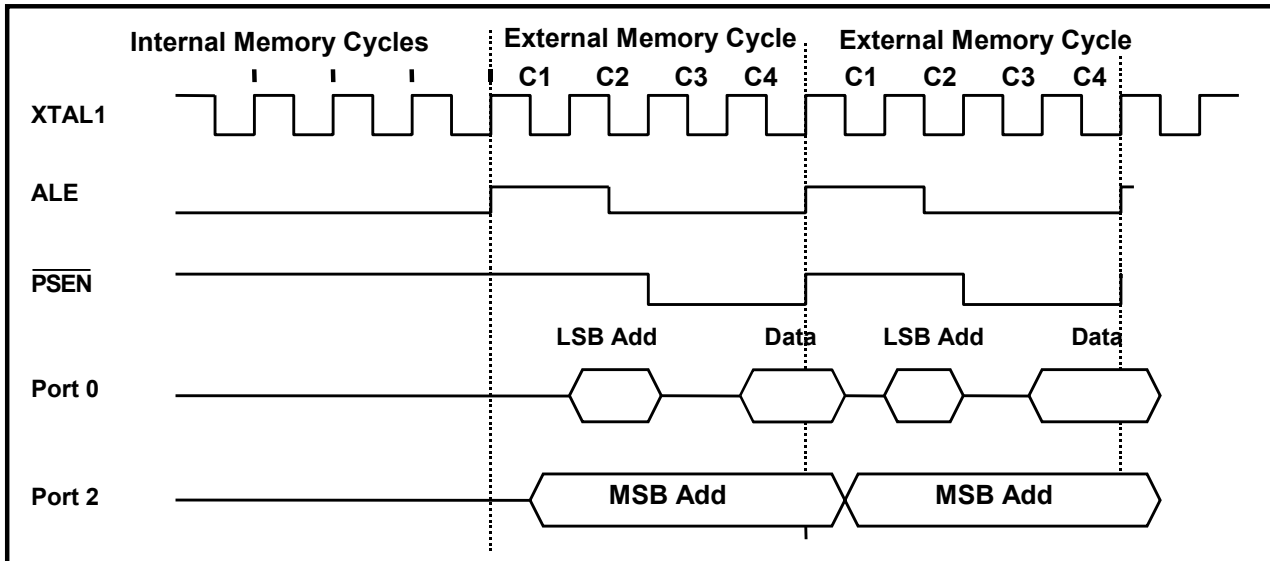
外部程序存储器接口(非页面模式)

图 7 给出当 CD1 和 CD0 设置为 10b 时取内部指令和外部指令的时序关系，假设微控制器在非页面模式下进行外部取指令。注意到外部程序读取需要四个系统时钟，而内部程序读取仅需要一个系统时钟。

见图 7 所示，ALE 在执行内部存储器取指令时无效。DS89C430 提供一个可编程用户选项，可在内部程序存储器工作时打开 ALE。外部取指令时自动使能 ALE，与这个选项的设置无关。

$\overline{\text{PSEN}}$ 仅在外取指令代码时有效，在内部指令执行期间无效。

图 7. 外部程序存储器访问(非页面模式，CD1:CD0 = 10)



非页面模式工作中的外部数据存储器接口

与程序存储器周期类似，在非页面模式中外部数据存储器周期是内部数据存储器周期的四倍。在非页面模式工作中一个基本的内部存储器周期包含一个系统时钟，而一个基本的外部存储器周期则包含四个系统时钟。

DS89C430 允许软件通过延长存储器总线周期来调整外部数据存储器的访问速度。CKCON (8Eh)为该功能提供一个应用可选的延长值。软件可以通过改变CKCON.2–CKCON.0 的设置来动态改变延长值。表 5给出了数据存储器周期延长值及其对外部MOVX存储器总线周期以及由振荡器时钟数目表示的控制信号脉宽的影响。

表 5. 数据存储器周期延长值

MD2:MD0	STRETCH CYCLES	$\overline{RD}/\overline{WR}$ PULSE WIDTH (IN NUMBER OF OSCILLATOR CLOCKS)			
		4X/2 $\overline{x}$, CD1, CD0 = 100	4X/2 $\overline{x}$, CD1, CD0 = 000	4X/2 $\overline{x}$, CD1, CD0 = X10	4X/2 $\overline{x}$, CD1, CD0 = X11
000	0	0.5	1	2	2048
001	1	1	2	4	4096
010	2	2	4	8	8192
011	3	3	6	12	12,288
100	7	4	8	16	16,384
101	8	5	10	20	20,480
110	9	6	12	24	24,576
111	10	7	14	28	28,672

从表5中可以看出，延长特性支持8种延长的外部数据存储器访问周期，这可归类为三个时序组。当延长值被清为000b时，外部数据存储器访问周期没有延长，一个MOVX指令在两个基本的存储器周期内完成。当延长值被设置为1，2或者3时，外部数据存储器访问分别被扩展1，2或者3个延长的机器周期。注意到第一个延长期没有为 $\overline{RD}/\overline{WR}$ 控制信号增加四个系统时钟。这是由于第一个延长期使用一个系统时钟产生附加的建立时间和一个系统时钟产生附加的地址保持时间。当使用速率非常低的RAM和外围设备时，可选择更大的延长值(4–7)。在这种延长周期分类中，一个延长的机器周期(4个系统时钟)用于扩宽ALE脉冲宽度，一个延长的机器周期用于产生附加的建立时间，一个延长的机器周期用于产生附加的保持时间， $\overline{RD}$ 或者 $\overline{WR}$ 选通信号增加一个延长的机器周期。

以下各时序图描述了对外部数据存储器全速访问(延长值 = 0)，在缺省延长设置时(延长值 = 1)和慢速数据存储器访问(延长值 = 4)的时序关系，此时系统时钟为 1 分频模式(CD1:CD0 = 10b)。

图 8. 非页面模式，外部数据存储器访问(延长值 = 0, CD1:CD2 = 10)

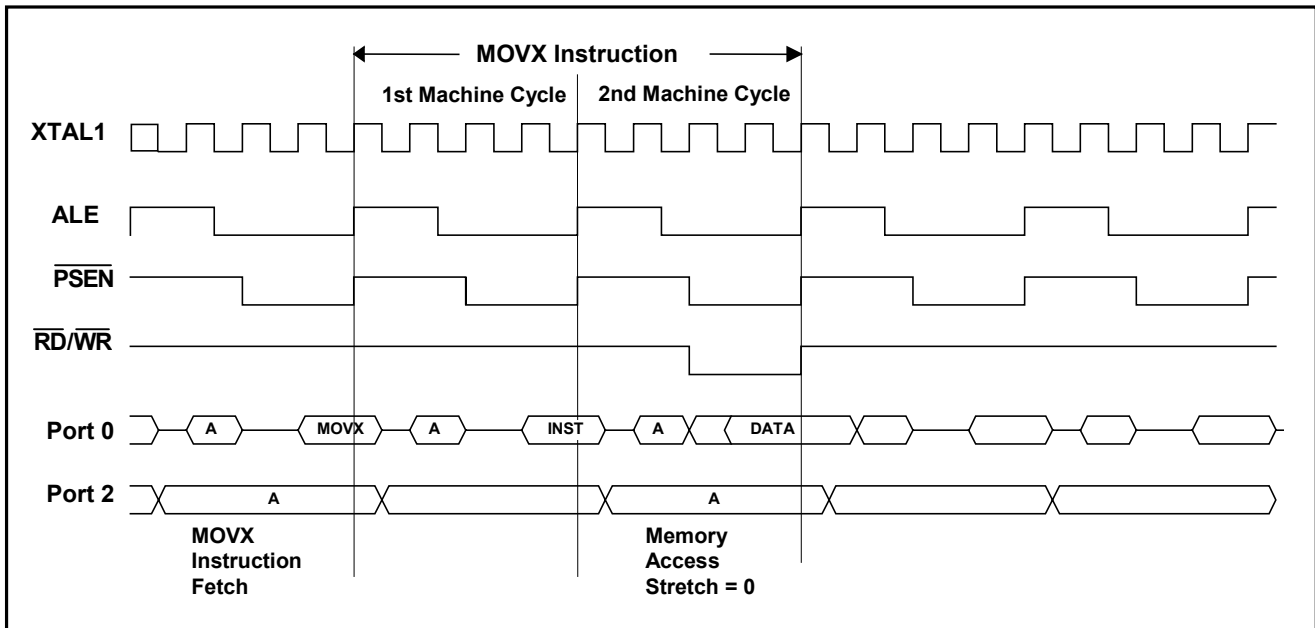
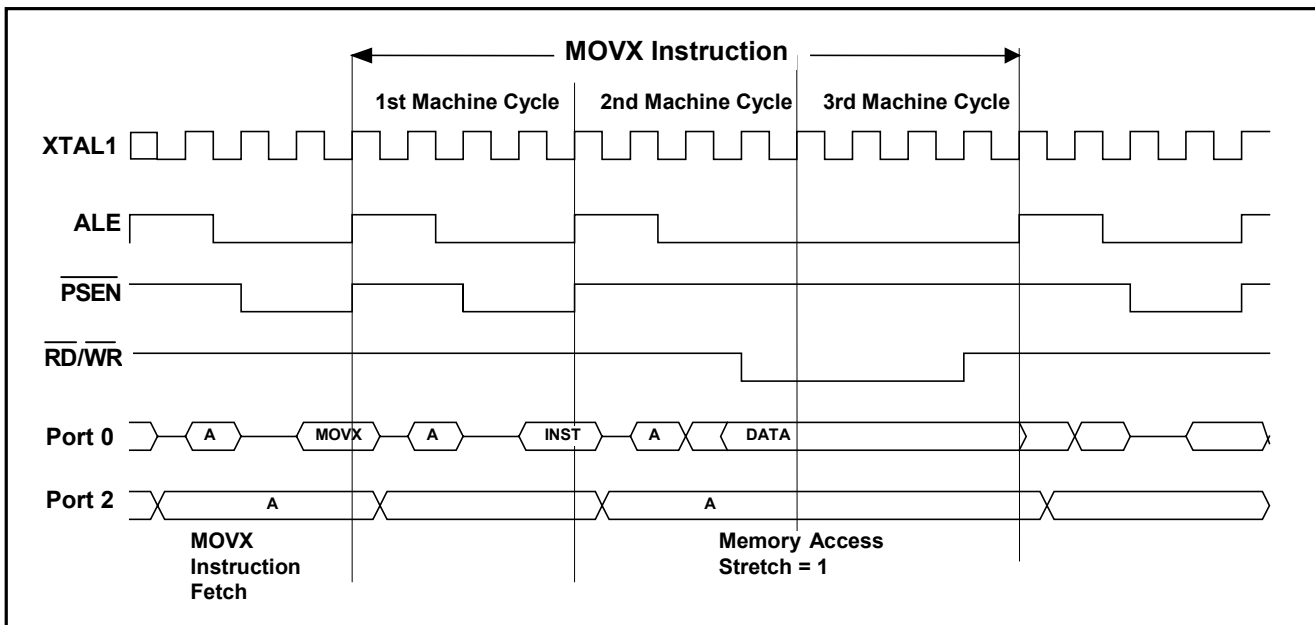


图 9. 非页面模式，外部数据存储器访问(延长值 = 1, CD1:CD2 = 10)



页面模式，外部存储器周期

页面模式为最初的 8051 外部存储器接口保留了基本电路要求，但是在外部存储器周期时为地址输出和数据 I/O 而改变了 P0 和 P2 的配置。另外，更改了 ALE 和 PSEN 的功能，以支持这种工作模式。

设置 PAGEE (ACON.7) 位为逻辑 1，使能页面模式。将 PAGEE 清零，则禁用页面模式，外部总线结构缺省为最初的 8051 扩展总线配置(非页面模式)。DS89C430 支持两种外部总线结构的页面模式。ACON 寄存器中的页面模式选择位逻辑值决定了外部总线结构和以系统时钟数目表示的基本存储器周期。表 6 总结了选择位的功能。前三种选择使用同样的总线结构，但存储器周期时间是不同的。设置选择位为 11b 选择另外一种总线结构。对 ACON 寄存器写访问需要访问时序。

表 6. 页面模式选择

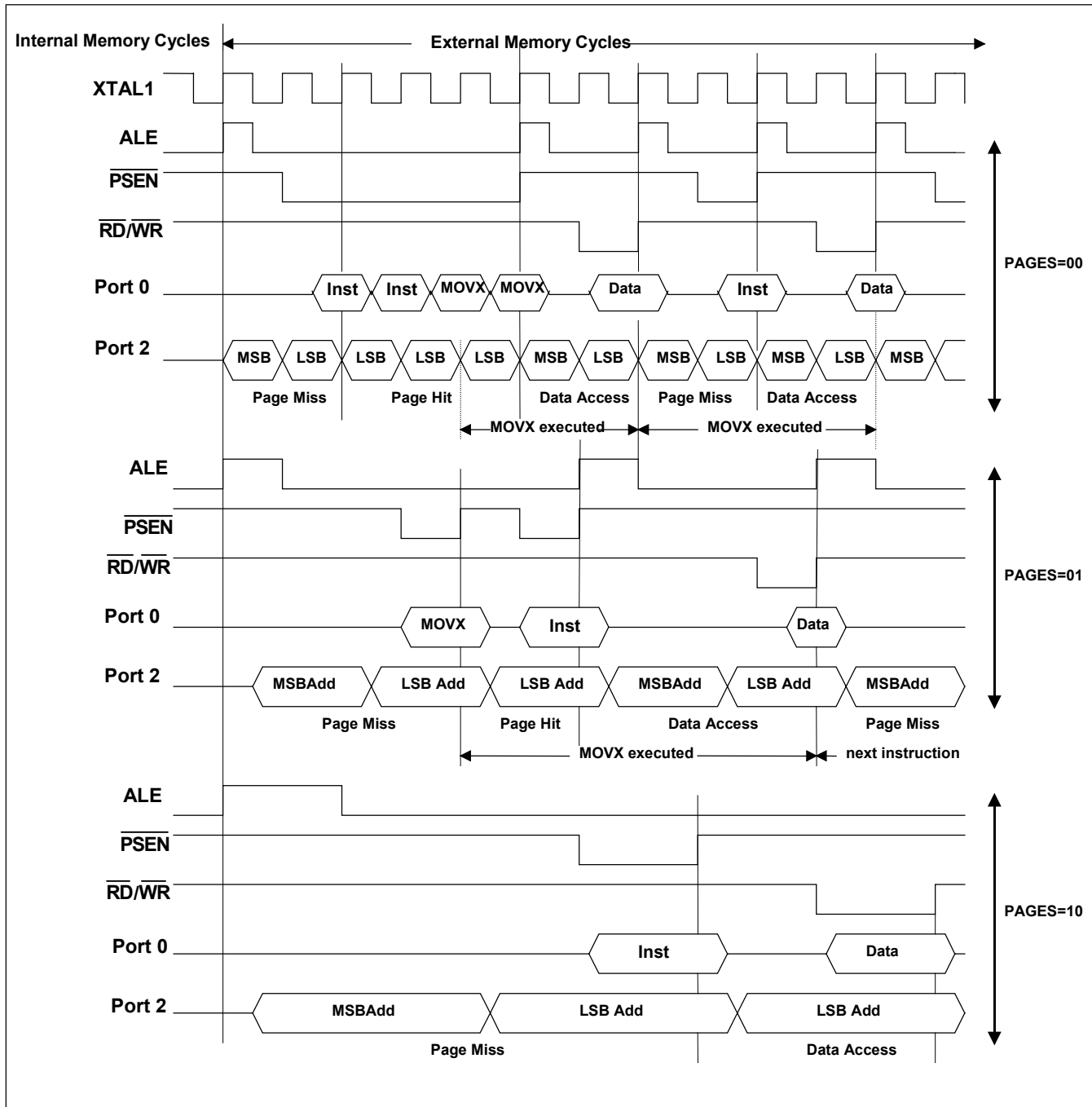
PAGES1:PAGES0	CLOCKS PER MEMORY CYCLE		EXTERNAL BUS STRUCTURE
	PAGE-HIT	PAGE-MISS	
00	1	2	P0: Primary data bus. P2: Primary address bus, multiplexing both the upper byte and lower byte of address.
01	2	4	P0: Primary data bus. P2: Primary address bus, multiplexing both the upper byte and lower byte of address.
10	4	8	P0: Primary data bus. P2: Primary address bus, multiplexing both the upper byte and lower byte of address.
11	2	4	P0: Lower address byte. P2: The upper address byte is multiplexed with the data byte. Note: This setting affects external code fetches only; accessing the external data memory requires four clock cycles, regardless of page hit or miss.

第一种页面模式(页面模式 1)外部总线结构使用 P2 作为主地址总线(在每个外部存储器周期，复用地址高字节和低字节)，P0 则用作为主数据总线。在外部取指令期间，处理器让 P0 保持高阻状态。指令码由外部存储器驱动到 P0 口，对应 PSEN 上升沿的外部取指令周期结束时将其锁存。在外部数据读/写操作期间，P0 用作数据 I/O 总线。P0 口在读外部数据存储器时保持高阻状态，在往外部数据存储器写数据时由数据驱动。

- 跨页访问出现在随后地址的高字节和其前一个地址的高字节不同时。跨页访问时外部存储器机器周期可以是 2, 4 或者 8 个系统时钟的长度。
- 页内访问出现在随后地址的高字节和其前一个地址的高字节相同时。页内访问时外部存储器机器周期可以是 1, 2 或者 4 个系统时钟的长度。

在页内访问期间，P2 驱动 16 位地址的 Addr [0–7]，同时高 8 位地址字节保存在外部地址锁存器中。PSEN, RD 和 WR 为实现 P0 数据总线的正确操作而相应选通。在页内访问时，ALE 无效。

图 10. 页面模式 1，外部存储器周期(CD1:CD0 = 10)



在跨页访问期间，P2 驱动 16 位地址的 Addr [8:15]，并在前半个存储器周期内保持，以允许外部地址锁存器锁存新的高位地址字节。ALE 有效以触发外部地址锁存。在操作过程中，PSEN，RD 和 WR 保持无效状态，P0 为高阻状态。后半个存储器周期的执行与页内访问周期一样，完成适当的操作。

跨页访问发生在固定的间隔地址，或者发生在外部操作要求访问一个存储器页，而该页在上一个外部周期又没有访问时。通常，第一次外部存储器访问会产生跨页访问。新的页地址存储在内部，用于检测当前外部存储器周期是否为跨页访问。

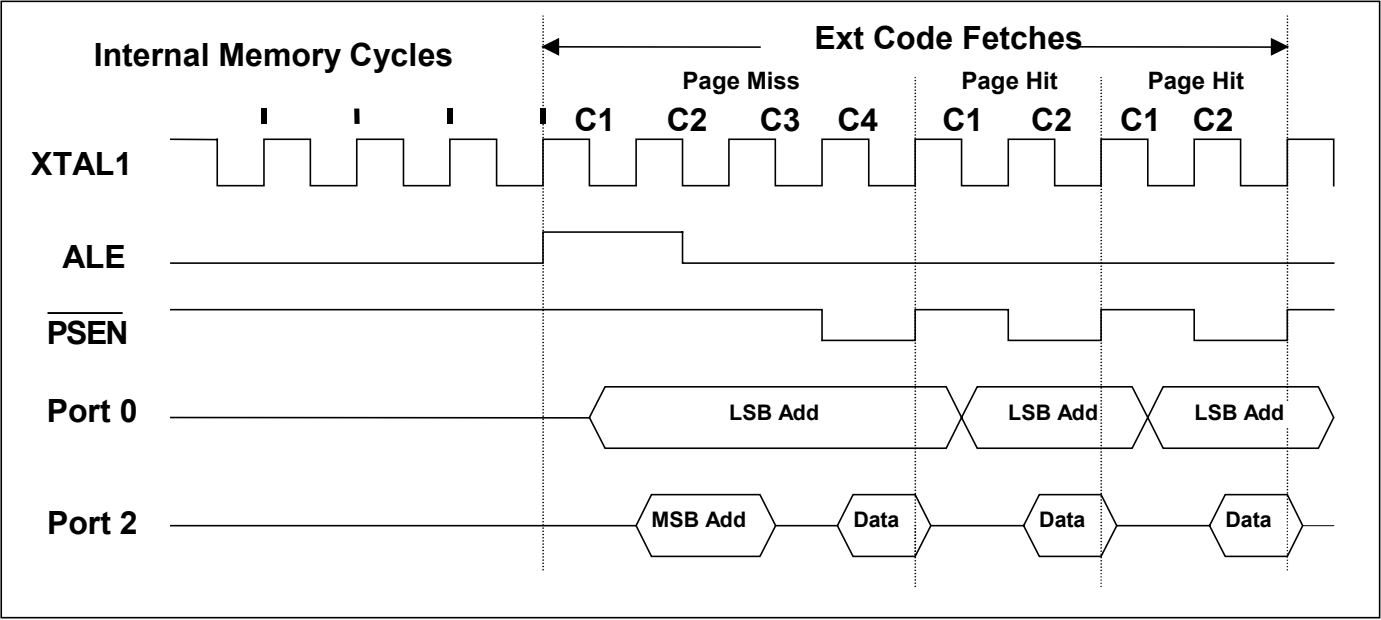
注意，当 PAGES1 和 PAGES2 设置为 00b 时，这种工作模式存在几种特殊情况：

- $\overline{\text{PSEN}}$ 在页内和跨页访问的整个时钟周期内有效。
- 执行外部 MOVX 指令会产生跨页访问。
- 当外部取指令紧随一条外部 MOVX 指令执行时将产生跨页访问。

图10给出了这种总线结构的外部存储周期。第一个例子描述了一个周期页面模式(PAGES1 = PAGES0 = 0b)的背靠背执行顺序。 $\overline{\text{PSEN}}$ 在页内访问时保持有效，在MOVX指令执行之时和之后强迫产生跨页访问，而与下一个地址的高8位无关。第二个例子阐述了两个周期页面模式(PAGES1 = 0 and PAGES0 = 1)的MOVX指令执行顺序。 $\overline{\text{PSEN}}$ 在取指令的整个时钟周期内有效。注意，在该次序中，数据地址的高8位变化将产生跨页访问。第三个例子则描述了四个周期页面模式(PAGES1 = 1 , PAGES0 = 0)的MOVX执行顺序。在这个执行周期中没有出现跨页访问，因为假设了数据地址的高8位与前一个程序地址匹配。

第二种页面模式(页面模式 2)外部总线结构将地址高 8 位与P2 口上的数据复用，使用P0 口作为地址低字节。这种总线结构仅用于加速外部取指令。除了P0 和P2 上信号不同之外，外部数据存储器访问周期与非页面模式相同。图 11 描述了外部取指令的存储器周期。

图 11. 页面模式 2 外部取代码周期(CD1:CD0 = 10)



延长页面模式中的外部数据存储器周期

DS89C430 允许软件通过延长在页面模式工作中的存储器总线周期来调整外部数据存储器访问的速度，与非页面模式工作情形类似。下表概括了延长值和它们对外部 MOVX 存储器总线周期以及由振荡器时钟数目表示的控制信号脉宽的影响。一个延长的机器周期总是包含 4 个系统时钟，而与页面模式选择位的逻辑值无关。

表 7. 页面模式 1, 数据存储器周期延长值 (PAGES1:PAGES0 = 00)

MD2:MD0	STRETCH CYCLES	$\overline{RD}/\overline{WR}$ PULSE WIDTH (IN NUMBER OF OSCILLATOR CLOCKS)			
		$4X/\overline{2X}$, CD1, CD0 = 100	$4X/\overline{2X}$, CD1, CD0 = 000	$4X/\overline{2X}$, CD1, CD0 = X10	$4X/\overline{2X}$, CD1, CD0 = X11
000	0	0.25	0.5	1	1024
001	1	0.75	1.5	3	3072
010	2	1.75	3.5	7	7168
011	3	2.75	5.5	11	11,264
100	7	3.75	7.5	15	15,360
101	8	4.75	9.5	19	19,456
110	9	5.75	11.5	23	23,552
111	10	6.75	13.5	27	27,648

表 8. 页面模式 1, 数据存储器周期延长值 (PAGES1:PAGES0 = 01)

MD2:MD0	STRETCH CYCLES	$\overline{RD}/\overline{WR}$ PULSE WIDTH (IN NUMBER OF OSCILLATOR CLOCKS)			
		$4X/\overline{2X}$, CD1, CD0 = 100	$4X/\overline{2X}$, CD1, CD0 = 000	$4X/\overline{2X}$, CD1, CD0 = X10	$4X/\overline{2X}$, CD1, CD0 = X11
000	0	0.25	0.5	1	1024
001	1	0.75	1.5	3	3072
010	2	1.75	3.5	7	7168
011	3	2.75	5.5	11	11,264
100	7	3.75	7.5	15	15,360
101	8	4.75	9.5	19	19,456
110	9	5.75	11.5	23	23,552
111	10	6.75	13.5	27	27,648

表 9. 页面模式 1, 数据存储器周期延长值 (PAGES1:PAGES0 = 10)

MD2:MD0	STRETCH CYCLES	$\overline{RD}/\overline{WR}$ PULSE WIDTH (IN NUMBER OF OSCILLATOR CLOCKS)			
		$4X/\overline{2X}$, CD1, CD0 = 100	$4X/\overline{2X}$, CD1, CD0 = 000	$4X/\overline{2X}$, CD1, CD0 = X10	$4X/\overline{2X}$, CD1, CD0 = X11
000	0	0.5	1	2	2048
001	1	1	2	4	4096
010	2	2	4	8	8192
011	3	3	6	12	12,288
100	7	4	8	16	16,384
101	8	5	10	20	20,480
110	9	6	12	24	24,576
111	10	7	14	28	28,672

表 10. 页面模式 2, 数据存储器周期延长值 (PAGES1:PAGES0 = 11)

MD2:MD0	STRETCH CYCLES	$\overline{RD}/\overline{WR}$ PULSE WIDTH (IN NUMBER OF OSCILLATOR CLOCKS)			
		$4X/2\overline{x}$, CD1, CD0 = 100	$4X/2\overline{x}$, CD1, CD0 = 000	$4X/2\overline{x}$, CD1, CD0 = X10	$4X/2\overline{x}$, CD1, CD0 = X11
000	0	0.5	1	2	2048
001	1	1	2	4	4096
010	2	2	4	8	8192
011	3	3	6	12	12,288
100	7	4	8	16	16,384
101	8	5	10	20	20,480
110	9	6	12	24	24,576
111	10	7	14	28	28,672

从前面的表格中可以看出，延长特性支持 8 种延长的外部数据存储器访问选项，这可归类为三个时序组。当延长值被清为 000b 时，外部数据存储器访问周期没有延长，一个 MOVX 指令在两个基本的存储器周期内完成。当延长值被设置为 1, 2 或者 3 时，外部数据存储器访问分别被扩展 1, 2 或者 3 个延长的机器周期。注意到第一个延长值没有为控制信号增加四个系统时钟。这是由于第一个延长使用一个系统时钟产生附加的地址建立时间和数据总线悬空时间，一个系统时钟产生附加的地址和数据保持时间。当使用速率非常低的 RAM 和外围设备时，可选择较大的延长值(4–7)。在这种延长周期分类中，两个延长周期用于产生附加的建立时间(跨页访问时 ALE 脉冲宽度也延长一个周期)，一个延长周期用于产生附加的保持时间。下面时序图描述了系统时钟在 1 分频模式(CD1:CD0 = 10b)中外部数据存储器的访问。

图 12 描述了在 PAGEE = 1 和 PAGES1:PAGES0 = 01 时外部数据存储器延长周期的时序关系。图示的延长周期为延长值 1，同时发生了跨页访问。注意到第一个延长期并没有为 $\overline{RD}/\overline{WR}$ 控制信号添加 4 个系统时钟，这是因为第一个延长期使用一个系统时钟产生附加的建立时间，一个系统时钟产生附加的保持时间。

图 13 给出了低速外设接口的时序图(延长值 = 4)。注意，页内访问数据存储器周期比跨页访问数据存储器周期短。在跨页访问时，ALE 脉冲宽度被展宽一个延长周期。

在 PAGES = 11 时延长的数据存储器总线周期时序关系与非页面模式工作时一样，因为在这种页面模式工作中基本数据存储器周期总是包含四个系统时钟。

图 12. 页面模式 1，外部数据存储器访问 (PAGES = 01, 延长值 = 1, CD = 10)

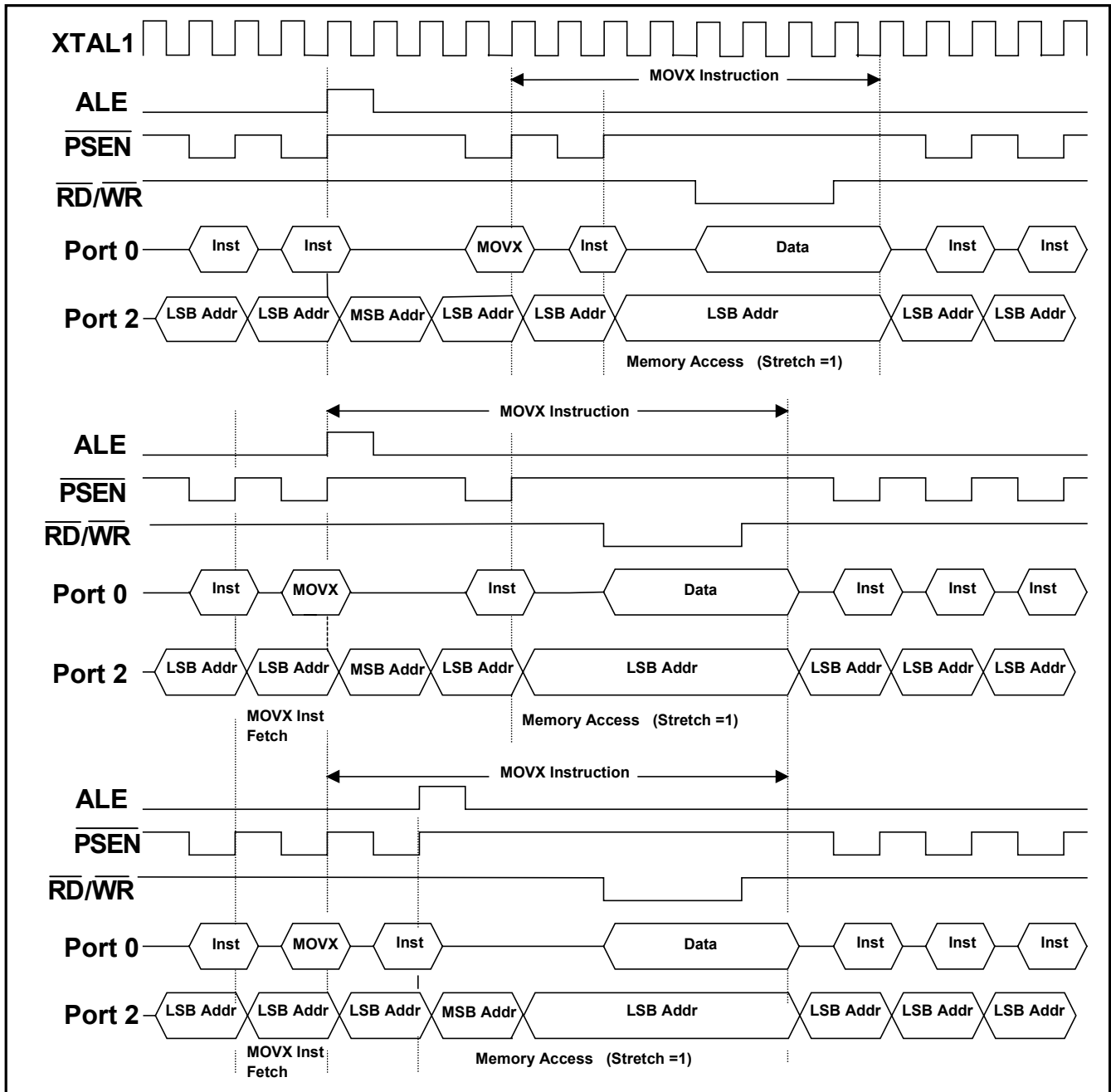
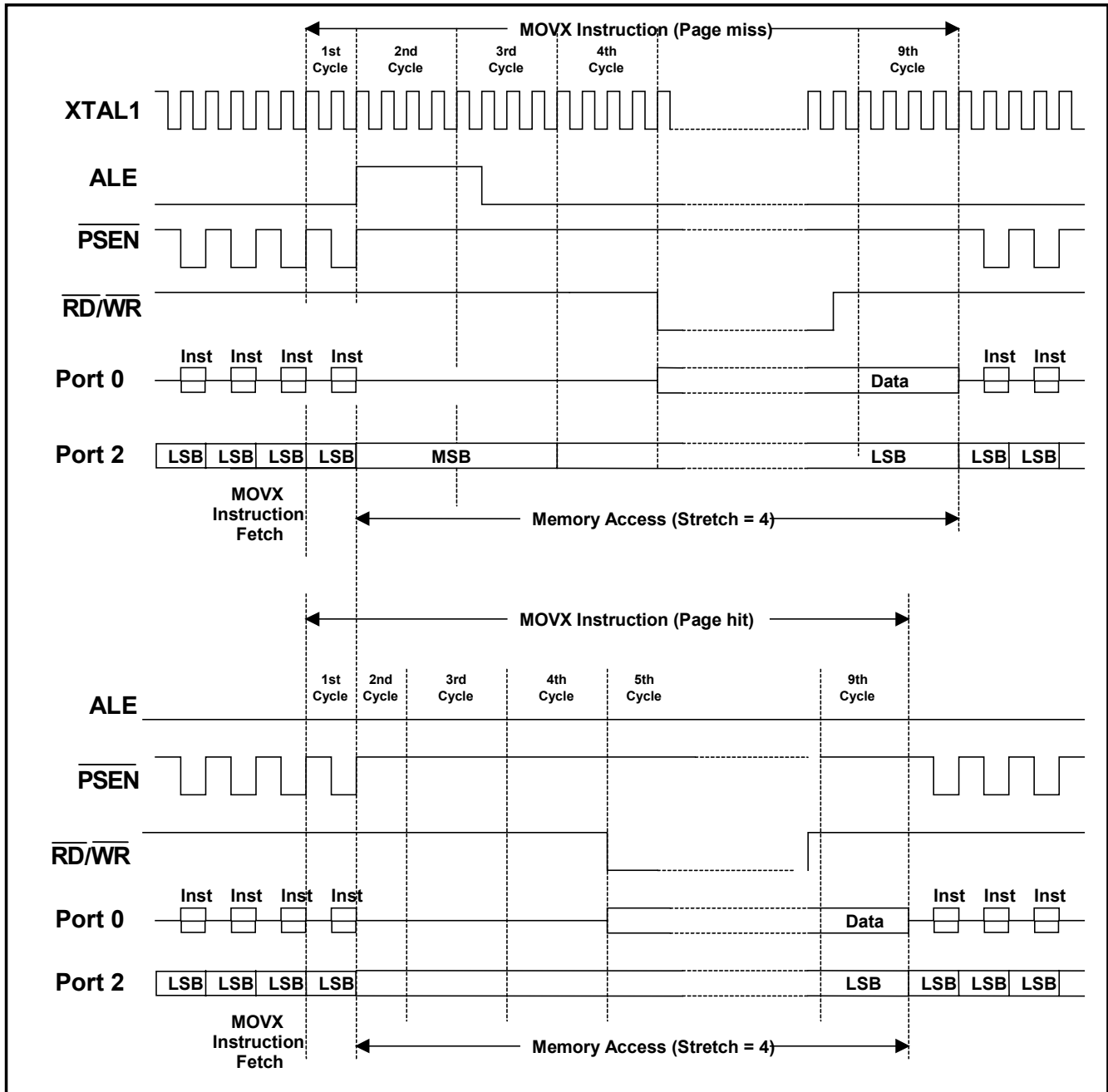


图 13. 页面模式 1, 外部数存储器访问 (页数 = 01, 延长值 = 4, CD = 10)



中断

DS89C430 提供 13 个中断源。所有的中断源除电源失效外，由中断使能寄存器(IE.7)的单独使能位和全局使能(EA)位联合控制。设置 EA 为逻辑 1，允许单独的中断使能。设置 EA 为逻辑 0，禁止所有中断，与各个中断使能位的设置无关。电源失效中断仅由其单独使能位控制。

中断使能和优先级与 80C52 的功能一样，除了 DS89C430 支持五个中断优先级，而不是 80C52 的两个中断优先级。

中断优先级

DS89C430 具有五个级别的中断优先级：4-0 级。最高中断优先级为 4，为电源失效中断保留。其他所有的中断在中断优先级寄存器中具有单独的优先级位，允许每个中断设置为 3-0 优先级。电源失效中断如果被使能总是具有最高的优先级。所有的中断也具有自然优先等级。在这种方式下，当一些中断设置为相同的优先级时，自然中断等级决定哪个中断优先发生。自然优先等级可由表 11 中列出的顺序判断潜在的中断发生。

处理器在指示中断条件发生时设置相应的标志位。不管中断是否使能，标志位都会被设置。除非表 11 中特别注释，否则其它所有标志位必须由软件清除。

表 11. 中断概述

INTERRUPT	VECTOR	NATURAL ORDER	FLAG	ENABLE	PRIORITY CONTROL
Power Fail	33h	0 (Highest)	PFI (WDCON.4)	EPFI(WDCON.5)	N/A
External Interrupt 0	03h	1	IE0 (TCON.1) (Note 1)	EX0 (IE.0)	LPX0 (IP0.0); MPX0 (IP1.0)
Timer 0 Overflow	0Bh	2	TF0 (TCON.5) (Note 2)	ET0 (IE.1)	LPT0 (IP0.1); MPT0 (IP1.1)
External Interrupt 1	13h	3	IE1 (TCON.3) (Note 1)	EX1 (IE.2)	LPX1 (IP0.2); MPX1 (IP1.2)
Timer 1 Overflow	1Bh	4	TF1 (TCON.7) (Note 2)	ET1 (IE.3)	LPT1 (IP0.3); MPT1 (IP1.3)
Serial Port 0	23h	5	RI_0 (SCON0.0); TI_0 (SCON0.1)	ES0 (IE.4)	LPS0 (IP0.4); MPS0 (IP1.4)
Timer 2 Overflow	2Bh	6	TF2 (T2CON.7); EXF2 (T2CON.6)	ET2 (IE.5)	LPT2 (IP0.5); MPT2 (IP1.5)
Serial Port 1	3Bh	7	RI_1 (SCON1.0); TI_1 (SCON1.1)	ES1 (IE.6)	LPS1 (IP0.6); MPS1 (IP1.6)
External Interrupt 2	43h	8	IE2 (EXIF.4)	EX2 (EIE.0)	LPX2 (EIP0.0); MPX2 (EIP1.0)
External Interrupt 3	4Bh	9	IE3 (EXIF.5)	EX3 (EIE.1)	LPX3 (EIP0.1); MPX3 (EIP1.1)
External Interrupt 4	53h	10	IE4 (EXIF.6)	EX4 (EIE.2)	LPX4 (EIP0.2); MPX4 (EIP1.2)
External Interrupt 5	5Bh	11	IE5 (EXIF.7)	EX5 (EIE.3)	LPX5 (EIP0.3); MPX5 (EIP1.3)
Watchdog	63h	12 (Lowest)	WDIF (WDCON.3)	EWDI (EIE.4)	LPWDI (EIP0.4); MPWDI (EIP1.4)

注 1：如果中断是边沿触发的，当进入中断服务程序时这个标志位自动被硬件清零。如果中断是电平触发的，则标志位跟随引脚状态。

注 2：当进入中断服务程序时，这个标志位自动被硬件清零。

定时器/计数器

DS89C430 具有三个 16 位定时器。这三个定时器既能够用作外部事件计数器，在端口引脚从高电平到低电平转换时被监视和计数，也可用作对振荡器周期计数。[表 12](#)概括了定时器功能。

定时器 0 和 1 都具有三种工作模式。可以用作一个 13 位定时器/计数器，一个 16 位定时器/计数器，或者可自动重载的 8 位定时器/计数器。定时器 0 还具有第四种工作模式，用作两个 8 位定时器和计数器，没有自动重载功能。每个定时器可用作对外部 T0/T1 引脚由高电平到低电平跳变的脉冲数。定时器模式(TMOD)寄存器控制工作模式。每个定时器包括一个 2 字节 16 位的寄存器，在 SFR 分配表中为 TL0, TH0, TL1 和 TH1。定时器控制(TCON)寄存器使能定时器 0 和 1。

表 12. 定时器功能

FUNCTIONS	TIMER 0	TIMER 1	TIMER 2
Timer/Counter	13/16/8*/2x8 bit	13/16/8* bit	16 bit
Timer with Capture	No	No	Yes
External Control Pulse Counter	Yes	Yes	No
Up/Down Autoreload Timer/Counter	No	No	Yes
Baud Rate Generator	No	Yes	Yes
Timer Output Clock Generator	No	No	Yes

*8 位定时器/计数器包括自动重载功能。不包括 2x8 位模式。

每个定时器具有可选的时基([表 14](#))。在复位之后，定时器缺省为 12 分频模式，以保持与 8051 兼容。如果定时器 2 用作波特率发生器或者时钟输出，其定时基数固定为 2 分频，而与定时器模式设置位无关。

定时器 2 是一个真正的 16 位定时器/计数器，具有 16 位捕获寄存器(RCAP2L 和 RCAP2H)，能够提供一些独特的功能如自动重载加/减定时器/计数器和产生定时器输出时钟。定时器 2(寄存器 TL2 和 TH2)通过 T2CON 寄存器控制，通过 T2MOD 寄存器选择定时器 2 的工作模式。

有关定时器工作细节，请参考 *超高速闪存微控制器用户指南 (English only)* 第 11 节：可编程定时器。

限时访问

限时访问功能防止发生错误的 CPU 碰巧改变某些 SFR 位，而这些位对系统的正常工作来说是至关重要的。在访问以下 SFR 控制位时，需要通过软件控制来实现。

SFR	位	功能
WDCON.0	RWT	复位看门狗定时器
WDCON.1	EWT	看门狗复位使能
WDCON.3	WDIF	看门狗中断标志位
WDCON.6	POR	上电复位标志位
EXIF.0	BGS	带隙选择
ACON.5	PAGES0	页面模式选择位 0
ACON.6	PAGES1	页面模式选择位 1
ACON.7	PAGEE	页面模式使能
ROMSIZE.0	RMS0	程序存储器大小选择位 0
ROMSIZE.1	RMS1	程序存储器大小选择位 1
ROMSIZE.2	RMS2	程序存储器大小选择位 2
ROMSIZE.3	PRAME	程序 RAM 使能
FCNTL.0	FC0	闪存命令位 0
FCNTL.1	FC1	闪存命令位 1
FCNTL.2	FC2	闪存命令位 2
FCNTL.3	FC3	闪存命令位 3

在这些位能够被改变之前，处理器必须执行限时访问序列。该序列包括：向限时访问寄存器(TA, C7h)写 AAh，接着在三个机器周期之内向相同的寄存器写 55h。这种定时序列步骤允许在写 55h 操作后的三个机器周期内改变任何限时访问保护的 SFR 位。超出这三个机器周期，写任何限时访问保护位都不会被改变。

限时访问进程由地址、数据和时间决定。运行失去控制和不执行系统软件的处理器，从统计学角度上看，不可能执行这个限时访问序列，同样地，也就不可能意外地改变这些保护位。应当注意的是，这种方法应该用在系统软件的主题部分，不要与看门狗复位同时用在中断服务程序中。这是因为使用限时访问看门狗复位(RWT)位的中断服务程序能够恢复跑飞了的系统，允许复位看门狗，但是，一旦执行 RETI 之后，系统还会返回到失常状态，除非堆栈被更改。另外，当执行定时访问序列时，应该禁止中断(EA = 0)，因为在执行序列期间发生的中断将延长时间，使得限时访问序列执行失败。

电源管理和时钟分频控制

电源管理功能可用于监视供电电源电压，并支持三种节电模式的低功耗工作。该功能包括带隙电压监视器，看门狗定时器，可选择的内部环形振荡器以及可编程系统时钟速度。提供控制和应用软件访问的 SFR 是看门狗控制(WDCON, D8h)、扩展中断使能(EIE, E8h)、扩展中断标志位(EXIF, 91h)和电源控制(PCON, 87h)寄存器。

系统时钟分频控制

可编程时钟分频控制位(CD1 和 CD0)为处理器提供适应不同的晶体和降低系统时钟速度的能力，在需要时提供低功耗工作。片内晶体倍频器允许 DS89C430 工作在 2 或者 4 倍的晶体频率上，通过设置 4X/2X 位来实现，设置 CTM 位为逻辑 1 使能倍频器。辅助电路提供分频比为 1024 的时钟源。例如，当使用 7.372MHz 晶体时，处理器从 33.9ns (乘 4 模式)到 138.9μs (1024 分频模式)之间执行机器周期，并保持高精度的串口波特率，同时允许使用成本低廉的低频率晶体。虽然时钟分频控制位可在任何时间进行写操作，某些硬件功能增强了这些时钟控制的使用，保证了串口正常工作，并能对外部中断快速响应。CD1 和 CD0 位为 01b 时为保留设置。它和设置为 10b 的效果一样，使系统时钟采用 1 分频时钟模式。DS89C430 在各种复位后缺省为 1 分频时钟模式。

在 1024 分频模式时，为允许快速地响应串行口的输入数据，系统使用返回模式，不管何时检测到起始位，就自动恢复到 1 分频时钟模式。当返回位(PMR.5:SWB)被设置时，自动返回功能仅在 1024 分频模式时使能。其它所有的时钟模式不会被中断和串口影响。

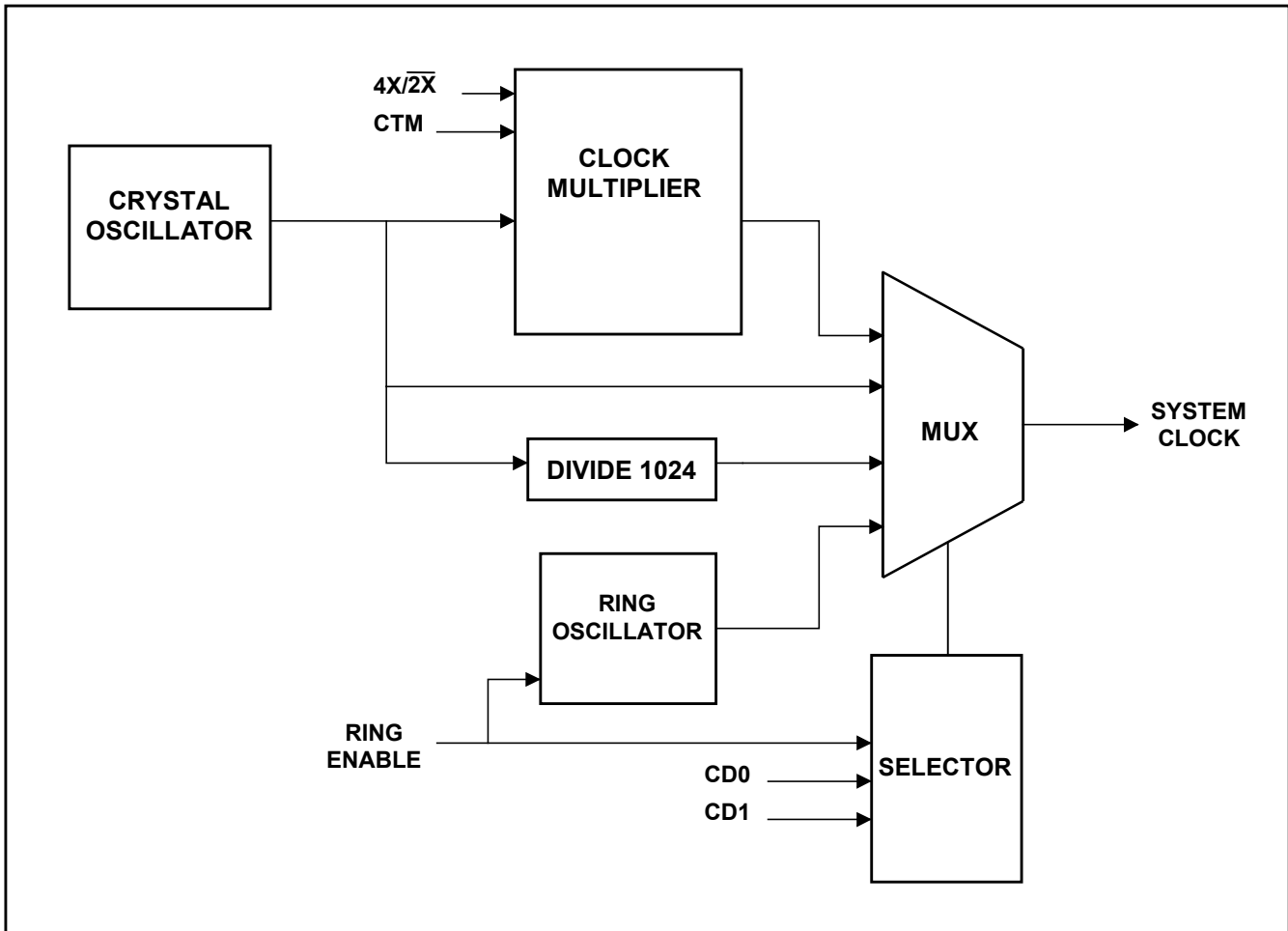
通过将强制的 12 分频的输入时钟(TxMH, TxM = 00b, x = 1, 2, 3)输入到定时器，振荡器倍频系数 4、2、1，也可用于为串口提供标准的波特率发生器。

通过时钟分频控制位使用 4 倍频或者 2 倍频选项，需要使能晶体倍频器，具体的系统时钟倍频系数值可通过 PMR 寄存器中的 4X/2X 位设置。倍频器由 CTM (PMR.4) 位使能，直到已通过设置状态寄存器的 CKRY 位建立启动延时后才能自动选择。4X/2X 位仅在 CTM 位清零时能够改变其值。这可防止系统改变倍频系数，直到系统已经回到 1 分频时钟模式，并且倍频器已经被 CTM 位设置禁止。仅能在 CD1 和 CD0 位设置为 1 分频时钟模式和 RGMD 清零时才能改变 CTM 位。将 CTM 位从逻辑 0 设置为逻辑 1 时，会自动将状态寄存器中的 CKRY 位清零，并使倍频器启动计数器的启动计时。在倍频器启动期间，CKRY 位保持为清零状态，CD1 和 CD0 时钟控制不能设置为 00b。在所有的复位后 CTM 位被清零。

注意到额定最高工作速率适用于微控制器内核的速率，而不是外部时钟源。当使用时钟倍频器功能时，外部时钟源频率乘以时钟倍频系数(2X 或者 4X)不能高于器件的最大额定速率。因而，如果设计者希望在额定工作频率 33MHz 的器件上使用 4X 时钟倍频器，最大的外部时钟速率为 8.25MHz。

图 14 给出了系统时钟产生的简要描述。与使用 4X/2X CTM, CKRY, CD1 和 CD0 位有关的硬件限制会在 SFR 节中说明。

图 14. 系统时钟源



带隙监视中断和复位发生

DS89C430 电源监视器监视参考于片内带隙电压基准的 V_{CC} 引脚。一旦 V_{CC} 低于 V_{PFW} 的值，如果相对应的电源失效中断使能位 **EPFI** (**WDCON.5**) 被设置，将产生中断，使器件跳转到中断向量地址 **33h**。只要 V_{CC} 低于 V_{PFW} 时，电源失效中断状态位 **PFI** (**WDCON.4**) 就置位，一旦置位仅能用软件清零。类似地，当 V_{CC} 低于 V_{RST} 时，内部产生复位，以暂停程序执行。在上电后，在开始执行程序之前，上电复位启动上电复位延时。当 V_{CC} 首次加在 DS89C430 上时，处理器保持复位直到 $V_{CC} > V_{RST}$ 且 **65,536** 个振荡器周期延时结束，以保证电源处于容差范围内以及时钟源有足够的稳定时间。一旦复位延时结束，复位条件自动清除，软件开始从地址为 **0000h** 的复位向量处开始执行。上电复位标志位 **POR** (**WDCON.6**) 设置为逻辑 1，指示发生了上电复位，仅能由软件清除。

当 DS89C430 进入停机模式时，如果 **BGS** (**EXIF.0**) 位置为 0，带隙基准源、复位比较器和电源失效中断比较器自动禁止，以节省功耗。这是最低的功耗模式。如果 **BGS** 设置为逻辑 1，带隙基准源、复位比较器和电源失效比较器保持供电，但仍处于一种降低功耗的模式。

看门狗定时器

看门狗定时器具有触发看门狗中断和看门狗复位的功能。当时钟分频器设置为 10b，中断超时具有缺省的 2^{17} 晶振分频比，而看门狗复位发生在紧随的 512 个系统时钟周期之后。这导致 33MHz 晶振下每 3.9718 毫秒产生一个超时中断，随后的 15.5μs 看门狗复位。看门狗定时器在任何复位之后为缺省的分频比。使用时钟控制(CKCON.6 和 7)寄存器的 WD0 和 WD1 位来选择其他的分频比可以延长看门狗中断时间周期。表 13 概括了看门狗位设置和对应的超时时间。**注：**所有看门狗定时器复位周期都设置为编程的中断超时加上随后的 512 个系统时钟周期，折算至多少个振荡器周期，这取决于时钟分频(CD1:0)和晶振倍频设置。

表 13. 看门狗超时值(单位为振荡器时钟数)

4X/2X	CD1:0	WATCHDOG INTERRUPT TIMEOUT				WATCHDOG RESET TIMEOUT			
		WD1:0 = 00	WD1:0 = 01	WD1:0 = 10	WD1:0 = 11	WD1:0 = 00	WD1:0 = 01	WD1:0 = 10	WD1:0 = 11
1	00	2^{15}	2^{18}	2^{21}	2^{24}	$2^{15} + 128$	$2^{18} + 128$	$2^{21} + 128$	$2^{24} + 128$
0	00	2^{16}	2^{19}	2^{22}	2^{25}	$2^{16} + 256$	$2^{19} + 256$	$2^{22} + 256$	$2^{25} + 256$
x	01	2^{17}	2^{20}	2^{23}	2^{26}	$2^{17} + 512$	$2^{20} + 512$	$2^{23} + 512$	$2^{26} + 512$
x	10	2^{17}	2^{20}	2^{23}	2^{26}	$2^{17} + 512$	$2^{20} + 512$	$2^{23} + 512$	$2^{26} + 512$
x	11	2^{27}	2^{30}	2^{33}	2^{36}	$2^{27} + 524,288$	$2^{30} + 524,288$	$2^{33} + 524,288$	$2^{36} + 524,288$

看门狗控制(WDCON) SFR 用于功能编程设置。EWT (WDCON.1)为看门狗定时器复位功能使能位，RWT (WDCON.0)位用于重新启动看门狗定时器。设置 RWT 位为另外完整间隔时间重新启动定时器。如果看门狗定时器复位功能通过 EWT 位屏蔽和定时器没有通过 RWT 位复位，看门狗定时器产生周期性中断超时，速率由已编程的分频比决定。WDIF (WDCON.3)为定时器终端时置位的中断标志位，WTRF (WDCON.2)为看门狗复位超时后置位的复位标志位。设置 EWDI 位(EIE.4)使能看门狗中断。看门狗定时器复位和中断超时通过对系统时钟周期计数来得到。

一个独立的看门狗定时器作为晶振启动计数器，在允许晶振作为系统时钟之前对其计数 65,536 个时钟周期。这个建立时间在每次上电和晶振从停机模式重启时由看门狗定时器校验实现。一旦 PMR 寄存器中的 CTM 设置为使能晶振的倍频数(4X/2X)时，看门狗也可用于建立启动时间。

看门狗定时器应用之一用于看门狗将系统从空闲模式唤醒。看门狗中断可编程允许系统周期性地唤醒以对外界采样。

内部系统复位

软件复位功能可通过往 flash 控制 SFR 寄存器写入系统复位命令触发。复位状态保持时间约为 90 个外部时钟周期。在这段时间内，RST 引脚驱动为逻辑高。一旦复位功能解除，RST 引脚被驱动为低电平，程序从地址 0000h 开始运行。

外部/硬件复位

当外部时钟工作时，将 **RST** 引脚置高电平并且保持至少三个外部时钟周期，就启动硬件复位。复位操作立即执行。

当 **RST** 引脚拉为逻辑低电平，微控制器在一段延时后退出复位状态，延时时间取决于复位发生时闪存的状态。如果 **flash** 写或者擦除操作正在进行，复位状态最大为 **4ms**。如果没有进行 **flash** 写或者擦除操作，延时为 **90** 个外部时钟周期。从地址 **0000h** 重新执行指令。如果将 **RST** 拉为低电平使器件退出停机模式，在指令开始执行之前，进行 **65,536** 个时钟周期附加延时。

复位输出

如果复位由电源失效复位，看门狗定时器复位或者内部系统复位产生，在双向 **RST** 引脚会产生高电平输出复位脉冲。复位脉冲与内部复位时间一样长。虽然微控制器为晶振建立时间产生独自的上电延时，但以前的设计中可能使用外部的 **RC** 电路。大容值的电容可能使引脚负载过重，导致 **RST** 输出可能达不到逻辑高电平，不管怎样，外部 **RST** 引脚状态并不影响内部复位条件。

振荡器故障检测和复位

DS89C430 具备振荡器故障检测电路，当其使能时，如果晶体振荡器频率低于 **20kHz** 时，将产生复位，并在环形振荡器工作下保持芯片复位。设置 **OFDE** (**PCON.4**)为逻辑 **1** 使能该电路。**OFDE** 位仅使用电源失效复位或者软件从逻辑 **1** 清为逻辑 **0**。由振荡器故障引起的复位将 **OFDF** (**PCON.5**)置为 **1**。此标志由软件或上电复位来清除。当由软件控制的停机模式使振荡器停振时，此电路不产生复位。

电源管理模式

电源管理模式提供软件可控制的节电方案，通过提供降低指令周期速度，允许微控制器使用内部分频方案的时钟源继续工作，以节省功耗。电源管理模式通过软件设置时钟分频控制位 **CD1** 和 **CD0** (**PMR.7–6**)为 **11b** 触发，这样设置工作速率为每机器周期 **1024** 个振荡器周期。在所有形式的复位下，时钟分频控制位缺省为 **10b**，选择每个机器周期一个振荡周期。

由于时钟速度选择影响所有的功能逻辑，包括定时器，几种硬件时钟返回功能允许时钟速率从低时钟速率自动返回到 **1** 分频模式。在软件中设置 **SWB** (**PMR.5**)位为 **1** 使能返回功能。

当 **CD1** 和 **CD0** 编程为 **1024** 分频模式，且 **SWB** 位也被使能时，一旦系统检测到外部使能的中断(嵌套优先级允许)，系统迫使时钟分频控制位自动复位到 **1** 分频模式。在以下两种情况之一发生时反转发生。当各个相应引脚已编程并且允许发生中断时(由嵌套优先级决定)，第一种返回条件由 **INT0**、**INT1**、**INT2** 或 **INT5** 的低电平或者 **INT2** 或 **INT4** 上的高电平触发。第二种返回条件发生在任何一个串口被使能接收数据，且在其接收输入引脚上检测到有效的低电平跳变。如果 **SWB** 被置位，串口发送也会强制返回。注意到串口动作和返回模式有关，但独立于串口中断关系。在串口发送或者接收数据时，试图改变时钟分频器至 **1024** 分频模式将不会成功，时钟控制仍为 **1** 分频模式。还应注意到，在时钟返回真正发生之前，时钟返回中断关系要求：各自的外部中断源允许产生真正的中断，由中断优先级和嵌套中断状态决定。不要求串口产生中断，也不要求设置串口使能位。禁止外部中断和串口收/发模式将使自动时钟返回模式无效。**SWB** 清零也禁止返回模式，所有中断和串口对时钟分频器的控制也被禁止。所有其他时钟模式不理睬时钟返回关系，并且不受中断和串口活动影响。

当使用振荡器分频比 **0.25**、**0.5** 和 **1** 运行处理器时，将保持定时器(**TxMH**, **TxM = 00b**)的基本 **12** 分频模式以及串口模式 **2** 的 **32**、**64** 分频。当选择更高的分频比 **1024** 时，串口和定时器跟踪每个机器周期内的振荡器周期，当符合条件的事件发生时，为正常工作要求时钟返回功能自动回到 **1** 分频模式。[表 14](#)概括了时钟模式对定时器工作的影响。

当没有数据输入时，可以使能串口的接收功能，转换至更高的分频比。空闲串口接收/发送模式要求接收输入引脚保持高电平，且所有的往外发送工作都已经完成。在空闲接收模式下，可以改变时钟分频控制位从 1 分频模式至 1024 分频模式。当串口被用于接收或发送数据的情况下，在处理低功耗编程功能之前，验证是否有效地改变了时钟分频控制位(读 CD1 和 CD0 以检验写已允许)是非常重要的。

表 14. 定时工作中时钟模式的影响(单位为振荡器时钟数目)

4X/2X, CD1, CD0	OSC CYCLES PER MACHINE CYCLE	OSC CYCLES PER TIMERS 0, 1, 2 CLOCK TxMH, TxM =			OSC CYCLES PER TIMER 2 CLOCK	OSC CYCLES PER SERIAL PORT CLOCK MODE 0		OSC CYCLES PER SERIAL PORT CLOCK MODE 2	
		00	01	1x	BAUD RATE GENERATION T2MH, T2M = xx	SM2 = 0	SM2 = 1	SMOD = 0	SMOD = 1
100	0.25	12	1	0.25	2	3	1	64	32
000	0.5	12	2	0.5	2	6	2	64	32
x01	1(reserved)								
x10	1(default)	12	4	1	2	12	4	64	32
x11	1024	12,288	4096	1024	2048	12,288	4096	65,536	32,768

x = 无关。

环形振荡器

当系统处于停机模式时，晶振被禁止。当停机模式被取消后，晶振需要一段时间来启动和稳定。为允许系统在停机模式取消后立即执行软件，环形振荡器用作系统时钟直到晶振启动时间结束。一旦该时间结束，环形振荡器关闭，系统时钟切换到晶体振荡器。这个功能为可编程，通过设置 RGSL 位(EXIF.1)为逻辑 1 来使能。当设置为逻辑 0 时，处理器延迟软件执行，直到 65,536 个晶振时钟周期之后。为让处理器知道是以环形振荡器还是晶体振荡器驱动，辅助位 RGMD 指示当前在使用哪个时钟源。当处理器从环形振荡器运行，时钟分频控制位(PMR 寄存器的 CD1 和 CD0)锁定为 1 分频模式(CD1:CD0 = 10b)。在这种状态下，无法改变时钟分频控制位，直到系统转换到晶体振荡器(RGMD = 0)。

注：看门狗连接到晶体振荡器，以外部时钟速率连续运行。环形振荡器并不驱动它。

空闲模式

空闲模式以静态方式保持程序计数器，以挂起处理器。在此模式中处理器不取指令，也不执行指令。设置 IDLE 位(PCON.0)为逻辑 1 触发空闲模式。执行此步骤的指令为停止程序计数器之前的最后一条指令。一旦在空闲模式，除了外围接口时钟保持为活动状态以及定时器、看门狗、串口和电源监视功能仍然工作外，所有的资源均保存，这样处理器能够使用允许的中断源退出空闲模式。当使能时，振荡器检测电路也继续工作。一旦退出空闲模式，IDLE 位会自动清零。当使用 RETI 指令从中断向量地址返回时，下一个执行地址为紧随触发空闲模式指令的一个地址。处理器的任何复位能够取消空闲模式。

停机模式

停机模式禁止处理器内部所有电路。所有片内时钟、定时器和串口通信都停止运行，处理器不执行任何指令。

停机模式可通过设置停止位(PCON.1)为逻辑 1 来实现。处理器运行到设置该位的指令时进入停机模式。通过使用使能的六个外部中断中的任何一个，处理器都能够退出停机模式。

RST引脚上的外部复位将使处理器无条件退出停机模式。如果BGS位设为逻辑 1，在 V_{CC} 低于 V_{RST} 电平时，带隙产生停机模式下的复位。如果BGS为 0， V_{CC} 低于 V_{RST} 时不会产生复位。

当停机模式取消时，在开始正常执行指令之前处理器等待 65,536 个时钟周期，使内部闪存准备就绪。同时，如果不使用环形振荡器，处理器也将等待晶振建立时间。

串行 I/O

微控制器提供了一个与 80C52 一样的串口(UART)，。另外，还包括另一个硬件串口，与标准串口 1 完全相同。该串口复用引脚 P1.2 (RXD1)和 P1.3 (TXD1)，并具有相同的控制功能，位于新的 SFR 寄存器。

两个串口可同时工作，并可工作在不同的波特率或模式下。第二串口具有与标准串口类似的控制寄存器(C0h 的 SCON1, C1h 的 SBUF1)。新串口仅能使用定时器 1 来产生波特率。

串口 0 的控制由 SCON0 寄存器提供，它的 I/O 缓冲器为 SBUF0。寄存器 SCON1 和 SBUF1 为第二个串口提供相同的功能。两个串口的使用和工作的详细说明，可在*超高速闪存微控制器用户指南 (English only)* 中找到。

指令集

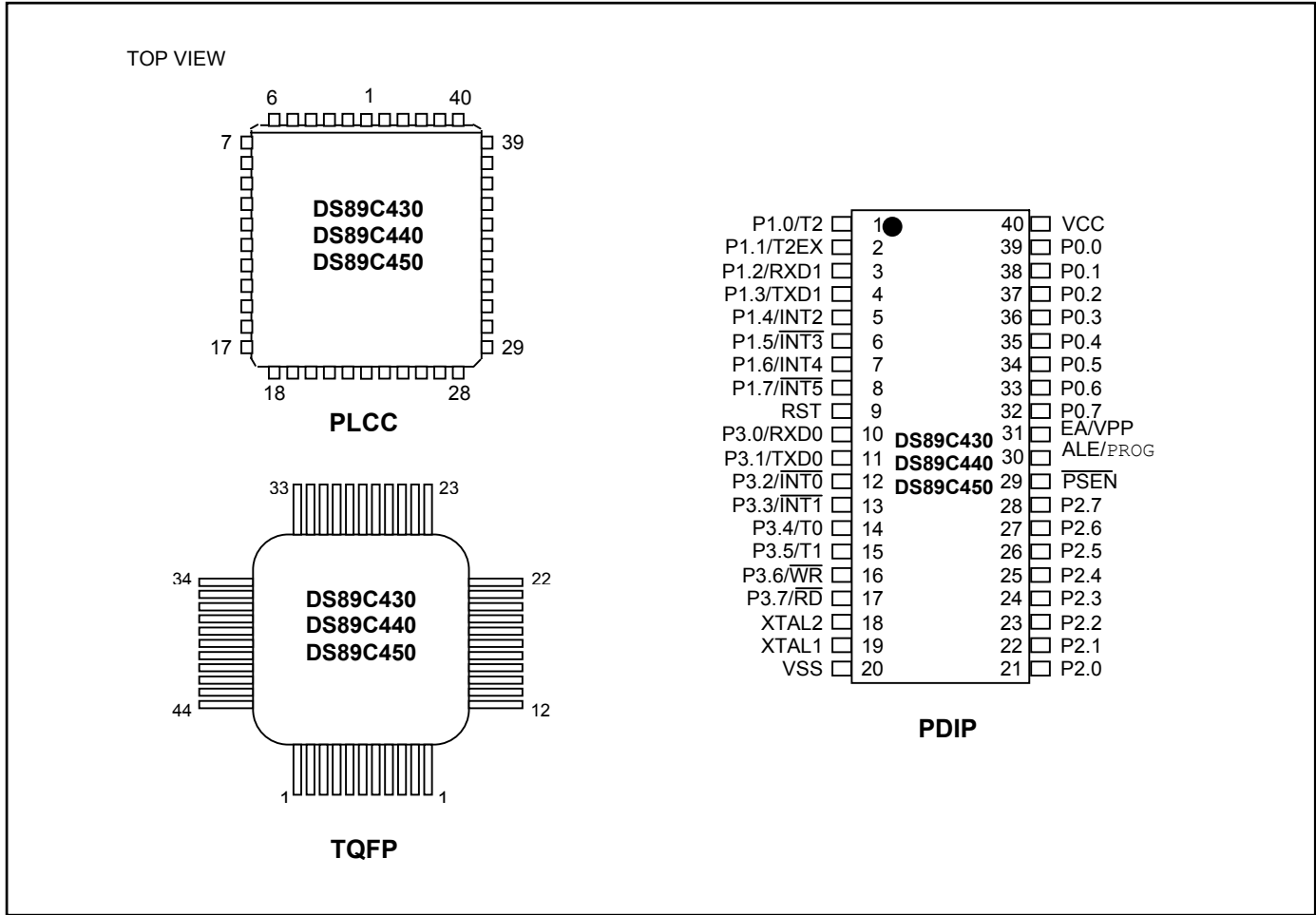
所有指令与工业标准的 8051 系列 100%二进制兼容，唯一不同的是用于指令的机器周期数目。当分析 DS89C430 指令集时，必须考虑一些特殊的情况和特性。详细信息请参考*超高速闪存微控制器用户指南 (English only)*。

选型指南

PART	TEMP RANGE	FLASH MEMORY SIZE	MAX CLOCK SPEED (MHz)	PIN-PACKAGE
DS89C430 -MNL	-40°C to +85°C	16kB x 8	33	40 PDIP
DS89C430+MNL	-40°C to +85°C	16kB x 8	33	40 PDIP
DS89C430-QNL	-40°C to +85°C	16kB x 8	33	44 PLCC
DS89C430+QNL	-40°C to +85°C	16kB x 8	33	44 PLCC
DS89C430-ENL	-40°C to +85°C	16kB x 8	33	44 TQFP
DS89C430+ENL	-40°C to +85°C	16kB x 8	33	44 TQFP
DS89C430-MNG	-40°C to +85°C	16kB x 8	25	40 PDIP
DS89C430+MNG	-40°C to +85°C	16kB x 8	25	40 PDIP
DS89C430-QNG	-40°C to +85°C	16kB x 8	25	44 PLCC
DS89C430+QNG	-40°C to +85°C	16kB x 8	25	44 PLCC
DS89C430-ENG	-40°C to +85°C	16kB x 8	25	44 TQFP
DS89C430+ENG	-40°C to +85°C	16kB x 8	25	44 TQFP
DS89C440 -MNL	-40°C to +85°C	32kB x 8	33	40 PDIP
DS89C440+MNL	-40°C to +85°C	32kB x 8	33	40 PDIP
DS89C440-QNL	-40°C to +85°C	32kB x 8	33	44 PLCC
DS89C440+QNL	-40°C to +85°C	32kB x 8	33	44 PLCC
DS89C440-ENL	-40°C to +85°C	32kB x 8	33	44 TQFP
DS89C440+ENL	-40°C to +85°C	32kB x 8	33	44 TQFP
DS89C440-MNG	-40°C to +85°C	32kB x 8	25	40 PDIP
DS89C440+MNG	-40°C to +85°C	32kB x 8	25	40 PDIP
DS89C440-QNG	-40°C to +85°C	32kB x 8	25	44 PLCC
DS89C440+QNG	-40°C to +85°C	32kB x 8	25	44 PLCC
DS89C440-ENG	-40°C to +85°C	32kB x 8	25	44 TQFP
DS89C440+ENG	-40°C to +85°C	32kB x 8	25	44 TQFP
DS89C450 -MNL	-40°C to +85°C	64kB x 8	33	40 PDIP
DS89C450+MNL	-40°C to +85°C	64kB x 8	33	40 PDIP
DS89C450-QNL	-40°C to +85°C	64kB x 8	33	44 PLCC
DS89C450+QNL	-40°C to +85°C	64kB x 8	33	44 PLCC
DS89C450-ENL	-40°C to +85°C	64kB x 8	33	44 TQFP
DS89C450+ENL	-40°C to +85°C	64kB x 8	33	44 TQFP
DS89C450-MNG	-40°C to +85°C	64kB x 8	25	40 PDIP
DS89C450+MNG	-40°C to +85°C	64kB x 8	25	40 PDIP
DS89C450-QNG	-40°C to +85°C	64kB x 8	25	44 PLCC
DS89C450+QNG	-40°C to +85°C	64kB x 8	25	44 PLCC
DS89C450-ENG	-40°C to +85°C	64kB x 8	25	44 TQFP
DS89C450+ENG	-40°C to +85°C	64kB x 8	25	44 TQFP

+表示无铅/RoHS 兼容器件。

引脚配置

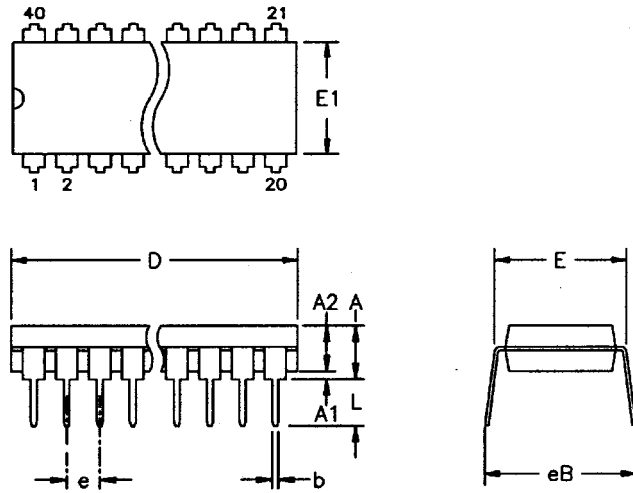


修订历史

日期	说明
111003	新产品发布。
032204	<i>DC Electrical Characteristics</i> 表：修改排印错误—在工作 and 空闲模式电源电流下面，将“μA”单位改为“mA”。 注 15：更改每个系统时钟的外部时钟周期数目和最低的外部时钟速率。 <i>Flash Memory Programming Characteristics</i> 表：从数据保持特性参数中删除注释 20 (仅室温)。
060204	将写/擦除的次数由20,000改为10,000次。 去掉了表 5 并口编程指令集，使用一幅介绍有关主题的图替换，建议有兴趣人员与工厂联系以获得更多信息。 解释了 IAP 编程序列。
060805	订购信息表里增加了无铅产品。

封装信息

(本数据资料提供的封装图可能不是最新规格, 最新封装外型尺寸请查询 www.maxim-ic.com.cn/DallasPackInfo。)



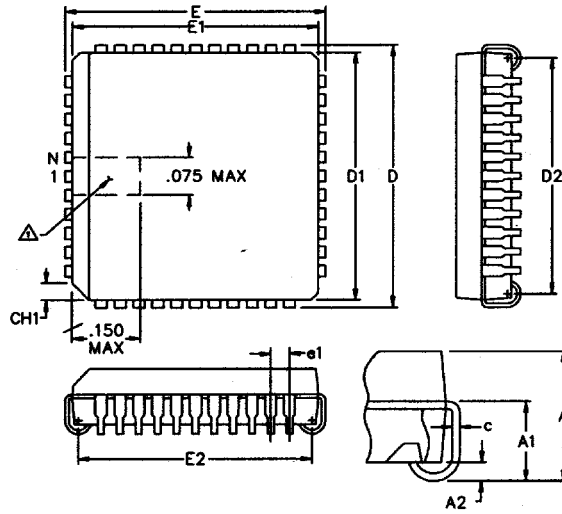
Note: Dimensions are in inches.

PKG	40-PIN PDIP	
DIM	MIN	MAX
A	—	0.200
A1	0.015	—
A2	0.140	0.160
B	0.014	0.022
C	0.008	0.012
D	1.980	2.085
E	0.600	0.625
E1	0.530	0.555
E	0.090	0.110
L	0.115	0.145
EB	0.600	0.700

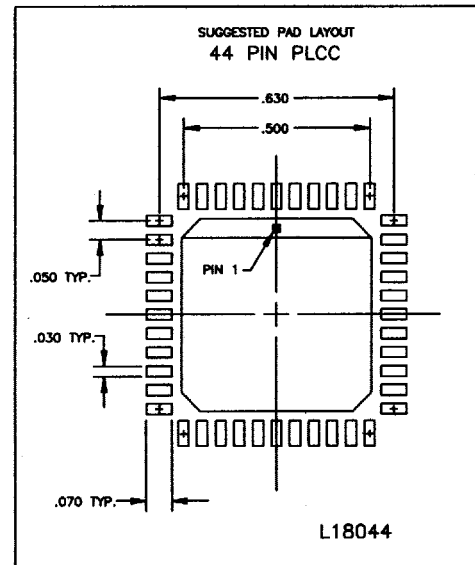
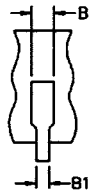
56-G5000-000

封装信息(续)

(本数据资料提供的封装图可能不是最新规格, 最新封装外型尺寸请查询 www.maxim-ic.com.cn/DallasPackInfo。)



PKG	44-PIN	
DIM	MIN	MAX
A	0.165	0.180
A1	0.090	0.120
A2	0.020	—
B	0.026	0.033
B1	0.013	0.021
c	0.009	0.012
CH1	0.042	0.048
D	0.685	0.695
D1	0.650	0.656
D2	0.590	0.630
E	0.685	0.695
E1	0.650	0.656
E2	0.590	0.630
e1	0.050 BSC	
N	44	—

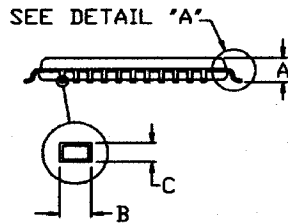
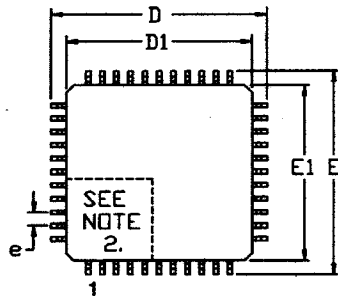


56-G4003-001

NOTE 1: PIN 1 IDENTIFIER TO BE LOCATED IN ZONE INDICATED.
NOTE 2: CONTROLLING DIMENSION ARE IN INCHES.

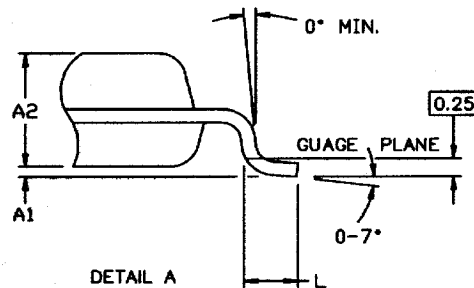
封装信息(续)

(本数据资料提供的封装图可能不是最新规格, 最新封装外型细细请查询 www.maxim-ic.com.cn/DallasPackInfo。)



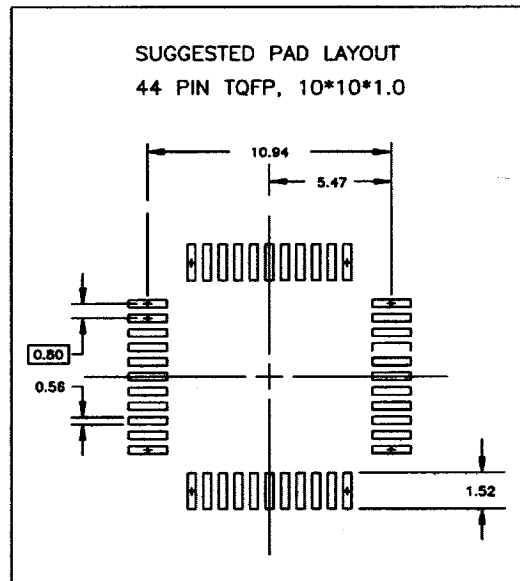
NOTES:

1. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH, BUT DO NOT INCLUDE MOLD PROTRUSION; ALLOWABLE PROTRUSION IS 0.25 MM PER SIDE.
2. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
3. ALLOWABLE DAMBAR PROTRUSION IS 0.08 MM TOTAL IN EXCESS OF THE B DIMENSION; AT MAXIMUM MATERIAL CONDITION. PROTRUSION NOT TO BE LOCATED ON LOWER RADIUS OR FOOT OF LEAD.
4. CONTROLLING DIMENSIONS: MILLIMETERS.



PKG	44-PIN	
DIM	MIN	MAX
A	-	1.20
A1	0.05	0.15
A2	0.95	1.05
D	11.80	12.20
D1	10.00 BSC	
E	11.80	12.20
E1	10.00 BSC	
L	0.45	0.75
e	0.80 BSC	
B	0.30	0.45
C	0.09	0.20

56-G4012-001



Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

49