

20位、1.6MSPS、低功耗、全差分SAR ADC

概述

MAX11905为20位、1.6MSPS、单通道、全差分SAR ADC，带有内部基准缓冲器。MAX11905提供优异的静态和动态性能，功耗正比于吞吐率，在同类产品中具有最佳指标。器件支持 $\pm V_{REF}$ 单极性、差分输入量程。供电电源包括：3.3V电源(用于基准缓冲器)、1.8V模拟电源、1.8V数字电源和1.5V至3.6V数字接口电源。

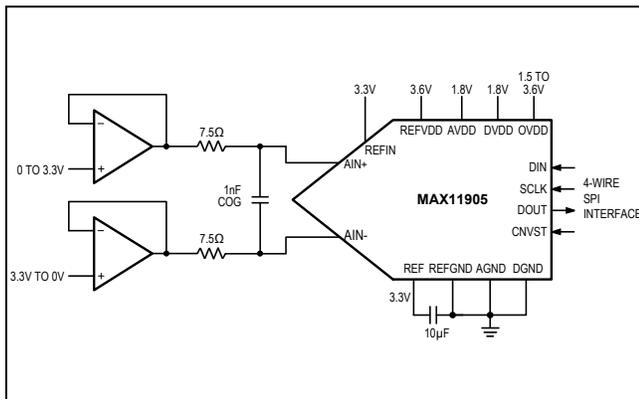
ADC具有高达98.3dB的SNR和-123dB THD，保证20位无失码分辨率和6 LSB INL (最大值)。

MAX11905通过SPI兼容串行接口传输数据。MAX11905采用20引脚、4mm x 4mm、TQFN封装，工作在-40°C至+85°C温度范围。

应用

- 测试与测量
- 自动测试设备
- 医疗仪表
- 过程控制与工业自动化
- 数据采集系统
- 电信
- 电池供电设备

应用框图



特性和优势

- 20位分辨率，无失码
- 1.6MSPS吞吐率，无流水线延迟
- 9mW @ 1.6MSPS，超低功耗
- ± 6 LSB INL，工作温度范围内约5ppm
- 20位时， ± 1 LSB DNL (最大值)
- 98.3dB SNR @ $f_{IN} = 10$ kHz
- 98.1dB SINAD @ $f_{IN} = 10$ kHz
- -123dB THD @ $f_{IN} = 10$ kHz
- $\pm V_{REF}$ 单极性、差分模拟输入量程
- $V_{REF} = 2.5$ V至3.6V
- 集成基准缓冲器
- 1.8V模拟和数字电路电源
- 3.3V REFVDD基准缓冲器电源
- 1.5V至3.6V数字接口电源
- 兼容SPI/QSPIK/MICROWIREM/DSP串行接口
- -40°C至+85°C工作温度范围
- 20引脚、4mm x 4mm、TQFN封装

QSPI是Motorola, Inc.的商标。

MICROWIRE是National Semiconductor Corporation的注册商标。

订购信息和选型指南在数据资料的最后给出。

16位至20位SAR ADC家族

	16位	18位	20位
1.6MSPS	MAX11901*	MAX11903*	MAX11905
1MSPS	MAX11900*	MAX11902*	MAX11904*

* 未来产品

相关型号以及配合该器件使用的推荐产品，请参见：www.maximintegrated.com/MAX11905.related。

20位、1.6Msps、低功耗、全差分SAR ADC

目录

概述	1
应用	1
特性和优势	1
应用框图	1
16位至20位SAR ADC家族	1
Absolute Maximum Ratings	4
Package Thermal Characteristics	4
Electrical Characteristics	4
典型工作特性	8
引脚配置	12
引脚说明	12
功能框图	13
详细说明	14
模拟输入	14
输入建立	16
输入滤波	16
电压基准配置	17
传递函数	17
数字接口	19
SPI时序图	20
寄存器写操作	22
寄存器读操作	22
寄存器映射	23
工作模式寄存器	23
转换结果寄存器	24
器件ID寄存器	24
典型应用电路	24
单端单极性输入至差分单极性输出	24
单端双极性输入至差分单极性输出	24
布局、接地和旁路	24
定义	27
积分非线性	27
微分非线性	27
失调误差	27
增益误差	27
信噪比	27
信号与噪声+失真	27

20位、1.6Msps、低功耗、全差分SAR ADC

目录(续)

有效位数	27
总谐波失真.....	27
无杂散动态范围	27
孔径延迟	27
孔径抖动.....	27
全功率带宽.....	27
选型指南	28
订购信息	28
芯片信息	28
封装信息	28
修订历史	29

图目录

图1. 信号范围	14
图2. 输入采样电路的简化模型	15
图3. 转换帧、SAR转换、跟踪和读操作.....	15
图4. 理想传递函数	18
图5. 跟踪阶段读取	19
图6. SAR转换阶段读取	19
图7. 拆分读取模式	20
图8. SPI接口连接	20
图9. 寄存器写操作的DIN时序	21
图10. 转换后数据输出读取的时序图	21
图11. 模式寄存器写操作	22
图12. 寄存器读操作	22
图13. 单极性单端输入	25
图14. 双极性单端输入	25
图15. 顶层布局示例.....	26

表目录

表1. 推荐ADC驱动放大器	16
表2. 电压基准配置	17
表3. 推荐的MAX11905外部基准	17
表4. 传递函数	18
表5. DOUT驱动强度	23

20位、1.6Msps、低功耗、全差分SAR ADC

Absolute Maximum Ratings

REFVDD, REF, REFIN, OVDD to GND	-0.3V to +4V
AVDD, DVDD to GND	-0.3V to +2V
DGND to AGND, REFGND	-0.3V to +0.3V
AIN+, AIN- to GND	-0.3V to the lower of ($V_{REF} + 0.3V$) and +4V or $\pm 130mA$
SCLK, DIN, DOUT, CNVST, to GND	-0.3V to the lower of ($V_{OVDD} + 0.3V$) and +4V
Maximum Current into Any Pin.....	50mA

Continuous Power Dissipation ($T_A = +70^\circ C$)	
TQFN (derate 30.30mW/ $^\circ C$ above +70 $^\circ C$).....	2424.2mW
Operating Temperature Range.....	-40 $^\circ C$ to +85 $^\circ C$
Junction Temperature.....	+150 $^\circ C$
Storage Temperature Range.....	-65 $^\circ C$ to +150 $^\circ C$
Lead Temperature (soldering, 10s)	+300 $^\circ C$
Soldering Temperature (reflow)	+260 $^\circ C$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 1)

TQFN

Junction-to-Ambient Thermal Resistance (θ_{JA}).....33 $^\circ C/W$

Junction-to-Case Thermal Resistance (θ_{JC})

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maximintegrated.com/cn/app-notes/index.mvp/id/4083.

Electrical Characteristics

($f_{SAMPLE} = 1.6Msps$, $V_{AVDD} = 1.8V$, $V_{DVDD} = 1.8V$, $V_{OVDD} = 1.5V$ to $3.6V$, $V_{REFVDD} = 3.6V$, $V_{REF} = 3.3V$, Internal Ref Buffers On, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT						
Input Voltage Range (Note 3)		(AIN+) - (AIN-)	$-V_{REF}$		$+V_{REF}$	V
Absolute Input Voltage Range		AIN+, AIN- relative to AGND	-0.1		$V_{REF} + 0.1$	V
Common-Mode Input Range		$[(AIN+) + (AIN-)]/2$	$V_{REF}/2 - 0.1$	$V_{REF}/2$	$V_{REF}/2 + 0.1$	V
Input Leakage Current		Acquisition phase	-1	0.001	+1	μA
Input Capacitance				32		pF
STATIC PERFORMANCE (Note 4)						
Resolution	N		20			Bits
Resolution	LSB	$V_{REF} = 3.3V$		6.3		μV
No Missing Codes			20			Bits
Offset Error (Note 4)			-10	± 1	+10	LSB
Offset Temperature Coefficient				± 0.01		LSB/ $^\circ C$
Gain Error		Referred to REFIN reference input	-175	± 20	+175	LSB
Gain Error Temperature Coefficient (Note 5)		Referred to REFIN reference input		± 0.2		LSB/ $^\circ C$
Gain Error		Referred to REF pins	-42	± 10	+42	LSB
Gain Error Temperature Coefficient (Note 5)		Referred to REF pins		± 0.12		LSB/ $^\circ C$
Integral Nonlinearity	INL		-6	± 1.5	+6	LSB

20位、1.6Msps、低功耗、全差分SAR ADC

Electrical Characteristics (continued)

($f_{\text{SAMPLE}} = 1.6\text{Msps}$, $V_{\text{AVDD}} = 1.8\text{V}$, $V_{\text{DVDD}} = 1.8\text{V}$, $V_{\text{OVDD}} = 1.5\text{V to } 3.6\text{V}$, $V_{\text{REFVDD}} = 3.6\text{V}$, $V_{\text{REF}} = 3.3\text{V}$, Internal Ref Buffers On, $T_{\text{A}} = T_{\text{MIN}}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_{\text{A}} = +25^{\circ}\text{C}$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Nonlinearity (Note 6)	DNL		-0.9	±0.5	+0.9	LSB
Analog Input CMR	CMR	DC		16		LSB/V
Power-Supply Rejection (Note 7)	PSR	PSR vs. AVDD		2		LSB/V
Power-Supply Rejection (Note 7)	PSR	PSR vs. REFVDD		3		LSB/V
Transition Noise				4		LSB _{RMS}
EXTERNAL REFERENCE						
REF Voltage Input Range	V_{REF}		2.5	3.3	3.6	V
Load Current	I_{REF}	1.6Msps, $V_{\text{REF}} = 3.3\text{V}$		600		μA
REF Input Capacitance				1		nF
REFERENCE BUFFER						
REFIN Input Voltage Range	V_{REFIN}	$V_{\text{REF}} < (V_{\text{REFVDD}} - 200\text{mV})$	2.5	3	$V_{\text{REFVDD}} - 200\text{mV}$	V
REFIN Input Current	I_{REFIN}			1		nA
Turn-On Settling Time		$C_{\text{EXT}} = 10\mu\text{F}$ on REF pin, $C_{\text{REFIN}} = 0.1\mu\text{F}$ on REFIN pin		20		ms
External Compensation Capacitor	C_{EXT}	REF pins	4.7	10		μF
DYNAMIC PERFORMANCE (Note 8)						
Dynamic Range		Internal RefBuffer, -60dBFS input		99.0		dB
Signal-to-Noise Ratio	SNR	Internal RefBuffer, $f_{\text{IN}} = 10\text{kHz}$	97	98.3		dB
Signal-to-Noise Plus Distortion	SINAD	Internal RefBuffer, $f_{\text{IN}} = 10\text{kHz}$, -0.1dBFS	97	98.1		dB
Spurious-Free Dynamic Range	SFDR	Internal RefBuffer, $f_{\text{IN}} = 10\text{kHz}$		125		dB
Total Harmonic Distortion	THD	Internal RefBuffer, $f_{\text{IN}} = 10\text{kHz}$		-123		dB
Total Harmonic Distortion	THD	Internal RefBuffer, $f_{\text{IN}} = 100\text{kHz}$		-115		dB
Total Harmonic Distortion	THD	Internal RefBuffer, $f_{\text{IN}} = 250\text{kHz}$		-107		dB
SAMPLING DYNAMICS						
Throughput			0		1.6	Msps
Full-Power Bandwidth		-3dB point (targeting 20MHz)		20		MHz
		-0.1dB point		3		
Acquisition Time	t_{ACQ}		100			ns
Aperture Delay		Time delay from CNVST rising edge to time at which sample is taken for conversion		1		ns
Aperture Jitter				3		ps _{RMS}

20位、1.6Msps、低功耗、全差分SAR ADC

Electrical Characteristics (continued)

($f_{\text{SAMPLE}} = 1.6\text{Msps}$, $V_{\text{AVDD}} = 1.8\text{V}$, $V_{\text{DVDD}} = 1.8\text{V}$, $V_{\text{OVDD}} = 1.5\text{V to } 3.6\text{V}$, $V_{\text{REFVDD}} = 3.6\text{V}$, $V_{\text{REF}} = 3.3\text{V}$, Internal Ref Buffers On, $T_A = T_{\text{MIN}}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Analog Supply Voltage	AVDD		1.7	1.8	1.9	V
Digital Supply Voltage	DVDD		1.7	1.8	1.9	V
Reference Buffer Supply Voltage	REFVDD		2.7	3.3	3.6	V
Interface Supply Voltage	OVDD		1.5		3.6	V
Analog Supply Current	I_{AVDD}	$V_{\text{AVDD}} = 1.8\text{V}$		2	2.5	mA
Digital Supply Current	I_{DVDD}	$V_{\text{DVDD}} = 1.8\text{V}$		2.2	2.7	mA
Reference Buffer Supply Current	I_{REFVDD}	$V_{\text{REFVDD}} = 3.6\text{V}$, internal buffers enabled		3.3	3.55	mA
Reference Buffer Supply Current	I_{REFVDD}	$V_{\text{REFVDD}} = 3.6\text{V}$, internal buffers powered down		0.26		mA
Interface Supply Current (Note 9)	I_{OVDD}	$V_{\text{OVDD}} = 1.5\text{V}$		0.35		mA
		$V_{\text{OVDD}} = 3.6\text{V}$		1		
Shutdown Current		For AVDD, DVDD, REFVDD		1		μA
Shutdown Current		For DVDD		1		μA
Power Dissipation		$V_{\text{AVDD}} = 1.8\text{V}$, $V_{\text{DVDD}} = 1.8\text{V}$, $V_{\text{REFVDD}} = 3.3\text{V}$, internal reference buffers disabled		8.4	10.2	mW
DIGITAL INPUTS (DIN, SCLK, CNVST)						
Input Voltage High	V_{IH}	$V_{\text{OVDD}} = 1.5\text{V to } 3.6\text{V}$	0.7 x V_{OVDD}			V
Input Voltage Low	V_{IL}	$V_{\text{OVDD}} = 1.5\text{V to } 3.6\text{V}$			0.3 x V_{OVDD}	V
Input Capacitance	C_{IN}			10		pF
Input Current	I_{IN}	$V_{\text{IN}} = 0\text{V or } V_{\text{OVDD}}$		1		μA
DIGITAL OUTPUTS (DOUT)						
Output Voltage High	V_{OH}	$I_{\text{SOURCE}} = 2\text{mA}$	$V_{\text{OVDD}} - 0.4$			V
Output Voltage Low	V_{OL}	$I_{\text{SINK}} = 2\text{mA}$			0.4	V

20位、1.6Msps、低功耗、全差分SAR ADC

Electrical Characteristics (continued)

($f_{\text{SAMPLE}} = 1.6\text{Msps}$, $V_{\text{AVDD}} = 1.8\text{V}$, $V_{\text{DVDD}} = 1.8\text{V}$, $V_{\text{OVDD}} = 1.5\text{V to } 3.6\text{V}$, $V_{\text{REFVDD}} = 3.6\text{V}$, $V_{\text{REF}} = 3.3\text{V}$, Internal Ref Buffers On, $T_A = T_{\text{MIN}}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING						
DIN to SCLK Rising Edge Setup	t_1				4	ns
DIN to SCLK Rising Edge Hold	t_2		1			ns
DOUT End-Of-Conversion Low Time	t_3		10			ns
DOUT to SCLK Rising Edge Hold	t_4		2.5			ns
DOUT to SCLK Rising Edge Setup	t_5	100MHz SCLK	1.5			ns
SCLK High	t_6		4.5			ns
SCLK Period	t_7		10			ns
SCLK Low	t_8		4.5			ns
CNVST Rising Edge To SCLK Rising Edge	t_9		0			ns
SCLK Rising Edge to CNVST Rising Edge	t_{10}		25			ns
CNVST High	t_{11}		20			ns
CNVST High to EOC	t_{12}				525	ns
Conversion Period	t_{13}		625			ns

Note 2: Limits are 100% production tested at $T_A = +25^\circ\text{C}$. Limits over the operating temperature range are guaranteed by design and device characterization.

Note 3: See the [Analog Inputs](#) section.

Note 4: See the [Definitions](#) section at the end of the data sheet.

Note 5: See the [Definitions](#) section at the end of the data sheet. Error contribution from the external reference not included.

Note 6: Parameter is guaranteed by design.

Note 7: Defined as the change in positive full-scale code transition caused by a $\pm 5\%$ variation in the supply voltage.

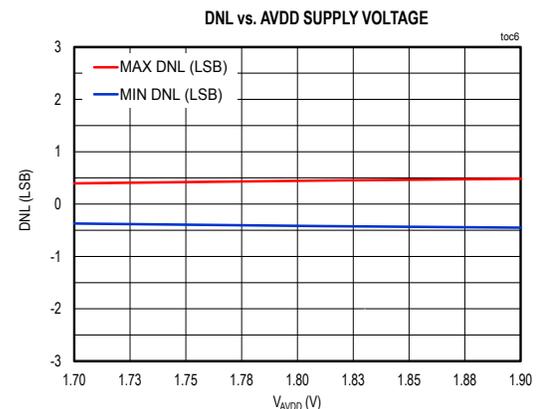
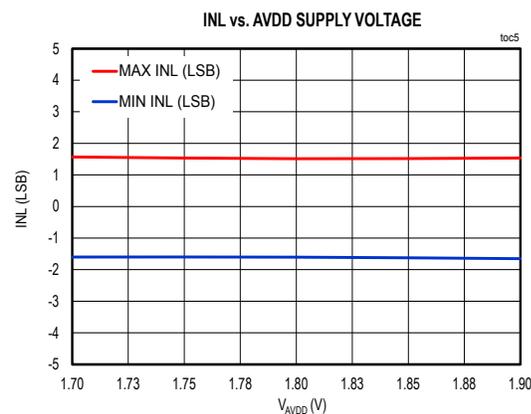
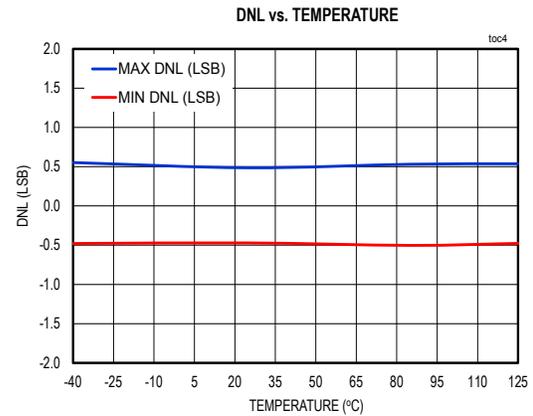
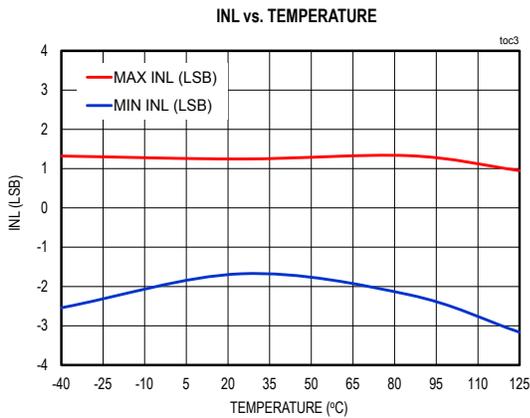
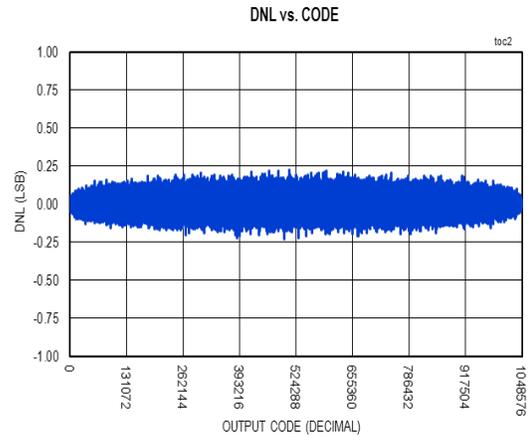
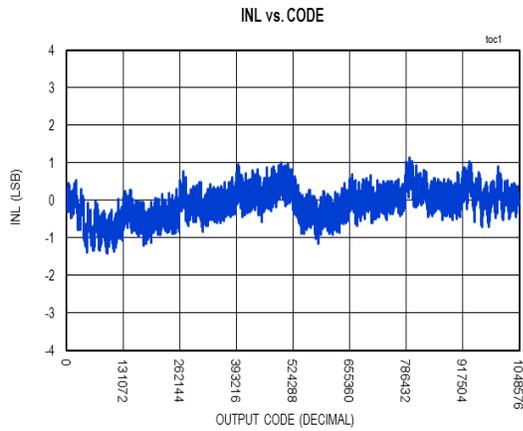
Note 8: Sine wave input, $f_{\text{IN}} = 10\text{kHz}$, $A_{\text{IN}} = -0.5\text{dB}$ below full scale.

Note 9: $C_{\text{LOAD}} = 10\text{pF}$ on DOUT. $f_{\text{CONV}} = 1.6\text{Msps}$. All data is read out.

20位、1.6MSPS、低功耗、全差分SAR ADC

典型工作特性

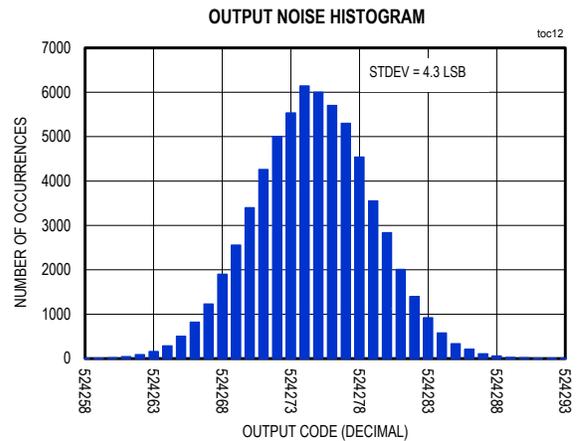
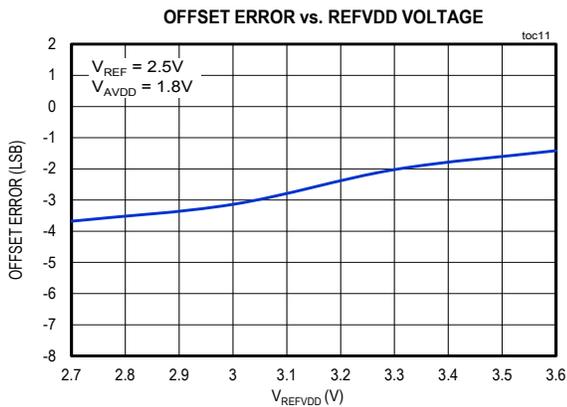
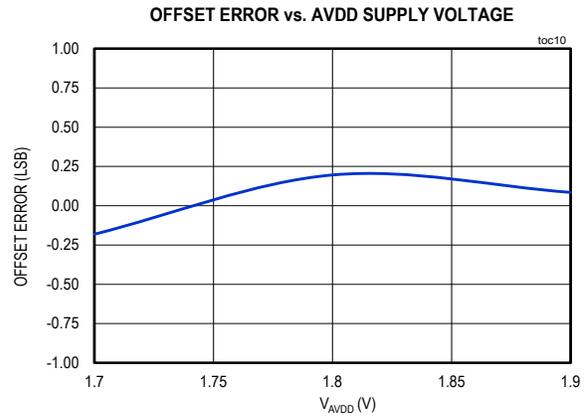
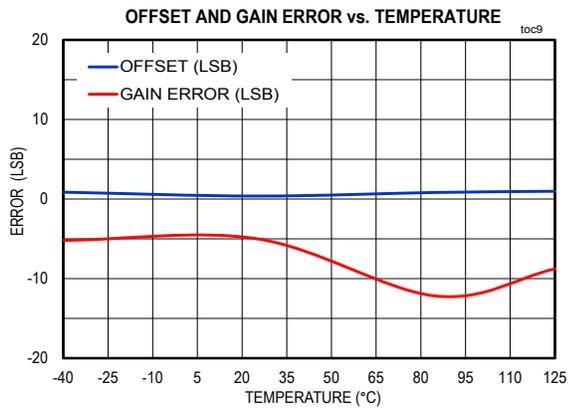
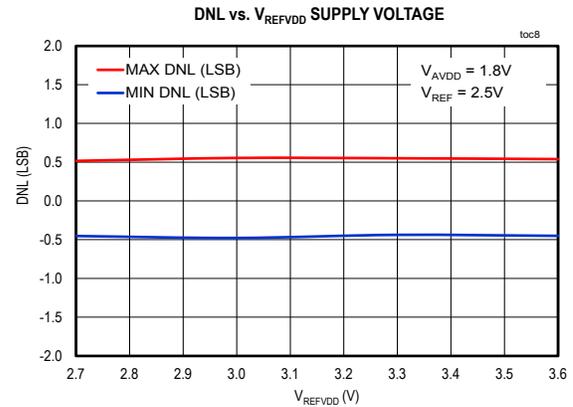
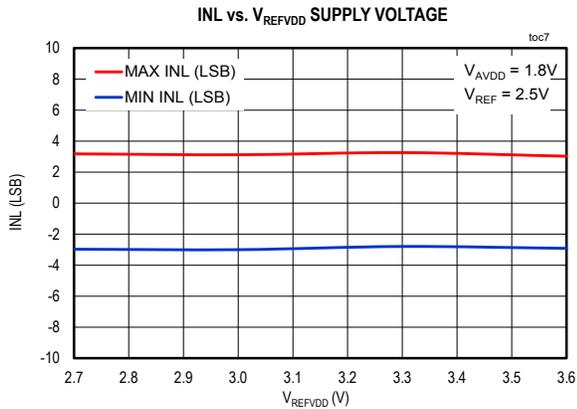
($V_{AVDD} = 1.8V$, $V_{DVDD} = 1.8V$, $V_{OVDD} = 1.8V$, $V_{REFVDD} = 3.6V$, $f_{SAMPLE} = 1.6MSPS$, $V_{REF} = 3.3V$, Internal Ref Buffer On, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)



20位、1.6MSPS、低功耗、全差分SAR ADC

典型工作特性(续)

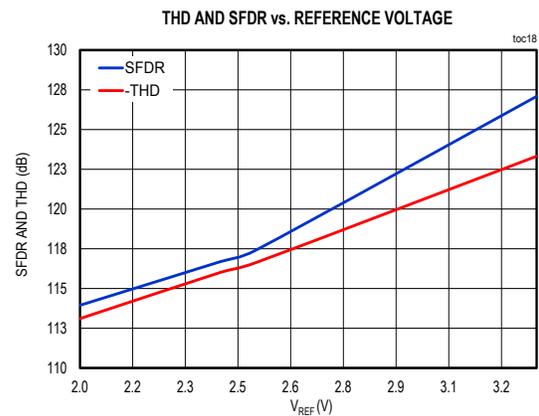
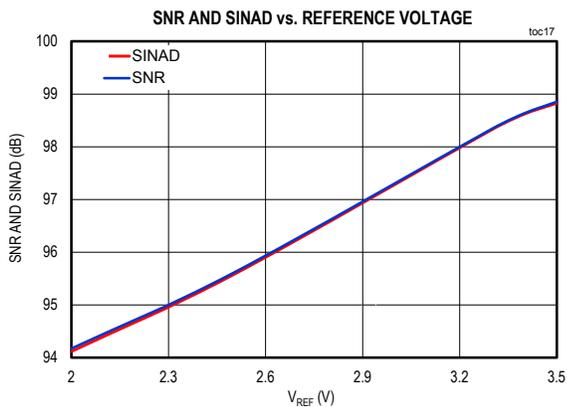
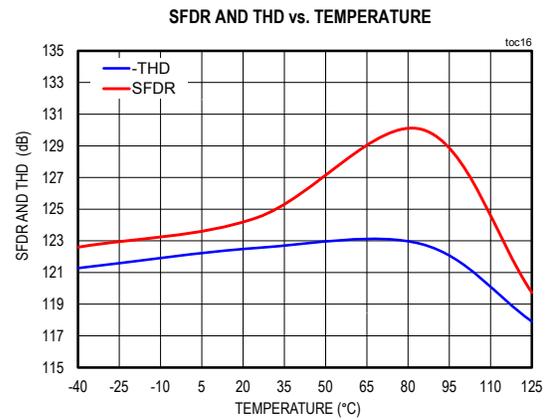
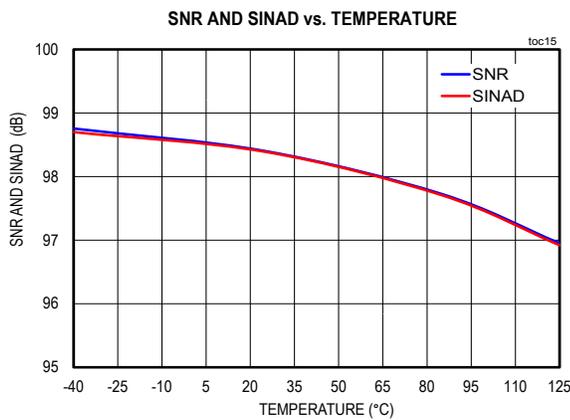
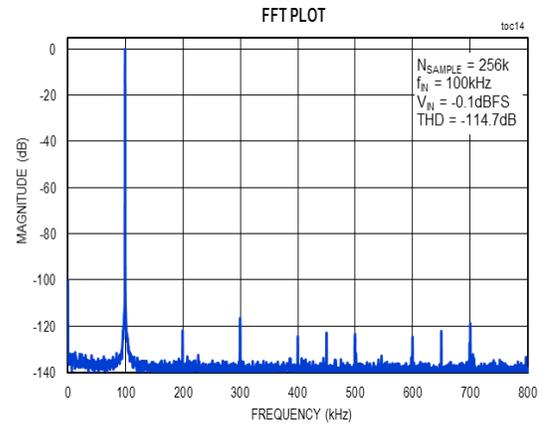
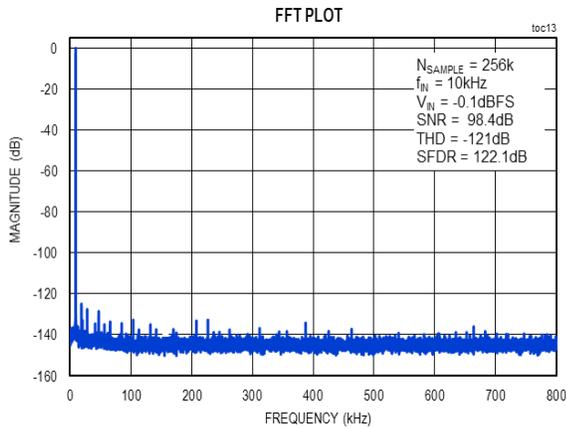
($V_{AVDD} = 1.8V$, $V_{DVDD} = 1.8V$, $V_{OVDD} = 1.8V$, $V_{REFVDD} = 3.6V$, $f_{SAMPLE} = 1.6MSPS$, $V_{REF} = 3.3V$, Internal Ref Buffer On, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)



20位、1.6MSPS、低功耗、全差分SAR ADC

典型工作特性(续)

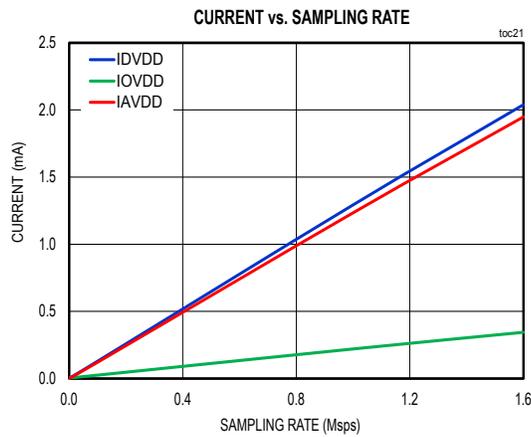
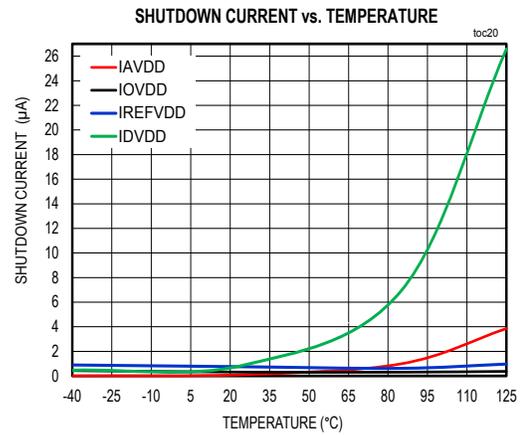
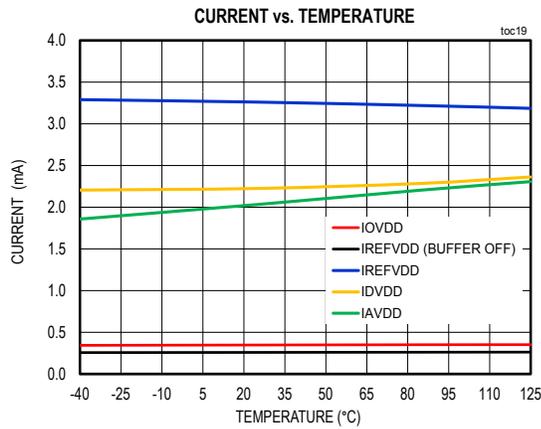
($V_{AVDD} = 1.8V$, $V_{DVDD} = 1.8V$, $V_{OVDD} = 1.8V$, $V_{REFVDD} = 3.6V$, $f_{SAMPLE} = 1.6MSPS$, $V_{REF} = 3.3V$, Internal Ref Buffer On, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)



20位、1.6Msps、低功耗、全差分SAR ADC

典型工作特性(续)

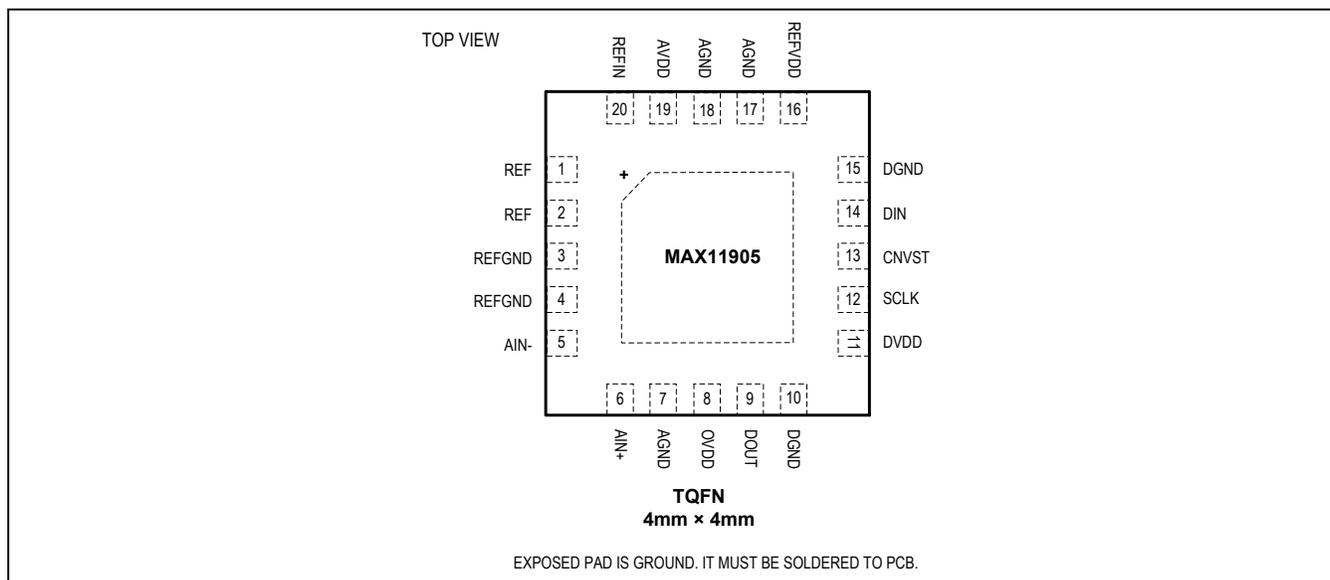
($V_{AVDD} = 1.8V$, $V_{DVDD} = 1.8V$, $V_{OVDD} = 1.8V$, $V_{REFVDD} = 3.6V$, $f_{SAMPLE} = 1.6Msps$, $V_{REF} = 3.3V$, Internal Ref Buffer On, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)



MAX11905

20位、1.6Msps、低功耗、全差分SAR ADC

引脚配置



引脚说明

引脚	名称	I/O	功能
1, 2	REF	I/O	基准。REF为旁路引脚，用于内部基准缓冲器或外部基准直接驱动的基准。利用10 μ F电容将这些引脚旁路至REFGND。
3, 4	REFGND	I	基准地。
5	AIN-	I	模拟输入负端。
6	AIN+	I	模拟输入正端。
7	AGND	I	模拟地。
8	OVDD	I	数字接口电源，标称值为1.8V。利用10 μ F电容与0.1 μ F电容并联(10 μ F 0.1 μ F)，旁路至DGND。
9	DOUT	O	数字输出数据。
10	DGND	I	数字地。
11	DVDD	I	数字电源，标称值为1.8V。利用10 μ F电容与0.1 μ F电容并联(10 μ F 0.1 μ F)进行旁路。
12	SCLK	I	串行时钟输入。
13	CNVST	I	启动转换。在上升沿采样模拟输入(AIN+、AIN-)并开始转换过程。
14	DIN	I	串行数据输入。DIN上的数据在SCLK上升沿锁存至串行接口。
15	DGND	I	数字地。

20位、1.6Msps、低功耗、全差分SAR ADC

详细说明

MAX11905为20位、1.6Msps最大采样率、全差分、单通道SAR ADC，带有SPI接口。器件以超低功耗提供高采样率和分辨率。MAX11905集成基准缓冲器，最大程度降低电路板空间、元件数量及系统成本。内部振荡器驱动转换并设置转换时间，有助于外部定时。

模拟输入

AIN+和AIN-两路模拟输入的范围为0V至 V_{REF} ，差分输入时， $V_{DIFF} = (AIN+) - (AIN-)$ 范围为 $-V_{REF}$ 至 $+V_{REF}$ ，满幅：

$$FSR = 2 \times V_{REF}$$

最低有效位(LSB)的标称分辨率台阶宽度为：

$$LSB = \frac{FSR}{2^N}, N = 20$$

差分模拟输入的中心必须在信号共模电压 $V_{REF}/2$ 左右，容限为 $\pm 100mV$ 。

如果使用外部基准缓冲器，基准电压范围为2.5V至基准电源REFVDD；使用内置基准缓冲器时，基准电压范围为2.5V至基准电源REFVDD以下200mV。这将保证内部基准缓冲器具有足够裕量。

图1所示为AIN+/AIN-的信号范围、基准电压 V_{REF} 以及基准电源电压REFVDD。

图2所示为MAX11905的输入等效电路。ADC采样AIN+和AIN-两路输入，内部全差分采样/保持电路没有流水线延迟或延时。

MAX11905采用专用的输入箝位电路，以保护输入过量程。二极管D1和D2提供ESD保护，作为输入电压的箝位电路。二极管D1/D2可承受100mA最大正向电流。采样开关将输入连接至采样电容。

图3所示为数字转换周期的时序：转换帧、SAR转换、跟踪和读操作。

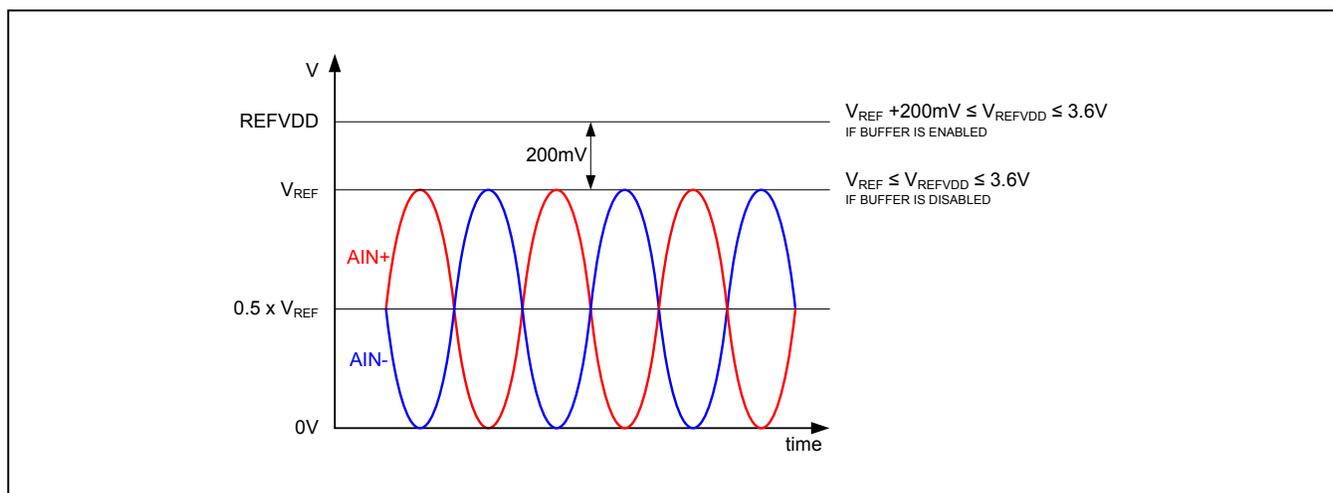


图1. 信号范围

20位、1.6MSPS、低功耗、全差分SAR ADC

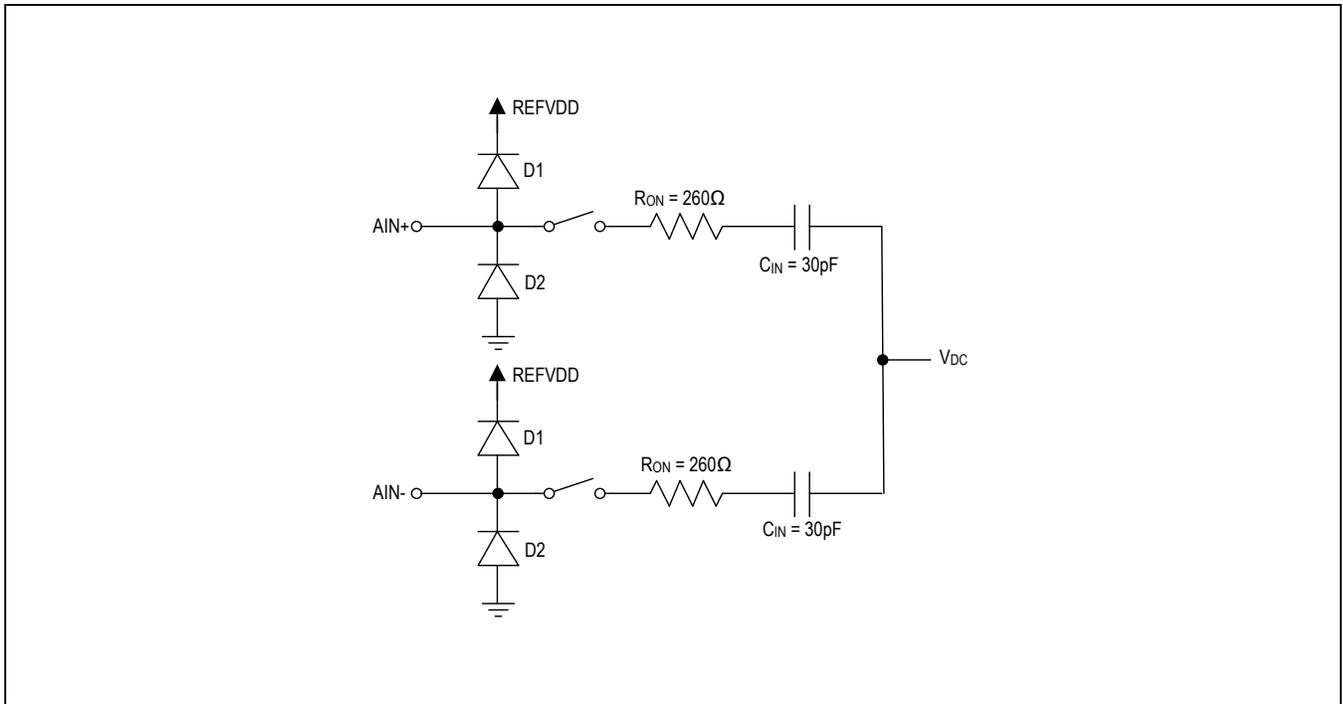


图2. 输入采样电路的简化模型

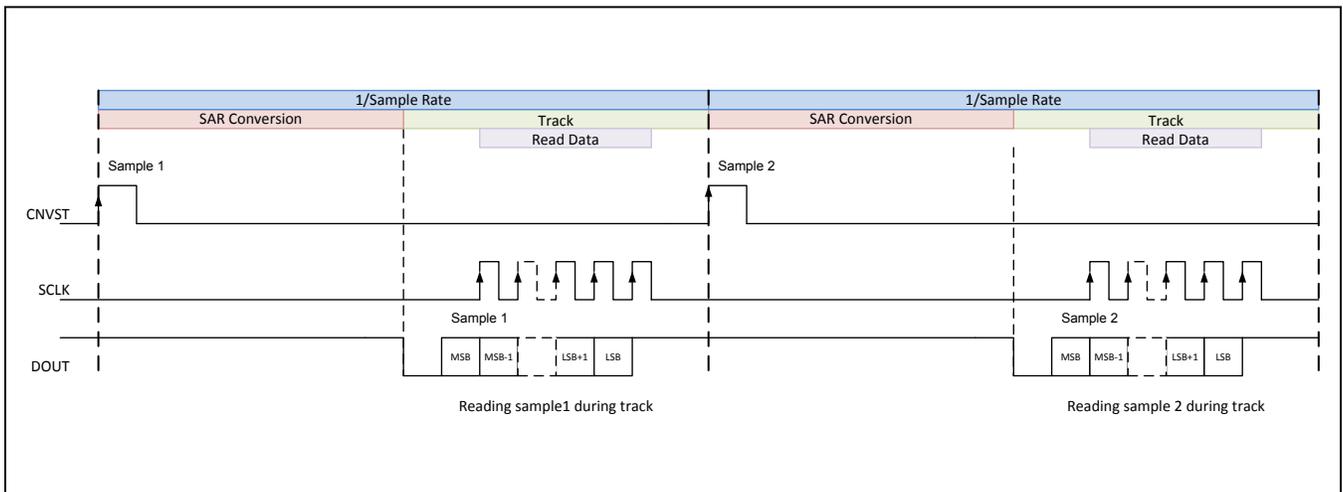


图3. 转换帧、SAR转换、跟踪和读操作

20位、1.6Msps、低功耗、全差分SAR ADC

输入信号建立

跟踪阶段(图3)，采样开关闭合，模拟输入直接连接至采样电容。输入电压对采样电容的充电由源电阻和采样电容大小决定。ADC采样时刻位于CNVST上升沿，此时，跟踪阶段结束，采样开关开路，器件进入逐次逼近(SAR)转换阶段。转换期间，差分比较器将采样电容电压与CDAC值进行比较，采用逐次逼近方法遍历 $V_{REF}/2$ 和 $V_{REF}/2^{20}$ 之间的数值；可通过SPI总线读取最终结果。SAR转换结束时，ADC自动返回跟踪阶段，并关断其有源电路；也就是说，ADC在跟踪模式下不消耗静态功率。

如果ADC跟踪输入信号的间隔长于输入信号的最差建立时间，转换结果是精确的；如果由于源电阻太大造成信号未能在跟踪时间内达到稳定建立，则要求采用外部ADC驱动器，以快速建立稳定。由于MAX11905的固定转换时间由内部振荡器设定，可通过降低采样率来延长跟踪时间，实现较好稳定。

信号稳定建立由采样网络的时间常数决定，时间常数取决于总电阻(源电阻+开关电阻)和总电容(采样电容、外部输入电容、PCB寄生电容)。

用单极点模型化输入电路，输入时间常数 $R_{TOTAL} \times C_{LOAD}$ 应大于 $t_{TRACK}/15$ ，其中 R_{TOTAL} 为总电阻(源电阻+开关电阻)， C_{LOAD} 为总电容(采样电容、外部输入电容、PCB寄生电容)， t_{TRACK} 为跟踪时间。

使用ADC驱动器时，建议在放大器和ADC输入之间使用串联电阻(通常为 5Ω 至 50Ω)，如应用框图所示。以下为对ADC驱动放大器的部分要求：

- 1) 快速建立时间：对于多通道复用电路，当作用满幅阶跃信号时，ADC驱动放大器必须能够在最小跟踪时间内达到稳定，误差小于0.5 LSB。
- 2) 低噪声：确保ADC驱动放大器在规定带宽内保持足够低的噪声密度。MAX11905工作在20MHz满幅带宽时，最好使用一级放大器，放大器的输出噪声谱密度应小于 $3nV/\sqrt{Hz}$ ，以确保总体SNR无明显下降。建议在ADC输入插入外部RC滤波器，以衰减带外输入噪声。
- 3) 为充分发挥ADC优异的动态性能，Maxim建议使用THD性能相当或更佳的ADC驱动器。这将确保ADC驱动器不限制信号通路中的失真性能。表1汇总了使用ADC驱动器时MAX9632的最重要特性。

输入滤波

在ADC驱动器放大器输入之前，应利用合适的滤波器对嘈杂的输入信号进行滤波，以最大程度降低噪声。应用电路框图所示的RC网络设计主要用于降低放大器在ADC开始跟踪阶段时受到的负载瞬变，该网络也必须满足建立时间要求，帮助限制噪声带宽。

表1. 推荐的ADC驱动放大器

AMPLIFIER	INPUT-NOISE DENSITY (nV/ \sqrt{Hz})	SMALL-SIGNAL BANDWIDTH (MHz)	SLEW RATE (V/ μ s)	THD (dB)	I _{CC} (mA)	COMMENTS
MAX9632	1	55	30	-128	3.9mA	Low noise, THD at 10kHz

20位、1.6Msps、低功耗、全差分SAR ADC

电压基准配置

MAX11905具有内部基准缓冲器，有助于减少元件数量、降低电路板空间。用户也可以利用外部基准驱动基准节点REF。为使用内部基准缓冲器，利用外部基准电压源驱动REFIN引脚，在REF引脚上表现为缓冲后的基准输出。通过写寄存器(见[模式寄存器](#)部分)或将REFIN连接至0V，可禁止内部基准缓冲器。禁止片上基准缓冲器后，REF引脚可由外部基准缓冲器直接驱动。简化框图中标出了要求的外部基准连接。

为实现高系统精度，要求低噪声、低温漂基准。MAX6126和MAX6325特别适合与MAX11905配合使用。MAX6126

和MAX6325的初始精度分别为0.02%和0.04%，温度系数分别为3ppm/°C和1ppm/°C (最大值)，适合于高精度应用。Maxim建议利用2.2μF电容将REFIN和REF旁路，电容靠近ADC引脚放置。

传递函数

[图4](#)所示为MAX11905的理想传递函数。

默认数据格式为二进制补码，但通过设置模式寄存器的第1位，可选择偏移二进制格式(见[模式寄存器](#)部分)。

[表4](#)为按输入电压列出的编码，V_{REF}为3.0V，满幅范围为6V。

表2. 电压基准配置

REFERENCE CONFIGURATION	INTERNAL REFERENCE BUFFERS	REFIN	V _{REF}	V _{REFVDD}
Internal Reference Buffer	ON	2.5V to V _{REFVDD} - 0.2V	2.5V to V _{REFVDD} - 0.2V	2.7V to 3.6V
External Reference Buffer	OFF	Tie to 0V or disable through serial interface	2.5V to V _{REFVDD}	2.5V to 3.6V

表3. 推荐的MAX11905外部基准

PART	V _{OUT} (V)	TEMPERATURE COEFFICIENT (ppm/°C, max)	INITIAL ACCURACY (%)	NOISE (0.1Hz TO 10Hz) (μV _{P-P})	PACKAGE
MAX6126	2.5, 3	3	0.02	1.45	μMAX-8, SO-8
MAX6325	2.5	1	0.04	1.5	SO-8

20位、1.6MSPS、低功耗、全差分SAR ADC

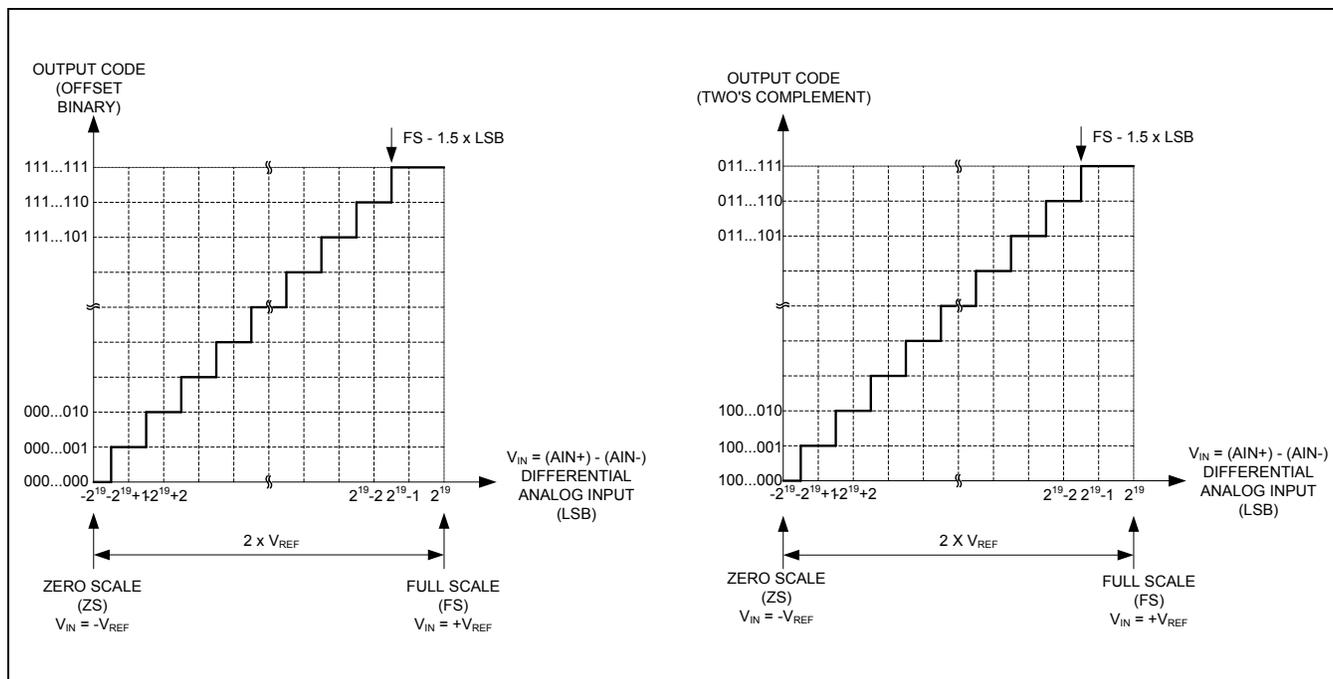


图4. 理想传递函数

表4. 传递函数

MIDCODE VALUE	DIFFERENTIAL ANALOG INPUT FULL-SCALE RANGE = 6V (V)	HEXADECIMAL TWO'S COMPLEMENT	HEXADECIMAL OFFSET BINARY
FS - 1 LSB	2.99999428	0x7FFFF	0xFFFFF
Midscale + 1 LSB	0.00000572	0x00001	0x80001
Midscale	0.00000000	0x00000	0x80000
Midscale - 1 LSB	-0.00000572	0xFFFFF	0x7FFFF
-FS + 1 LSB	-2.99999428	0x80001	0x00001
-FS	-3.00000000	0x80000	0x00000

20位、1.6MSPS、低功耗、全差分SAR ADC

数字接口

MAX11905具有SPI接口，CNVST控制采样，SCLK、DOUT、DIN组成标准SPI信号。在CNVST上升沿开始SAR转换。CNVST为高电平的最小时间为20ns，CNVST应在DOUT跳变为低电平之前拉低，表示完成SAR转换。DOUT跳变为低电平保持10ns，然后在DOUT引脚输出MSB。然后即可发送20个SCLK脉冲，通过SPI接口读取20位转换接口。DOUT跳变为低电平也表示开始跟踪阶段。在CNVST下一个上升沿之前，ADC保持在跟踪阶段。

MAX11905具有三种不同的读取数据模式：

- 跟踪阶段读取(图5)
- SAR转换阶段读取(图6)
- 拆分读取(图7)

在跟踪阶段读取模式下，仅在ADC处于跟踪模式时读取数据。图5所示为该读取模式下的SPI控制信号。

在SAR转换阶段读取模式下，仅在SAR转换阶段读取数据。图6所示为该模式下的SPI控制信号。注意，在SAR转换阶段读取的数据对应前一转换帧。

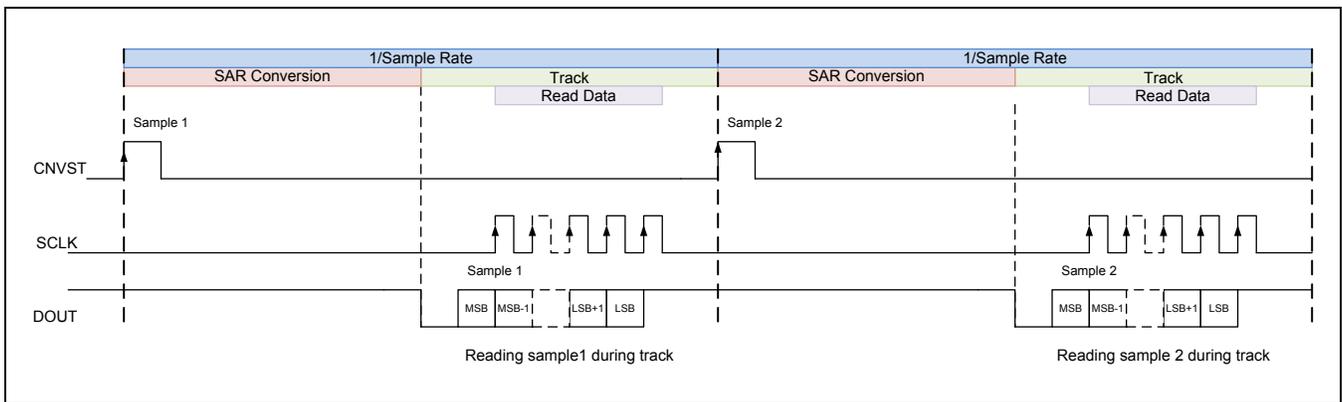


图5.跟踪阶段读取

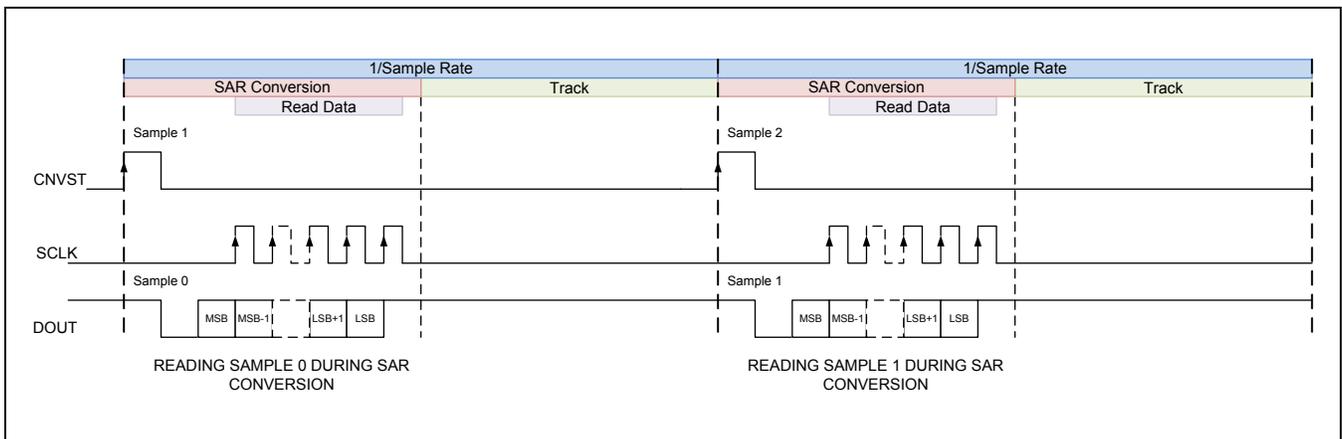


图6.SAR转换阶段读取

20位、1.6MSPS、低功耗、全差分SAR ADC

拆分读取模式下，在跟踪阶段及随后的SAR转换阶段读取数据。图7所示为对应的时序图。

采样率较高时，跟踪时间长度可能不足以读取全部20位数据。这种情况下，可在跟踪模式下开始读取数据，然后在随后的SAR转换阶段继续。注意，必须在DOUT跳变为低电平(表示SAR转换阶段结束)之前完成读操作，另外也要注意，不应接近采样沿(CNVST上升沿)施加SCLK脉冲，以保护采样沿不受数字噪声干扰(见静态时间指标 t_{10})。这种拆分读取功能可用于支持较慢的SPI时钟。

SPI时序图

图8所示为MAX11905和主处理器之间的典型数字SPI接口连接。

虚线表示可选连接。

图9所示为配置寄存器的时序图。

图10所示为转换后数据输出读取的时序图。

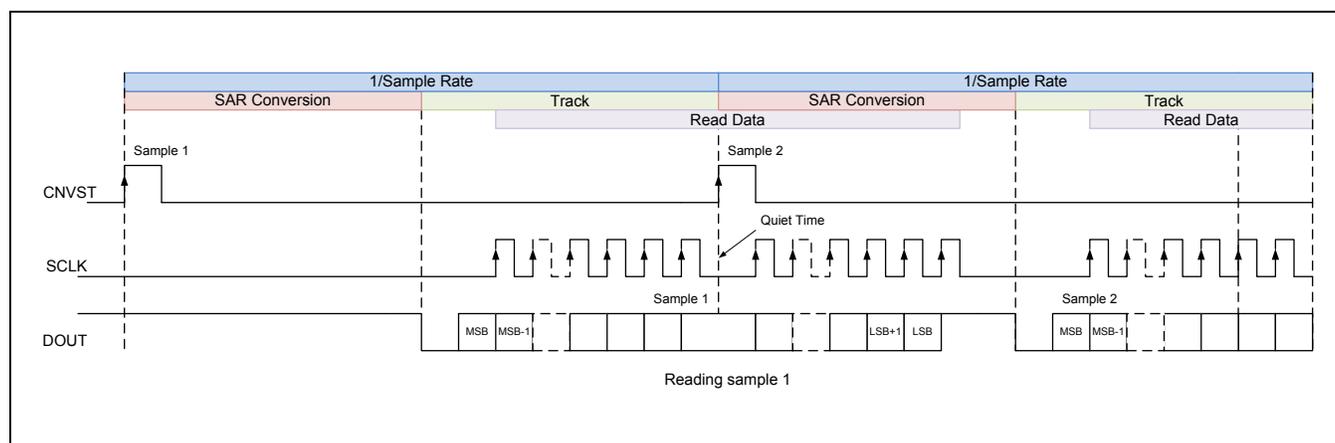


图7. 拆分读取模式

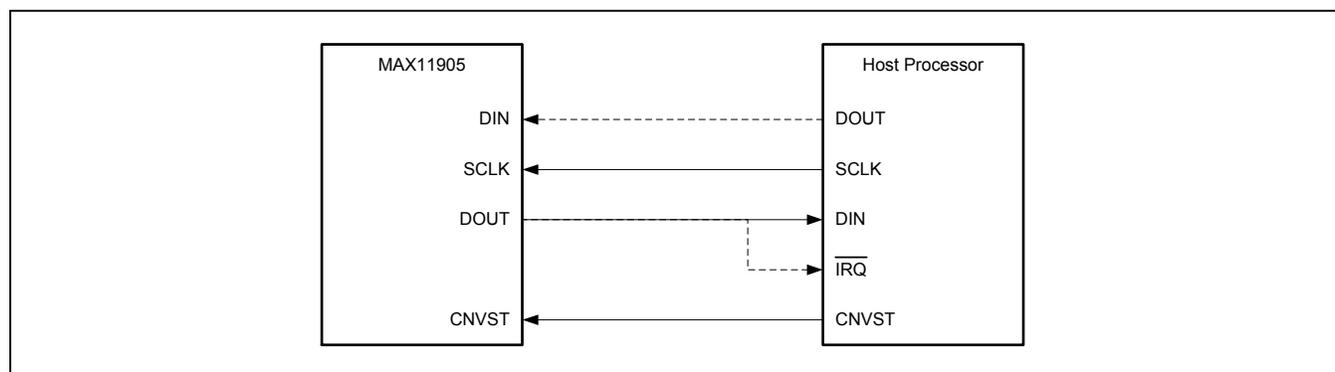


图8. SPI接口连接

20位、1.6Msps、低功耗、全差分SAR ADC

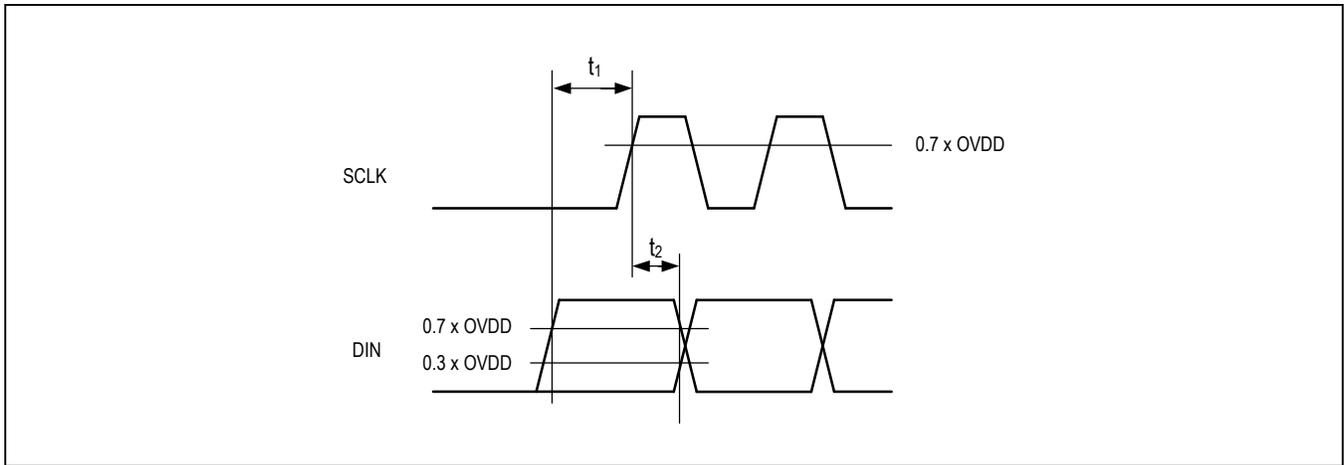


图9. 寄存器写操作的DIN时序

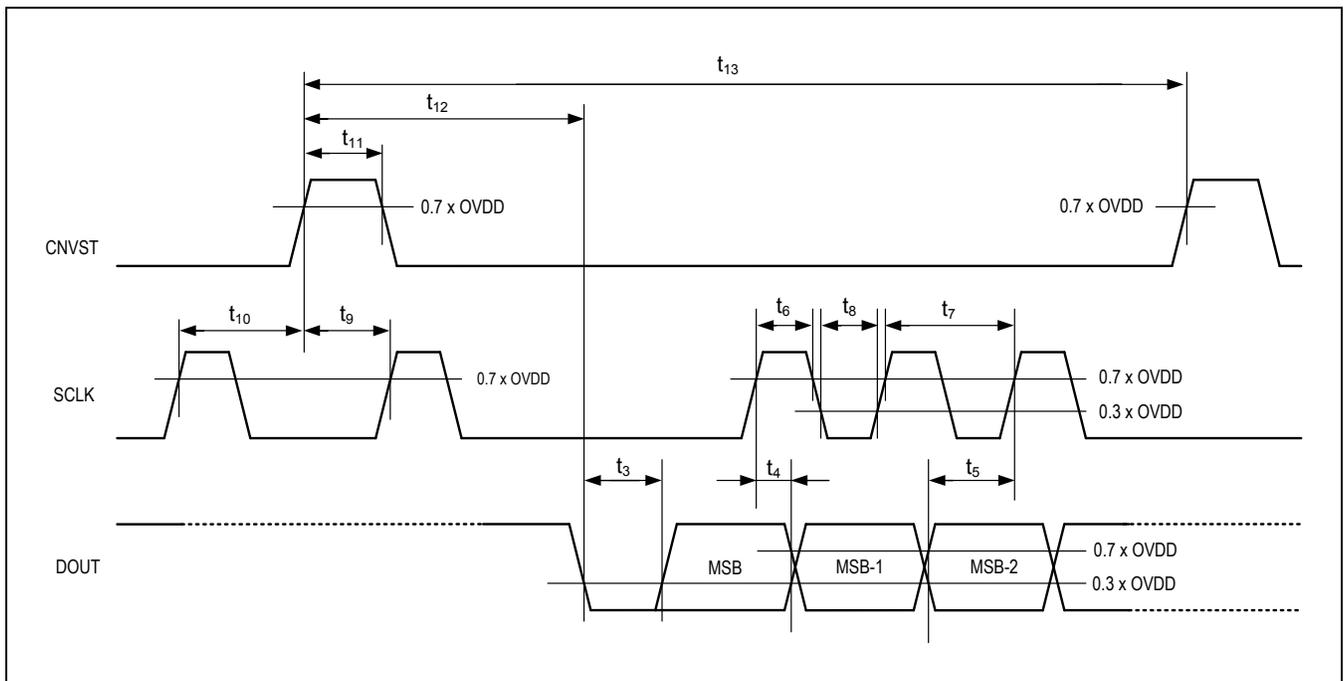


图10. 转换后数据输出读取的时序图

20位、1.6Msps、低功耗、全差分SAR ADC

寄存器写操作

所有SPI操作均以命令字开始，命令字结构如下所示。如果无起始位，即DIN为低电平，器件将输出转换结果，然后变为空闲状态(见F = 图5、6和7)。16位模式寄存器是唯一可写的寄存器。图11所示为工作模式寄存器的写操作波形。

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Start	0	Adr 3	Adr 2	Adr 1	Adr 0	R/W	0

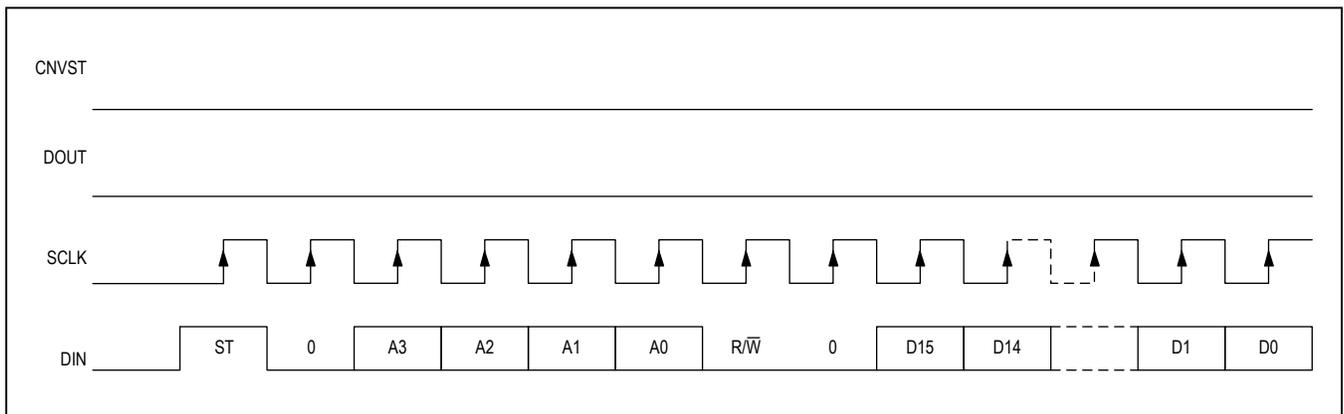


图11. 模式寄存器写操作

寄存器读操作

通过将R/W位置高，指定读操作。在第8个SCLK上升沿之后，MAX11905输出数据。图12所示为模式寄存器读操作的波形。

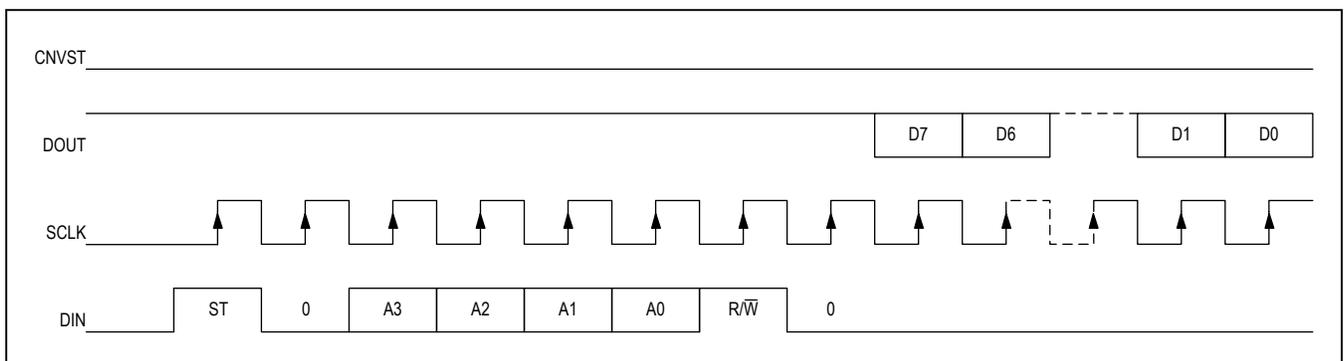


图12. 寄存器读操作

20位、1.6Msps、低功耗、全差分SAR ADC

寄存器映射

功能	地址	R/W位	数据宽度	数据
读或写模式寄存器	0001	1 or 0	16	模式寄存器
读取转换结果*	0010	1	20	转换结果
读取器件ID	0100	1	8	器件ID
保留, 不使用	All other	—	—	保留, 不使用

*转换结果也可按图5、6和7所示读取。

模式寄存器

复位状态为0x0000。也就是说, 如果REFIN引脚上存在有效的基准电压, 使能基准缓冲器。如果使用外部基准缓冲器, 将REFIN连接至低电平, 缓冲器将自动关断。

BIT 15	BIT 14	BIT 13	BIT 12	BIT 11	BIT 10	BIT 9	BIT 8	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Reset	—	—	—	—	—	DD2	DD1	DD0	—	—	PD REF1	POR pass	OTP busy	OB	PD REF2
复位:		逻辑高时复位器件。													
DD[2:0]:		设置DOUT的驱动强度。													
PD REF1:		置位时, 关断第一个基准缓冲器。													
POR pass:		为逻辑高时, 表示POR成功; 如果为逻辑低, 应触发RESET。													
OTP busy:		逻辑高时, 表示器件正在上电。													
OB:		为逻辑高时, 输出数据格式为偏移二进制格式; 逻辑低时, 格式为二进制补码。													
PD REF2:		置位时, 关断第二个基准缓冲器。													

DD[2:0]设置DOUT引脚上的驱动强度。较高的驱动强度用于DOUT上具有较大电容负载的系统。应选择能够工作的最低驱动强度, 以节省功率、提高性能。

驱动强度的范围为1至6, 驱动强度1最弱, 驱动强度6最高。表5所示为寄存器值D[2:0]和对应驱动强度之间的映射。

表5. DOUT驱动强度

DD[2:0]	DRIVER STRENGTH
000	4
001	5
010	6
011	Not Valid
100	1
101	2
110	3
111	Not Valid

20位、1.6Msps、低功耗、全差分SAR ADC

转换结果寄存器

20位只读寄存器可直接读取或通过读命令序列进行读取。

器件ID寄存器

该寄存器保存4位编码，用于识别器件版本。ID = 1001b。

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
—	—	—	—	ID3	ID2	ID1	ID0

典型应用电路

实际应用中的信号通常要求在被ADC数字化之前进行调理。以下简要介绍常见的模拟信号处理电路示例，用于对信号进行电平转换、增益、衰减和滤波。

单端单极性输入至差分单极性输出

图13中电路所示为单端、单极性信号与MAX11905的连接。该信号调理电路将0V至 V_{REF} 单端输入信号转换为全差分输出信号，信号峰-峰值为 $2 \times V_{REF}$ ，共模电压为 $(V_{REF}/2)$ 。在本例中，单端信号源驱动第一个放大器的高阻输入。该放大器驱动ADC的AIN+和二级放大器，峰-峰值为 V_{REF} ，共模输出电压为 $V_{REF}/2$ 。第二个放大器将输入信号反相并增加偏置，产生反相信号，峰-峰值为 V_{REF} ，共模输出电压为 $V_{REF}/2$ ，驱动ADC的AIN-输入。

单端双极性输入至差分单极性输出

MAX11905为差分输入ADC，支持差分输入信号，具有单极性共模模式。图14所示的信号调理电路将 $-2 \times V_{REF}$ 至 $+2 \times V_{REF}$ 单端双极性输入信号转换为全差分输出信号，峰-峰值为 $2 \times V_{REF}$ ，共模电压为 $V_{REF}/2$ 。

单端双极性输入信号驱动第一个放大器的反相输入。该放大器对输入信号反相并增加偏置。该放大器驱动ADC的AIN-和二级放大器，峰-峰值为 V_{REF} ，共模输出电压为 $V_{REF}/2$ 。第二个放大器也采用反相配置，驱动ADC的AIN+输入。该放大器增加偏移后产生信号，峰-峰值为 V_{REF} ，

共模输出电压为 $V_{REF}/2$ 。对信号源来说，输入阻抗取决于第一级反相放大器的输入电阻；必须根据信号源的输出源阻抗谨慎选择输入阻抗。

布局、接地和旁路

为获得最佳性能，使用大面积接地的PCB。确保数字和模拟信号线彼此保持隔离。请勿将模拟和数字线平行布置(尤其是时钟信号)，避免在ADC封装下方布置数字线。采用单个连续GND区域配置、数字信号一个方向、模拟信号在另一个方向，可实现最佳性能。将MAX11905的GND引脚连接至该接地区域。使电源的地返回线路阻抗尽可能小、引线尽可能短，以实现无噪声工作。

在AIN+与AIN-之间安装2nF C0G陶瓷电容，电容尽量靠近MAX11905放置；该电容可降低输入源电路的输入信号瞬态。

为获得最佳性能，利用X5R电介质、1210或更小外壳尺寸的16V、10 μ F贴片陶瓷电容，将REF输出连接至接地区域。确保全部旁路电容通过独立过孔直接连接至接地区域。

在每个芯片引脚利用10 μ F贴片陶瓷电容将AVDD、DVDD和OVDD旁路至接地区域，尽量靠近器件放置，使寄生电感降至最小。为了获得最佳性能，在MAX11905的模拟接口侧布置AVDD和DVDD电源区域，在器件的数字接口侧布置OVDD电源区域。图15所示为顶层布局示例。

20位、1.6MSPS、低功耗、全差分SAR ADC

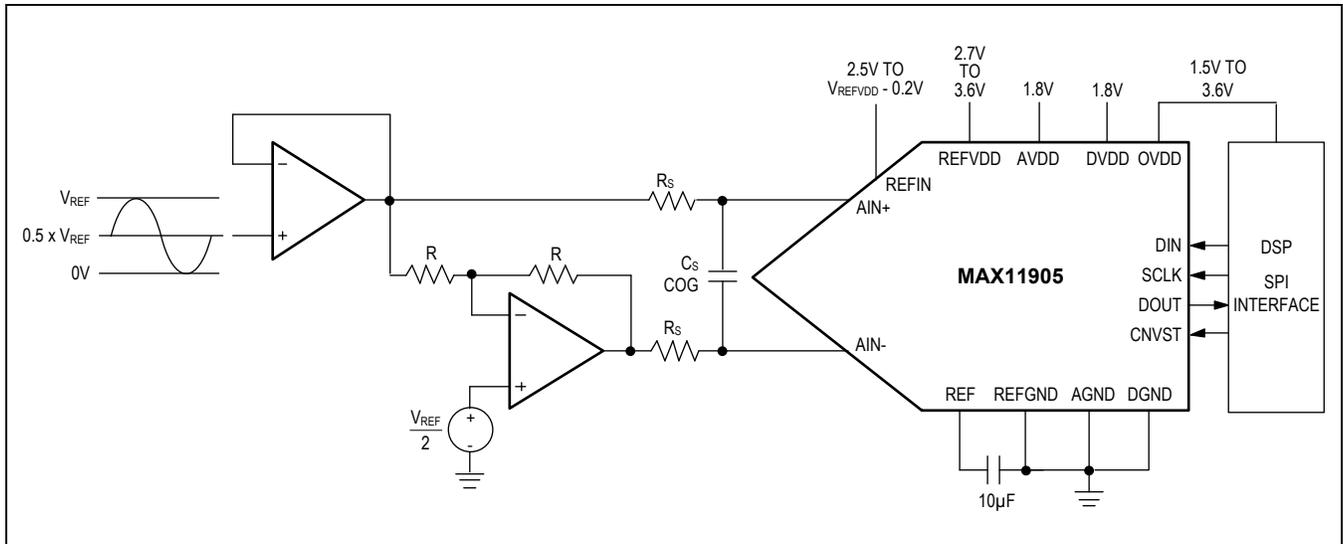


图13. 单极性、单端输入

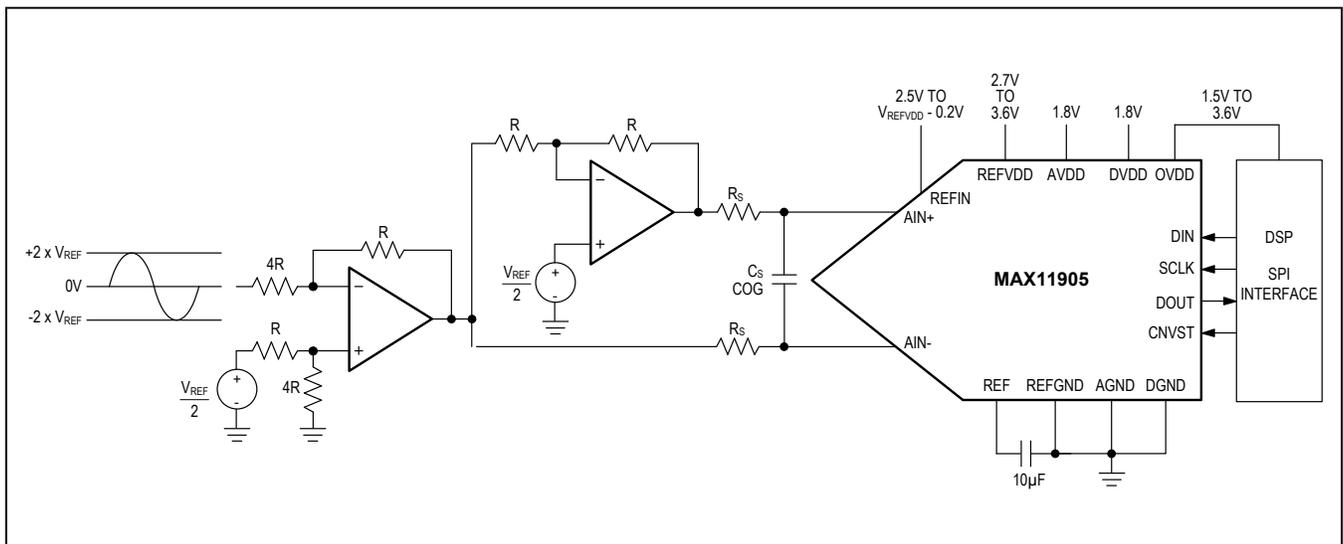


图14. 双极性、单端输入

MAX11905

20位、1.6Msps、低功耗、全差分SAR ADC

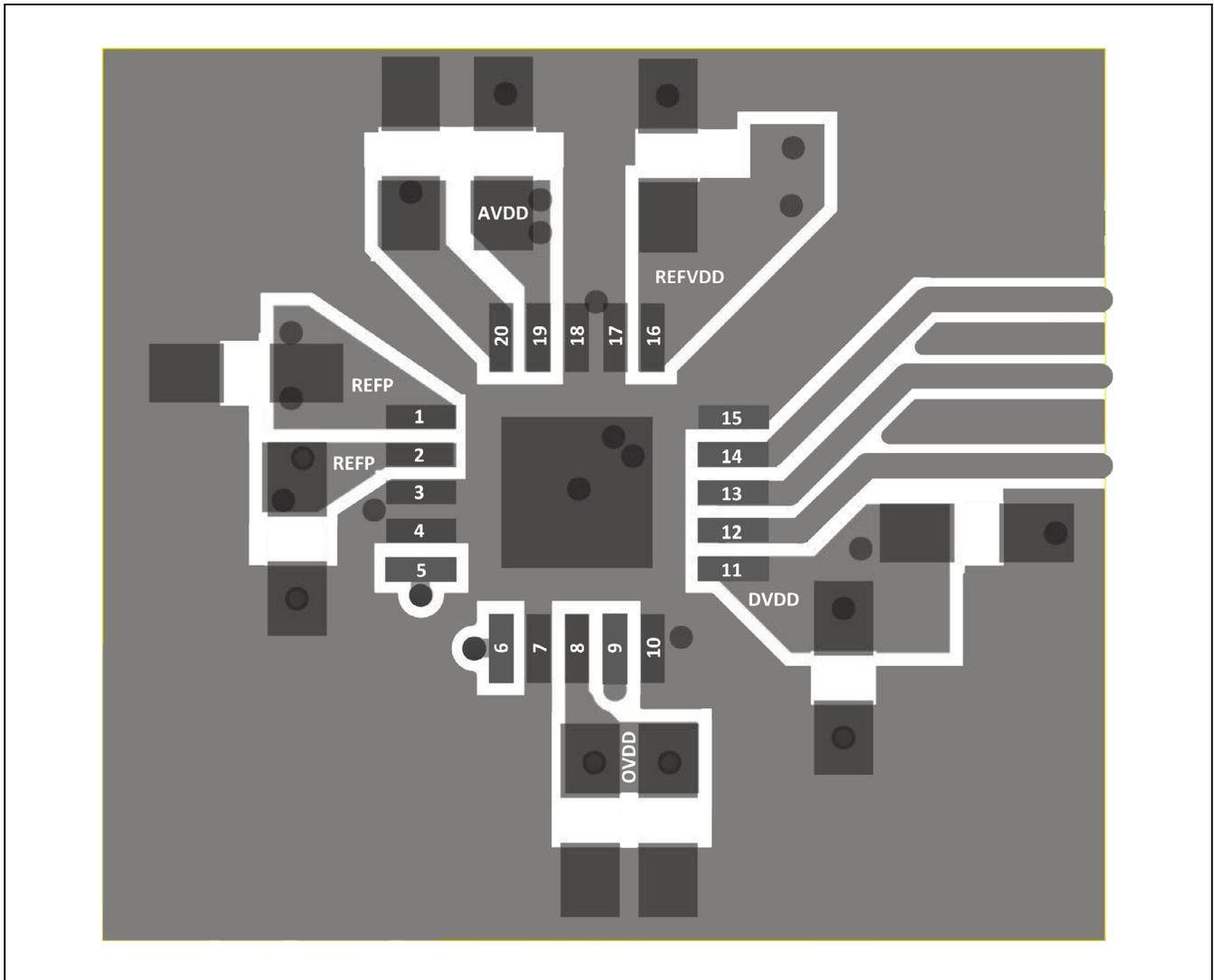


图15. 顶层布局示例

20位、1.6Msps、低功耗、全差分SAR ADC

定义

积分非线性

积分非线性(INL)是实际传递函数与理想传递函数直线的偏差。对于这些器件，这条直线是消除失调与增益误差后传递函数两个端点间的连线。

微分非线性

微分非线性(DNL)是实际台阶宽度与1个LSB的理想值之差。对于这些器件，每个数字输出码值的DNL都经过测量，并在*Electrical Characteristics*表中给出最大误差。小于±1 LSB的DNL误差保证不会产生失码。

失调误差

失调误差定义为实际输出和理想输出之间的偏差，以0V差分模拟输入电压测得。

增益误差

增益误差定义为实测输出范围与理想输出范围之差，以幅值接近满幅范围的输入信号测得。

信噪比

对于从数字采样完美重建的波形，信噪比(SNR)为满幅模拟输入功率与RMS量化误差(剩余误差)之比。理想情况下，理论上的最小模/数转换噪声仅包含量化误差，并直接由ADC的分辨率(N位)确定：

$$\text{SNR} = (6.02 \times N + 1.76)\text{dB}$$

实际上，除了量化噪声外还有其它噪声源：热噪声、基准噪声、时钟抖动等。SNR采用信号功率与噪声功率之比计算，噪声功率包括除基波、前五次谐波与直流失调以外的所有频谱成份。

信号与噪声+失真

信号与噪声+失真(SINAD)是基波输入频率的功率与所有其它ADC输出信号的功率之比：

$$\text{SINAD(dB)} = 10 \times \text{LOG} \left[\frac{\text{Signal}}{(\text{Noise} + \text{Distortion})} \right]$$

有效位数

有效位数(ENOB)表示一个ADC在特定输入频率和采样率下的总体精度。理想的ADC误差仅包括量化误差。输入范围等于ADC满量程范围时，由下式计算ENOB：

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02}$$

总谐波失真

总谐波失真(THD)是转换数据的前5次谐波包含的功率与基波功率之比，可以用下式表示：

$$\text{THD} = 10 \times \log \left[\frac{P_2^2 + P_3^2 + P_4^2 + P_5^2}{P_1^2} \right]$$

式中， P_1 为基波功率， P_2 至 P_5 为2次谐波至5次谐波的功率。

无杂散动态范围

无杂散动态范围(SFDR)是基波(信号成分最大值)功率与第二大频率成份的功率之比。

孔径延迟

孔径延迟(t_{AD})是从采样时钟沿至实际采样时刻之间的时间延迟。

孔径抖动

孔径抖动(t_{AJ})是采样之间的孔径延迟波动。

全功率带宽

将较大的-0.5dBFS模拟输入信号送入ADC，随着输入频率的升高数字转换结果将会下降，下降3dB时所对应的频点称为满功率输入带宽频率。

MAX11905

20位、1.6Msps、低功耗、全差分SAR ADC

选型指南

器件	位数	速率 (ksps)	全差分输入 (最大值) (V)	基准缓冲器	封装
MAX11900*	16	1000	±3.6	内部/外部	4mm x 4mm TQFN-20
MAX11901*	16	1600	±3.6	内部/外部	4mm x 4mm TQFN-20
MAX11902*	18	1000	±3.6	内部/外部	4mm x 4mm TQFN-20
MAX11903*	18	1600	±3.6	内部/外部	4mm x 4mm TQFN-20
MAX11904*	20	1000	±3.6	内部/外部	4mm x 4mm TQFN-20
MAX11905	20	1600	±3.6	内部/外部	4mm x 4mm TQFN-20

* 未来产品—供货状况请联系工厂。

订购信息

器件	温度范围	引脚-封装
MAX11905ETP+	-40°C至+85°C	20 TQFN-EP*

+表示无铅(Pb)/符合RoHS标准的封装。

*EP = 裸焊盘。

封装信息

如需最近的封装外形信息和焊盘布局(占位面积), 请查询www.maximintegrated.com/cn/design/packaging。请注意, 封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符, 但封装图只与封装有关, 与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
20 TQFN-EP	T2044+5	21-0139	90-0429

芯片信息

PROCESS: CMOS

MAX11905

20位、1.6Msps、低功耗、全差分SAR ADC

修订历史

修订号	修订日期	说明	修改页
0	2/14	最初版本。	—

Maxim北京办事处

免费电话: 800 810 0310

电话: 010-5226 4200

传真: 010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

29