

# MAX3421E

## SPI接口的USB外设/主机控制器

### 概述

MAX3421E USB外设/主机控制器包含了所有必要的数字逻辑和模拟电路，可用来实现符合USB 2.0规范的全速USB外设或全速/低速主机。内置的收发器具有 $\pm 15\text{kV}$ 的ESD保护，并提供可编程的USB连接和断开功能。内部串行接口引擎(SIE)处理底层USB协议的细节，例如差错检验和总线重试。MAX3421E利用一组寄存器展开工作，通过一个最高工作速率达26MHz的SPI™接口可以访问这些寄存器。利用简单的3线或4线SPI接口，该器件可以给任何SPI主控制器(微处理器、ASIC、DSP等)增加USB外设或主机功能。

当作为USB主机工作时，MAX3421E使大量的USB外设能够为任何微处理器、ASIC或DSP所用。以点到点方案为例，可以为嵌入式系统增加USB键盘或鼠标接口，操作MAX3421E的固件可以非常简单，因为只需支持单个目标设备。

由于内部集成了电平转换器，SPI接口可工作于1.4V至3.6V的系统电压。USB定时操作在MAX3421E内部完成，完成后提供中断，这样无需占用SPI主控制器的定时器来满足USB定时要求。MAX3421E还提供八路通用输入和输出，因此，当微处理器采用I/O引脚实现SPI接口时，总的I/O口线不减反增。

MAX3421E工作于-40°C至+85°C扩展级温度范围，备有32引脚TQFP封装(5mm x 5mm)和32引脚TQFN封装(5mm x 5mm)。

### 特性

- ◆ 独立于微处理器的USB方案
- ◆ 软件兼容于SPI接口的USB外设控制器MAX3420E
- ◆ 符合USB 2.0规范(全速12Mbps外设，全/低速12Mbps/1.5Mbps主机)
- ◆ 集成USB收发器
- ◆ 固件/硬件控制内部D+上拉电阻(外设模式)和D+/D-下拉电阻(主机模式)
- ◆ 可编程3线或4线26MHz SPI接口
- ◆ 电平转换器和V<sub>L</sub>输入允许使用独立的系统接口电压
- ◆ 在自供电外设应用中由内部比较器检测V<sub>BUS</sub>
- ◆ D+、D-和VB<sub>COMP</sub>上提供ESD保护
- ◆ 中断输出引脚(电平或可编程边沿触发模式)实现查询或中断驱动的SPI接口
- ◆ 八个通用输入，八个通用输出
- ◆ 用于通用输入引脚的中断信号，可编程边沿极性
- ◆ 智能USB SIE
- ◆ 自动处理USB流量控制和双缓存
- ◆ 处理底层USB信号细节
- ◆ 自带定时器满足USB定时要求，无需SPI主控制器参与定时事件
- ◆ 节省空间的无铅TQFP和TQFN封装(5mm x 5mm)

### 应用

嵌入式系统	台式路由器
医疗设备	PLC
微处理器和DSP	机顶盒
用户USB设备	PDA
相机	MP3播放器
	仪表

### 订购信息

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX3421EEHJ+	-40°C to +85°C	32 TQFP	H32-1
MAX3421EETJ+	-40°C to +85°C	32 TQFN-EP*	T3255-4

\*EP = 裸焊盘，连接至地。

+表示无铅封装。

SPI是Motorola, Inc.的商标。

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

# MAX3421E

## SPI接口的USB外设/主机控制器

### 主机工作特性

- ◆ 在原来的MAX3420E寄存器组中增加十一个寄存器(R21–R31)来控制主机工作模式
- ◆ 主控制器工作于全速或低速模式
- ◆ FIFO
  - SNDFIFO: 发送FIFO, 双缓冲、64字节
  - RCVFIFO: 接收FIFO, 双缓冲、64字节
- ◆ 处理DATA0/DATA1触发的产生和检测
- ◆ 处理全部传送过程的错误校验
- ◆ 以1ms间隔自动产生SOF (全速)/EOP (低速)
- ◆ 利用帧起始包(SOF/EOP)自动同步主机传送
- ◆ 可报告主机请求的结果
- ◆ 支持USB集线器
- ◆ 支持ISOCHRONOUS (同步)传送
- ◆ 简单编程
  - SIE自动产生周期性SOF (全速)或EOP (低速)帧标记
  - SPI主控制器装载数据, 设置功能单元地址、端点和传送类型, 并启动传送
  - MAX3421E以中断和代码报告外设的响应
  - 可在任意时间加载传送请求
  - SIE与帧标记保持同步
  - 对于多包传送, SIE自动维护并检查数据触发

### 外设工作特性

- ◆ 内部端点FIFO
  - EP0: 控制(CONTROL) (64字节)
  - EP1: 输出(OUT), BULK或INTERRUPT, 2 x 64字节(双缓冲)
  - EP2: 输入(IN), BULK或INTERRUPT, 2 x 64字节(双缓冲)
  - EP3: 输入(IN), BULK或INTERRUPT (64字节)
- ◆ 双缓冲数据端点允许SPI主控制器的数据传送与USB传送同时进行, 提高了吞吐能力
- ◆ 设置(SETUP)数据有自己的8字节FIFO, 简化了固件

### 典型应用电路

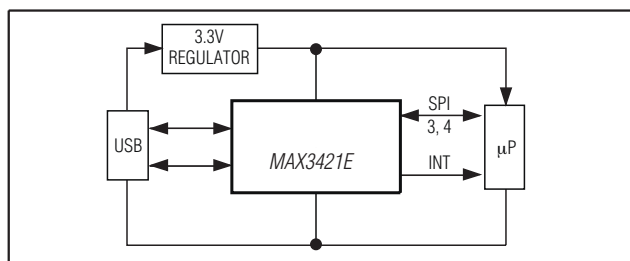


图1. MAX3421E通过3或4个接口引脚连至任何微处理器

MAX3421E通过3或4个接口引脚连接至任何微处理器(μP) (图1)。对于不含硬件SPI接口的简单微处理器, 可通过通用I/O引脚逐位操作的方式进行通信。MAX3421E上的八个GPIN (通用输入)引脚和八个GPOUT (通用输出)引脚替代μP被通信接口占用的口线后仍有富余。虽然MAX3421E的SPI接口具有独立的数据输入(MOSI, 主出从入)和数据输出(MISO, 主入从出)引脚, 由于SPI接口的MOSI也可配置为双向数据线, 可以省下一个接口引脚。即所谓的半双工模式。

# MAX3421E

## SPI接口的USB外设/主机控制器

### 典型应用电路(续)

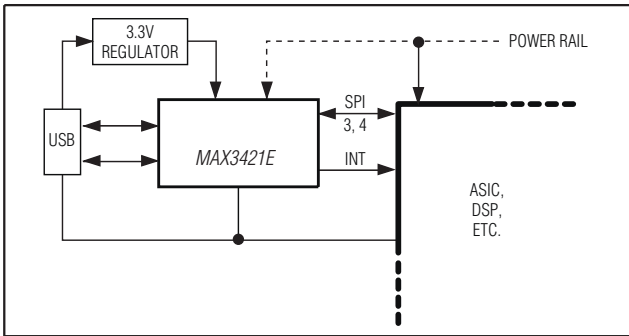


图2. MAX3421E连至大型芯片

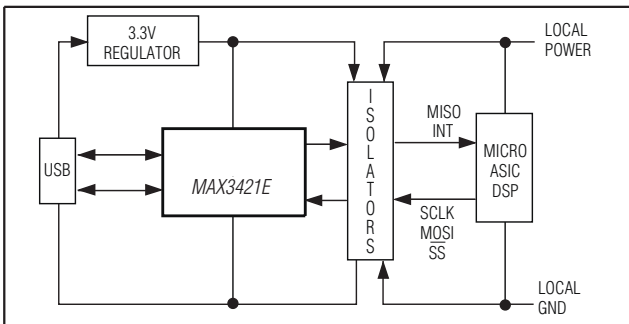


图3. 利用MAX3421E实现USB的光电隔离

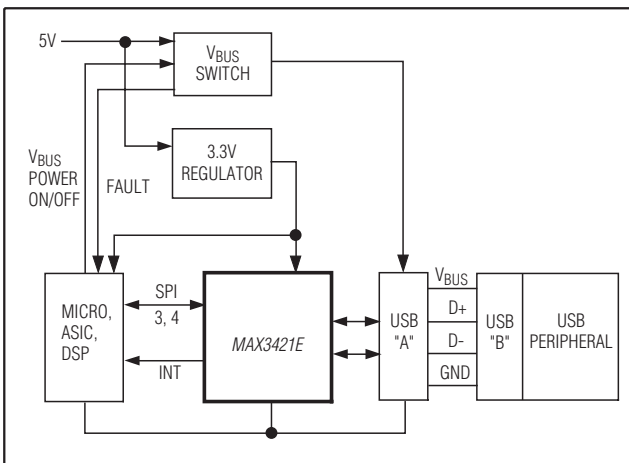


图4. MAX3421E用于嵌入式主机应用

MAX3421E的两个特性使其非常易于和ASIC和DSP这样的大规模、高速芯片接口(见图2)。首先, SPI接口的速度高达26MHz; 其次, 单独的V<sub>L</sub>引脚和内部电平转换器使其系统接口能够工作在比3.3V的V<sub>CC</sub>更低的电压。

MAX3421E为USB接口的电气隔离提供了理想方案(图3)。USB具有流量控制特性, 在微处理器完成SPI端口的数据传输操作前, MAX3421E会自动以NAK握手包应答主机请求。这就意味着SPI接口可工作在最高至26MHz的任何频率下。因此, 设计者可自由选择接口的工作频率, 并根据成本和性能要求选择最优的光电耦合器。

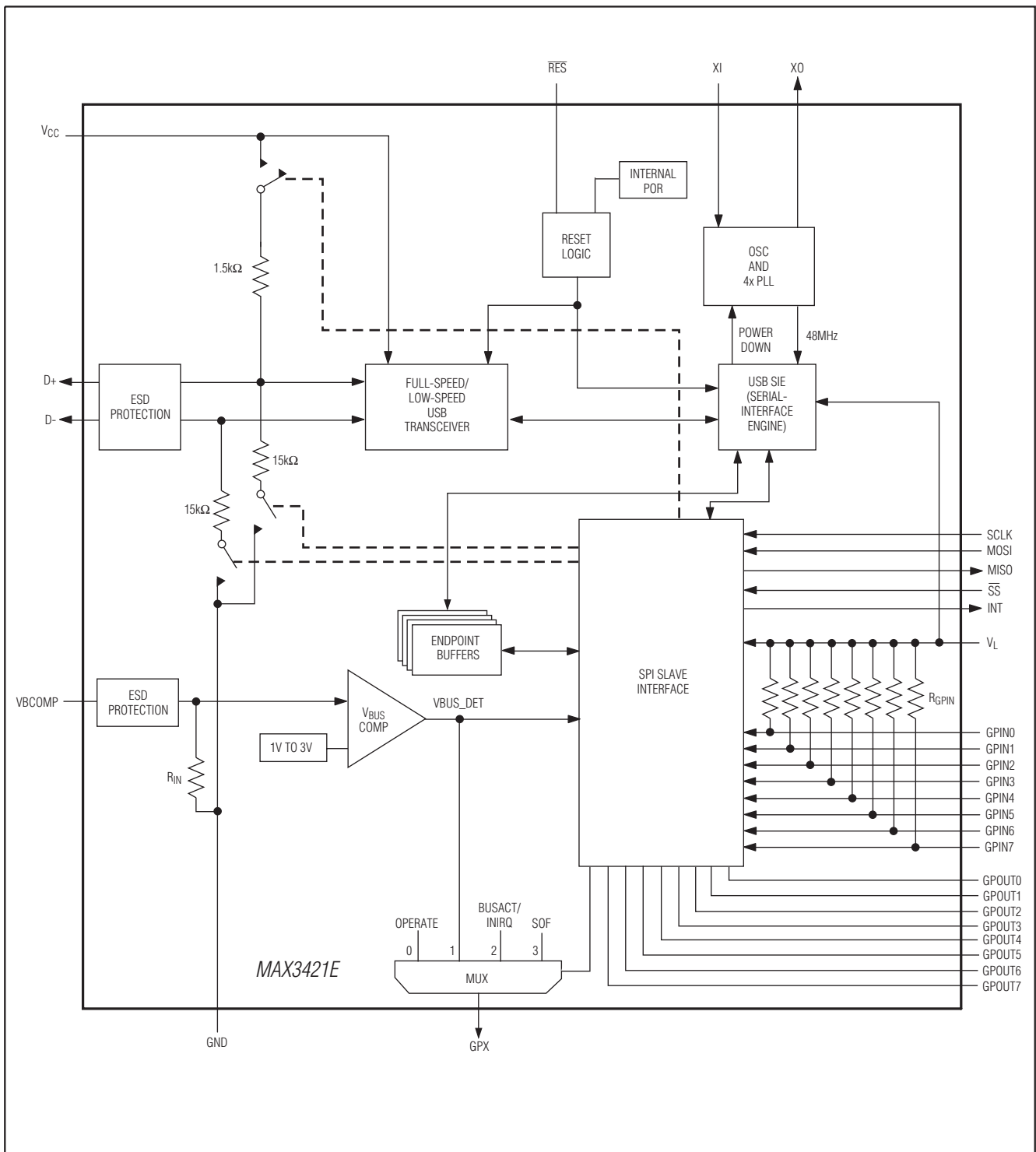
图4给出了MAX3421E工作在USB主机模式下的系统框图。USB主机供应5V电源给USB “A” 型连接器的V<sub>BUS</sub>引脚, 为USB外设供电。为外设供电的系统须在供电引脚上采用保护电路, 以免外设过流给系统造成损害。V<sub>BUS</sub>开关(例如MAX4789)可提供功率控制和另外两项功能: 限制输送给外设的电流(例如200mA), 并向SPI主控制器报告故障(过流)。Maxim提供多种不同限制电流和功能的V<sub>BUS</sub>开关。详情请访问Maxim网站。

3.3V调节器(例如MAX6349TL)为MAX3421E或者系统控制器提供电源。如果系统控制器工作在更低电压下, MAX3421E的SPI和I/O接口也可工作在更低电压下, 只需将系统电压(例如2.5V或1.8V)连接至MAX3421E的V<sub>L</sub>引脚。

# MAX3421E

## SPI接口的USB外设/主机控制器

功能框图



## SPI接口的USB外设/主机控制器

## 引脚说明

引脚	名称	输入/输出	功能
1	GPIN7	输入	通用输入。GPIN7–GPIN0通过内部上拉电阻连接至 $V_L$ 。GPIN7–GPIN0的逻辑电平参照于 $V_L$ 电压。
2	$V_L$	输入	电平转换器电压输入。连接 $V_L$ 到1.4V至3.6V的系统逻辑电源。用一只0.1 $\mu$ F电容，尽可能靠近 $V_L$ 引脚旁路 $V_L$ 到地。
3, 19	GND	输入	地。
4	GPOUT0	输出	通用推挽式输出。GPOUT7–GPOUT0的逻辑电平参照于 $V_L$ 电压。
5	GPOUT1		
6	GPOUT2		
7	GPOUT3		
8	GPOUT4		
9	GPOUT5		
10	GPOUT6		
11	GPOUT7		
12	$\overline{RES}$	输入	器件复位。驱动 $\overline{RES}$ 为低可清除PINCTL (R17)、USBCTL (R15)和SPI逻辑之外的所有内部寄存器。逻辑电平参照于 $V_L$ 电压。(关于MAX3421E的复位特性详见器件复位部分。) 注：在没有 $V_{CC}$ 或 $V_L$ 时，MAX3421E由内部复位，此时不能访问寄存器文件。
13	SCLK	输入	SPI串行时钟输入。外部SPI主控制器提供SCLK，频率最高26MHz。逻辑电平参照于 $V_L$ 。数据在SCLK的上升沿输入SPI从器件接口。在SCLK的下降沿，SPI从器件接口输出数据。
14	$\overline{SS}$	输入	SPI从器件选择输入。 $\overline{SS}$ 逻辑电平参照于 $V_L$ 。当 $\overline{SS}$ 被驱动为高时，SPI从器件接口为非选定状态，MISO引脚为高阻态，SCLK跳变沿没有作用。一次SPI传送始于由高到低的 $\overline{SS}$ 跳变，终止于由低到高的 $\overline{SS}$ 跳变。
15	MISO	输出	SPI串行数据输出(主入从出)。MISO为推挽式输出。MISO在半双工模式或 $\overline{SS} = 1$ 时为三态。MISO逻辑电平参照于 $V_L$ 。
16	MOSI	输入或输入/输出	SPI串行数据输入(主出从入)。MOSI逻辑电平参照于 $V_L$ 。MOSI也可配置为双向MOSI/MISO输入和输出。(参见图15。)
17	GPX	输出	通用推挽式复用输出。通过写寄存器PINCTL (R17)中的GPXB和GPXA控制位以及寄存器MODE (R27)中的SEPIRQ位，可选择出现在GPX引脚上的MAX3421E内部信号。GPX可用来输出五种信号之一(参见GPX部分)。
18	INT	输出	中断输出。边沿模式下INT逻辑电平参照于 $V_L$ ，为极性可编程的推挽式输出。电平模式下，INT为低有效开漏输出。置位寄存器CPUCTL (R16)中的IE位可使能INT。
20	D-	输入/输出	USB之D-信号。通过一只33 $\Omega \pm 1\%$ 串联电阻连接D-至USB连接器。器件内部接有可切换的15k $\Omega$ D-下拉电阻。

# MAX3421E

## SPI接口的USB外设/主机控制器

### 引脚说明(续)

引脚	名称	输入/ 输出	功能
21	D+	输入/ 输出	USB之D+信号。通过一只 $33\Omega \pm 1\%$ 串联电阻连接D+至USB连接器。器件内部接有可切换的 $1.5k\Omega$ D+上拉电阻和 $15k\Omega$ D+下拉电阻。
22	VBCOMP	输入	$V_{BUS}$ 比较器输入。VBCOMP连接至一个内部电压比较器,以便于SPI主控制器检查(通过中断或寄存器位) $V_{BUS}$ 的加电或掉电状态。用一只 $1.0\mu F$ 陶瓷电容旁路VBCOMP到地。VBCOMP被 $R_{IN}$ 下拉至地(参见 <i>Electrical Characteristics</i> )。
23	VCC	输入	USB收发器和内核逻辑电源输入。连接VCC至3.3V正电源。用一只 $1.0\mu F$ 陶瓷电容尽量靠近VCC引脚旁路VCC到地。
24	XI	输入	晶振输入。连接XI到并联谐振频率为 $12MHz \pm 0.25\%$ 的晶体的一端和一只连接至GND的负载电容。也可用一个参照于VCC的外部时钟驱动XI。
25	XO	输出	晶振输出。连接XO到并联谐振频率为 $12MHz \pm 0.25\%$ 的晶体的另一端和一只连接至GND的负载电容。当XI由外部源驱动时浮空XO。
26	GPIN0	输入	通用输入。GPIN7–GPIN0通过内部上拉电阻连接至 $V_L$ 。GPIN7–GPIN0的逻辑电平参照于 $V_L$ 电压。
27	GPIN1		
28	GPIN2		
29	GPIN3		
30	GPIN4		
31	GPIN5		
32	GPIN6		
EP	GND	输入	裸焊盘,连接至地。连接EP到GND或浮空。EP位于TQFN封装的底部。TQFP封装没有裸焊盘。

## SPI接口的USB外设/主机控制器

## 寄存器说明

SPI主控制器通过读写MAX3421E内部的26个寄存器(外设模式, 见表1)或23个寄存器(主机模式, 见表2)控制其工作。置位MODE寄存器(R27)中的HOST位可配置MAX3421E为主机工作模式。当作为USB外设使用时, MAX3421E的寄存器兼容于MAX3420E, 附加功能列于表1下面的注释1b中。关于这些寄存器内容的完整说明, 参见Maxim网站上的应用笔记3785: *MAX3421E编程指南*。

一次寄存器访问包含两个阶段, 首先是SPI主控制器写SPI命令字节, 紧接着就是对所寻址寄存器的读或写操作。所有SPI传送都是MSB(最高有效位)在先。命令字节包括寄存器地址、一个方向位(读 = 0, 写 = 1)和ACKSTAT位(图5)。SPI主控制器在命令字节的Reg4至Reg0位写入寄存器编号对应的二进制码, 即可寻址对应的MAX3421E内部寄存器。例如, 要访问IOPINS1寄存器(R20), Reg4到Reg0可设置如下: Reg4 = 1, Reg3 = 0, Reg2 = 1, Reg1 = 0, Reg0 = 0。DIR(方向)位决定数据传送的方向。DIR = 1意味着数据将被写入寄存器, DIR = 0意味着数据将被读出寄存器。ACKSTAT位设定EPSTALLS寄存器(R9)中ACKSTAT位的状态(仅用于外设模式)。SPI主控制器将该位置位表明它已完成一次CONTROL传送。由于该位会被频繁用到, 将其放在SPI命令字节中可提高固件效率。主机模式下ACKSTAT位被忽略。在全双工SPI模式中, 伴随着命令字节的送入, MAX3421E同时送出八个USB状态位(图6、7)。在半双工模式中, 可按照访问一般寄存器位的方式访问这些状态位。

前五个寄存器(R0–R4)用来访问外设和主机模式下的FIFO。重复访问这些寄存器时内部寄存器地址被冻结, 这样, 可以在同一个SPI访问周期中(SS保持为低)通过FIFO写入或读出多个字节。访问寄存器R5–R19时, 在一次SPI访问周期中随着每个字节的传送, 内部寄存器地址可自动递增。访问R20时, 地址冻结于该寄存器, 而对于R21–R31的访问也会使内部地址递增, 重复访问R31时地址冻结于R31。

表1和表2中的寄存器映像给出了外设和主机模式下适用的寄存器位。不适用于某种模式的寄存器位显示为零。这些寄存器位读出时为零, 不应将它们写为逻辑1。

## 外设模式寄存器映像

当工作于USB外设模式时(MAX3421E的HOST位被置0(默认)), MAX3421E保持与MAX3420E寄存器的兼容性。为MAX3420E写的固件无需调整就可运行于MAX3421E。为了支持MAX3421E的新特性, 寄存器组中包含了一些新的位, 在表1底部的注释1b中有所描述。

## 主机模式寄存器映像

正如表2所示, 在主机模式下(HOST = 1), 有些MAX3420E寄存器被重新命名(例如R1变为RCVFIFO), 有些没有使用(显示为零), 而有些仍然适用于主机模式。此外, 另有11个寄存器(R21–R31)增加了USB主机功能。

b7	b6	b5	b4	b3	b2	b1	b0
Reg4	Reg3	Reg2	Reg1	Reg0	0	DIR	ACKSTAT*

\*ACKSTAT位在主机模式下被忽略。

图5. SPI命令字节

STATUS BITS (PERIPHERAL MODE)							
b7	b6	b5	b4	b3	b2	b1	b0
SUSPIRQ	URESIRQ	SUDAVIRQ	IN3BAVIRQ	IN2BAVIRQ	OUT1DAVIRQ	OUT0DAVIRQ	IN0BAVIRQ

图6. 外设模式下, USB状态位随着每次传送的首个字节送出(全双工模式)

STATUS BITS (HOST MODE)							
b7	b6	b5	b4	b3	b2	b1	b0
HXFRDNIRQ	FRAMEIRQ	CONNIRQ	SUSDNIRQ	SNDBAVIRQ	RCVDAVIRQ	RSMREQIRQ	BUSEVENTIRQ

图7. 主机模式下, USB状态位随着每次传送的首个字节送出(全双工模式)



# MAX3421E

## SPI接口的USB外设/主机控制器

表1. 外设模式下(HOST = 0)的MAX3421E寄存器映像(注1a、1b)

REG	NAME	b7	b6	b5	b4	b3	b2	b1	b0	acc
R0	EP0FIFO	b7	b6	b5	b4	b3	b2	b1	b0	RSC
R1	EP1OUTFIFO	b7	b6	b5	b4	b3	b2	b1	b0	RSC
R2	EP2INFIFO	b7	b6	b5	b4	b3	b2	b1	b0	RSC
R3	EP3INFIFO	b7	b6	b5	b4	b3	b2	b1	b0	RSC
R4	SUDFIFO	b7	b6	b5	b4	b3	b2	b1	b0	RSC
R5	EP0BC	0	b6	b5	b4	b3	b2	b1	b0	RSC
R6	EP1OUTBC	0	b6	b5	b4	b3	b2	b1	b0	RSC
R7	EP2INBC	0	b6	b5	b4	b3	b2	b1	b0	RSC
R8	EP3INBC	0	b6	b5	b4	b3	b2	b1	b0	RSC
R9	EPSTALLS	0	ACKSTAT	STLSTAT	STLEP3IN	STLEP2IN	STLEP1OUT	STLEP0OUT	STLEP0IN	RSC
R10	CLRTOGS	EP3DISAB	EP2DISAB	EP1DISAB	CTGEP3IN	CTGEP2IN	CTGEP1OUT	0	0	RSC
R11	EPIRQ	0	0	SUDAVIRQ	IN3BAVIRQ	IN2BAVIRQ	OUT1DAVIRQ	OUT0DAVIRQ	IN0BAVIRQ	RC
R12	EPIEN	0	0	SUDAVIE	IN3BAVIE	IN2BAVIE	OUT1DAVIE	OUT0DAVIE	IN0BAVIE	RSC
R13	USBIRQ	URES DNIRQ	VBUSIRQ	NOVBUSIRQ	SUSPIRQ	URESIRQ	BUSACTIRQ	RWUDNIRQ	OSCOKIRQ	RC
R14	USBIEN	URES DNIE	VBUSIE	NOVBUSIE	SUSPIE	URESIE	BUSACTIE	RWUDNIE	OSCOKIE	RSC
R15	USBCTL	HOSCSTEN	VBGATE	CHIPRES	PWRDOWN	CONNECT	SIGRWU	0	0	RSC
R16	CPUCTL	PULSEWID1	PULSEWID0	0	0	0	0	0	IE	RSC
R17	PINCTL	EP3INAK	EP2INAK	EP0INAK	FDUPSPI	INTLEVEL	POSINT	GPXB	GPXA	RSC
R18	REVISION	0	0	0	1	0	0	1	0	R
R19	FNADDR	0	b6	b5	b4	b3	b2	b1	b0	R
R20	IOPINS1	GPIN3	GPIN2	GPIN1	GPIN0	GPOUT3	GPOUT2	GPOUT1	GPOUT0	RSC
R21	IOPINS2	GPIN7	GPIN6	GPIN5	GPIN4	GPOUT7	GPOUT6	GPOUT5	GPOUT4	RSC
R22	GPINIRQ	GPINIRQ7	GPINIRQ6	GPINIRQ5	GPINIRQ4	GPINIRQ3	GPINIRQ2	GPINIRQ1	GPINIRQ0	RSC
R23	GPINIEN	GPINIEN7	GPINIEN6	GPINIEN5	GPINIEN4	GPINIEN3	GPINIEN2	GPINIEN1	GPINIEN0	RSC
R24	GPINPOL	GPINPOL7	GPINPOL6	GPINPOL5	GPINPOL4	GPINPOL3	GPINPOL2	GPINPOL1	GPINPOL0	RSC
R25	—	0	0	0	0	0	0	0	0	—
R26	—	0	0	0	0	0	0	0	0	—
R27	MODE	0	0	0	SEPIRQ	0	0	0	HOST = 0	RSC
R28	—	0	0	0	0	0	0	0	0	—
R29	—	0	0	0	0	0	0	0	0	—
R30	—	0	0	0	0	0	0	0	0	—
R31	—	0	0	0	0	0	0	0	0	—

注1a: acc (访问)列表示SPI主控制器访问寄存器的方式。  
R = 读; RC = 读或清除; RSC = 读、置位或清除。  
对R (只读)寄存器写不会有任何作用。  
对RC位(读或清除)写1将清除该位。  
对RC位写零不会有任何作用。



# MAX3421E

## SPI接口的USB外设/主机控制器

表1. 外设模式下(HOST = 0)的MAX3421E寄存器映像(注1a、1b) (续)

注1b: 外设模式下, MAX3421E除了下列增强功能外, 执行与MAX3420E相同的功能:

- 1) R16新增PULSEWID0和PULSEWID1位来控制边沿中断模式下的INT脉冲宽度(见图12)。MAX3420E中这些位默认设置为10.6 $\mu$ s。
- 2) R21新增四个GPIO位。
- 3) R22和R23添加通用输入引脚至中断系统。R24控制边沿极性。
- 4) R27控制外设/主机模式和SEPIRQ位。
- 5) 当位[GPXB:GPXA] = [1:0]且位SEPIRQ = 1 (R27第4位)时, GPX输出的BUSACT信号被替换为第二个IRQ信号, 专用于GPIN引脚产生中断。

表2. 主机模式下(HOST = 1)的MAX3421E寄存器映像(注2)

REG	NAME	b7	b6	b5	b4	b3	b2	b1	b0	acc
R0	—	0	0	0	0	0	0	0	0	—
R1	<b>RCVFIFO</b>	b7	b6	b5	b4	b3	b2	b1	b0	RSC
R2	<b>SNDFIFO</b>	b7	b6	b5	b4	b3	b2	b1	b0	RSC
R3	—	0	0	0	0	0	0	0	0	—
R4	<b>SUDFIFO</b>	b7	b6	b5	b4	b3	b2	b1	b0	RSC
R5	—	0	0	0	0	0	0	0	0	—
R6	<b>RCVBC</b>	0	BC6	BC5	BC4	BC3	BC2	BC1	BC0	RSC
R7	<b>SNDBC</b>	0	BC6	BC5	BC4	BC3	BC2	BC1	BC0	RSC
R8	—	0	0	0	0	0	0	0	0	—
R9	—	0	0	0	0	0	0	0	0	—
R10	—	0	0	0	0	0	0	0	0	—
R11	—	0	0	0	0	0	0	0	0	—
R12	—	0	0	0	0	0	0	0	0	—
R13	<b>USBIRQ</b>	0	VBUSIRQ	NOVBUSIRQ	0	0	0	0	OSCOKIRQ	RC
R14	<b>USBIEN</b>	0	VBUSIE	NOVBUSIE	0	0	0	0	OSCOKIE	RSC
R15	<b>USBCTL</b>	0	0	CHIPRES	PWRDOWN	0	0	0	0	RSC
R16	<b>CPUCTL</b>	PULSEWID1	PULSEWID0	0	0	0	0	0	IE	RSC
R17	<b>PINCTL</b>	EP3INAK	EP2INAK	EP0INAK	FDUPSPI	INTLEVEL	POSINT	GPXB	GPXA	RSC
R18	<b>REVISION</b>	0	0	0	1	0	0	1	0	R
R19	—	0	0	0	0	0	0	0	0	—
R20	<b>IOPINS1</b>	GPIN3	GPIN2	GPIN1	GPIN0	GPOUT3	GPOUT2	GPOUT1	GPOUT0	RSC
R21	<b>IOPINS2</b>	GPIN7	GPIN6	GPIN5	GPIN4	GPOUT7	GPOUT6	GPOUT5	GPOUT4	RSC
R22	<b>GPINIRQ</b>	GPINIRQ7	GPINIRQ6	GPINIRQ5	GPINIRQ4	GPINIRQ3	GPINIRQ2	GPINIRQ1	GPINIRQ0	RC
R23	<b>GPINIEN</b>	GPINIEN7	GPINIEN6	GPINIEN5	GPINIEN4	GPINIEN3	GPINIEN2	GPINIEN1	GPINIEN0	RSC
R24	<b>GPINPOL</b>	GPINPOL7	GPINPOL6	GPINPOL5	GPINPOL4	GPINPOL3	GPINPOL2	GPINPOL1	GPINPOL0	RSC
R25	<b>HIRQ</b>	HXFRDNIRQ	FRAMEIRQ	CONNIRQ	SUSDNIQR	SNDBAVIRQ	RCVDVAVIRQ	RSMREQIRQ	BUSEVENTIRQ	RC
R26	<b>HIEN</b>	HXFRDNIE	FRAMEIE	CONNIE	SUSDNIE	SNDBAVIE	RCVDVAVIE	RSMREQIE	BUSEVENTIE	RSC
R27	<b>MODE</b>	DPPULLDN	DMPULLDN	DELAYISO	SEPIRQ	SOFKAENAB	HUBPRE	SPEED	HOST = 1	RSC
R28	<b>PERADDR</b>	0	b6	b5	b4	b3	b2	b1	b0	RSC
R29	<b>HCTL</b>	SNDTOG1	SNDTOG0	RCVTOG1	RCVTOG0	SIGRSM	BUSSAMPLE	FRMRST	BUSRST	LS
R30	<b>HXFR</b>	HS	ISO	OUTNIN	SETUP	EP3	EP2	EP1	EP0	LS
R31	<b>HRSL</b>	JSTATUS	KSTATUS	SNDTOGRD	RCVTOGRD	HRSLT3	HRSLT2	HRSLT1	HRSLT0	R

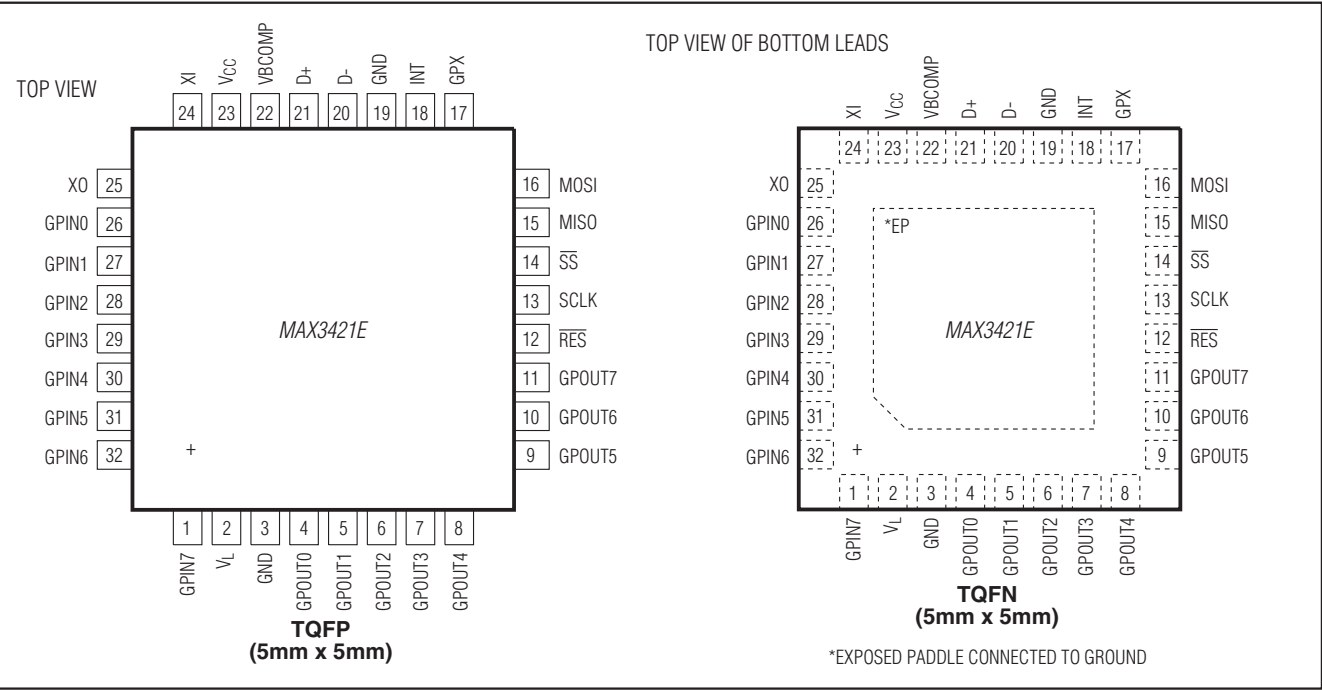
# MAX3421E

## SPI接口的USB外设/主机控制器

表2. 主机模式下(HOST = 1)的MAX3421E寄存器映像(注2) (续)

注2: acc (访问)列表示SPI主控制器访问寄存器的方式。  
R = 读; RC = 读或清除; RSC = 读、置位或清除; LS = 加载检测。  
对R (只读)寄存器写不会有任何作用。  
对RC位(读或清除)写1将清除该位。  
对RC位写零不会有任何作用。  
写LS寄存器将基于寄存器内容启动一次主机操作。

### 引脚配置



## SPI接口的USB外设/主机控制器

## ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND, unless otherwise noted.)

V <sub>CC</sub>	-0.3V to +4V
V <sub>L</sub>	-0.3V to +4V
V <sub>BCOMP</sub>	-0.3V to +6V
D+, D-, XI, XO	-0.3V to (V <sub>CC</sub> + 0.3V)
SCLK, MOSI, MISO, $\overline{SS}$ , $\overline{RES}$ , GPOUT7–GPOUT0, GPIN7–GPIN0, GPX, INT	-0.3V to (V <sub>L</sub> + 0.3V)

Continuous Power Dissipation (T<sub>A</sub> = +70°C)

32-Pin TQFN (derate 21.3mW/°C above +70°C)	1702mW
32-Pin TQFP (derate 13.1mW/°C above +70°C)	1047mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>CC</sub> = +3V to +3.6V, V<sub>L</sub> = +1.4V to +3.6V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at V<sub>CC</sub> = +3.3V, V<sub>L</sub> = +2.5V, T<sub>A</sub> = +25°C.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC CHARACTERISTICS						
Supply Voltage V <sub>CC</sub>	V <sub>CC</sub>		3.0	3.3	3.6	V
Logic-Interface Voltage V <sub>L</sub>	V <sub>L</sub>		1.4		3.6	V
V <sub>CC</sub> Supply Current	I <sub>CC</sub>	Continuously transmitting on D+ and D- at 12Mbps, C <sub>L</sub> = 50pF on D+ and D- to GND, CONNECT = 0			45	mA
V <sub>L</sub> Supply Current	I <sub>L</sub>	SCLK toggling at 20MHz, $\overline{SS}$ = low, GPIN7–GPIN0 = 0		2.35	10	mA
V <sub>CC</sub> Supply Current During Idle	I <sub>CCID</sub>	D+ = high, D- = low		8.7	15	mA
V <sub>CC</sub> Suspend Supply Current	I <sub>CCSUS</sub>	CONNECT = 0, PWRDOWN = 1		30	60	μA
V <sub>L</sub> Suspend Supply Current	I <sub>LSUS</sub>	CONNECT = 0, PWRDOWN = 1		20	50	μA
LOGIC-SIDE I/O						
MISO, GPOUT7–GPOUT0, GPX, INT Output High Voltage	V <sub>OH</sub>	I <sub>LOAD</sub> = +1mA	V <sub>L</sub> - 0.4			V
		I <sub>LOAD</sub> = +5mA, V <sub>L</sub> < 2.5V (Note 4)	V <sub>L</sub> - 0.45			
		I <sub>LOAD</sub> = +10mA, V <sub>L</sub> ≥ 2.5V (Note 4)	V <sub>L</sub> - 0.4			
MISO, GPOUT7–GPOUT0, GPX, INT Output Low Voltage	V <sub>OL</sub>	I <sub>LOAD</sub> = -1mA	0.4			V
		I <sub>LOAD</sub> = -20mA, V <sub>L</sub> < 2.5V (Note 4)	0.6			
		I <sub>LOAD</sub> = -20mA, V <sub>L</sub> ≥ 2.5V (Note 4)	0.4			
SCLK, MOSI, GPIN7–GPIN0, $\overline{SS}$ , $\overline{RES}$ Input High Voltage	V <sub>IH</sub>		2/3 × V <sub>L</sub>			V
SCLK, MOSI, GPIN7–GPIN0, $\overline{SS}$ , $\overline{RES}$ Input Low Voltage	V <sub>IL</sub>		0.4			V
SCLK, MOSI, $\overline{SS}$ , $\overline{RES}$ Input Leakage Current	I <sub>IL</sub>		-1		+1	μA
GPIN7–GPIN0 Pullup Resistor to V <sub>L</sub>	R <sub>GPIN</sub>		10	20	30	kΩ
TRANSCEIVER SPECIFICATIONS						
Differential-Receiver Input Sensitivity		I <sub>V<sub>D+</sub></sub> - V <sub>D-</sub> I	0.2			V

# MAX3421E

## SPI接口的USB外设/主机控制器

### ELECTRICAL CHARACTERISTICS (continued)

( $V_{CC} = +3V$  to  $+3.6V$ ,  $V_L = +1.4V$  to  $+3.6V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $V_{CC} = +3.3V$ ,  $V_L = +2.5V$ ,  $T_A = +25^{\circ}C$ .) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential-Receiver Common-Mode Voltage			0.8		2.5	V
Single-Ended Receiver Input Low Voltage	$V_{IL}$				0.8	V
Single-Ended Receiver Input High Voltage	$V_{IH}$		2.0			V
Single-Ended Receiver Hysteresis Voltage				0.2		V
D+, D- Output Low Voltage	$V_{OL}$	$R_L = 1.5k\Omega$ from D+ to 3.6V			0.3	V
D+, D- Output High Voltage	$V_{OH}$	$R_L = 15k\Omega$ from D+ and D- to GND	2.8		3.6	V
Driver Output Impedance Excluding External Resistor		(Note 4)	2	7	11	$\Omega$
D+ Pullup Resistor		$R_{EXT} = 33\Omega$	1.425	1.5	1.575	$k\Omega$
D+, D- Pulldown Resistor		$R_{EXT} = 33\Omega$	14.25	15	15.75	$k\Omega$
D+, D- Input Impedance			300			$k\Omega$
<b>ESD PROTECTION (D+, D-, VBCOMP)</b>						
Human Body Model		1 $\mu$ F ceramic capacitors from VBCOMP and $V_{CC}$ to GND		$\pm 15$		kV
IEC 61000-4-2 Air-Gap Discharge		1 $\mu$ F ceramic capacitors from VBCOMP and $V_{CC}$ to GND		$\pm 12$		kV
IEC 61000-4-2 Contact Discharge		1 $\mu$ F ceramic capacitors from VBCOMP and $V_{CC}$ to GND		$\pm 8$		kV
<b>THERMAL SHUTDOWN</b>						
Thermal-Shutdown Low-to-High				+160		$^{\circ}C$
Thermal-Shutdown High-to-Low				+140		$^{\circ}C$
<b>CRYSTAL OSCILLATOR SPECIFICATIONS (XI, XO)</b>						
XI Input High Voltage			$2/3 \times V_{CC}$		$V_{CC}$	V
XI Input Low Voltage					0.4	V
XI Input Current					10	$\mu A$
XI, XO Input Capacitance				3		pF
<b>VBCOMP COMPARATOR SPECIFICATIONS</b>						
VBCOMP Comparator Threshold	$V_{TH}$		1.0	2.0	3.0	V
VBCOMP Comparator Hysteresis	$V_{HYS}$			375		mV
VBCOMP Comparator Input Impedance	$R_{IN}$		100			$k\Omega$

## SPI接口的USB外设/主机控制器

## TIMING CHARACTERISTICS

(V<sub>CC</sub> = +3V to +3.6V, V<sub>L</sub> = +1.4V to +3.6V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at V<sub>CC</sub> = +3.3V, V<sub>L</sub> = +2.5V, T<sub>A</sub> = +25°C.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>USB TRANSMITTER TIMING CHARACTERISTICS (FULL-SPEED MODE)</b>						
D+, D- Rise Time	t <sub>RISE</sub>	C <sub>L</sub> = 50pF, Figures 8 and 9	4		20	ns
D+, D- Fall Time	t <sub>FALL</sub>	C <sub>L</sub> = 50pF, Figures 8 and 9	4		20	ns
Rise-/Fall-Time Matching		C <sub>L</sub> = 50pF, Figures 8 and 9 (Note 4)	90		110	%
Output-Signal Crossover Voltage		C <sub>L</sub> = 50pF, Figures 8 and 9 (Note 4)	1.3		2.0	V
<b>USB TRANSMITTER TIMING CHARACTERISTICS (HOST LOW-SPEED MODE)</b>						
D+, D- Rise Time	t <sub>RISE</sub>	200pF ≤ C <sub>L</sub> ≤ 600pF, Figures 8 and 9	75		300	ns
D+, D- Fall Time	t <sub>FALL</sub>	200pF ≤ C <sub>L</sub> ≤ 600pF, Figures 8 and 9	75		300	ns
Rise-/Fall-Time Matching		200pF ≤ C <sub>L</sub> ≤ 600pF, Figures 8 and 9	80		120	%
Output-Signal Crossover Voltage		200pF ≤ C <sub>L</sub> ≤ 600pF, Figures 8 and 9	1.3		2.0	V
<b>SPI BUS TIMING CHARACTERISTICS (V<sub>L</sub> = 2.5V) (Figures 10 and 11) (Note 5)</b>						
Serial Clock (SCLK) Period (Note 6)	t <sub>CP</sub>	V <sub>L</sub> > 2.5V	38.4			ns
		V <sub>L</sub> = 1.4V	77.7			
SCLK Pulse-Width High	t <sub>CH</sub>		17			ns
SCLK Pulse-Width Low	t <sub>CL</sub>		17			ns
$\overline{SS}$ Fall to MISO Valid	t <sub>CSS</sub>		20			ns
$\overline{SS}$ Leading Time Before the First SCLK Edge	t <sub>L</sub>		30			ns
$\overline{SS}$ Trailing Time After the Last SCLK Edge	t <sub>T</sub>		30			ns
Data-In Setup Time	t <sub>DS</sub>		5			ns
Data-In Hold Time	t <sub>DH</sub>		10			ns
$\overline{SS}$ Pulse High	t <sub>CSW</sub>		200			ns
SCLK Fall to MISO Propagation Delay	t <sub>DO</sub>		14.2			ns
SCLK Fall to MOSI Propagation Delay	t <sub>DI</sub>		14.2			ns
SCLK Fall to MOSI Drive	t <sub>ON</sub>		3.5			ns
$\overline{SS}$ High to MOSI High Impedance	t <sub>OFF</sub>				20	ns
<b>SUSPEND TIMING CHARACTERISTICS</b>						
Time-to-Enter Suspend		PWRDOWN = 1 to oscillator stop			5	μs
Time-to-Exit Suspend		PWRDOWN = 1 to 0 to OSCOKIRQ (Note 7)		3		ms

**Note 3:** Parameters are 100% production tested at T<sub>A</sub> = +25°C. Specifications over temperature are guaranteed by design.

**Note 4:** Guaranteed by bench testing. Limits are not production tested.

**Note 5:** At V<sub>L</sub> = 1.4V to 2.5V, derate all the SPI timing characteristics by 50%. Not production tested.

**Note 6:** The minimum period is derived from SPI timing parameters.

**Note 7:** Time-to-exit suspend is dependent on the crystal used.

# MAX3421E

## SPI接口的USB外设/主机控制器

### 测试电路和时序图

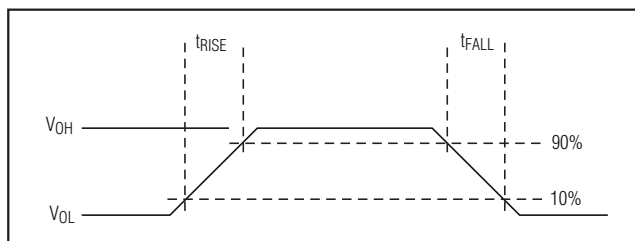


图8. 上升和下降时间

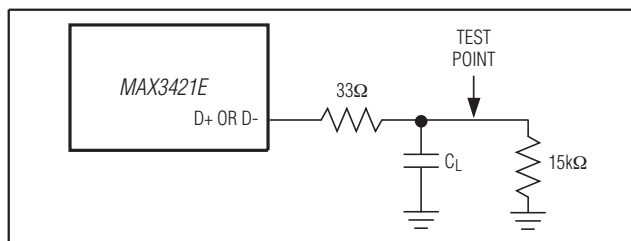


图9. D+/D-交流测量时的负载情况

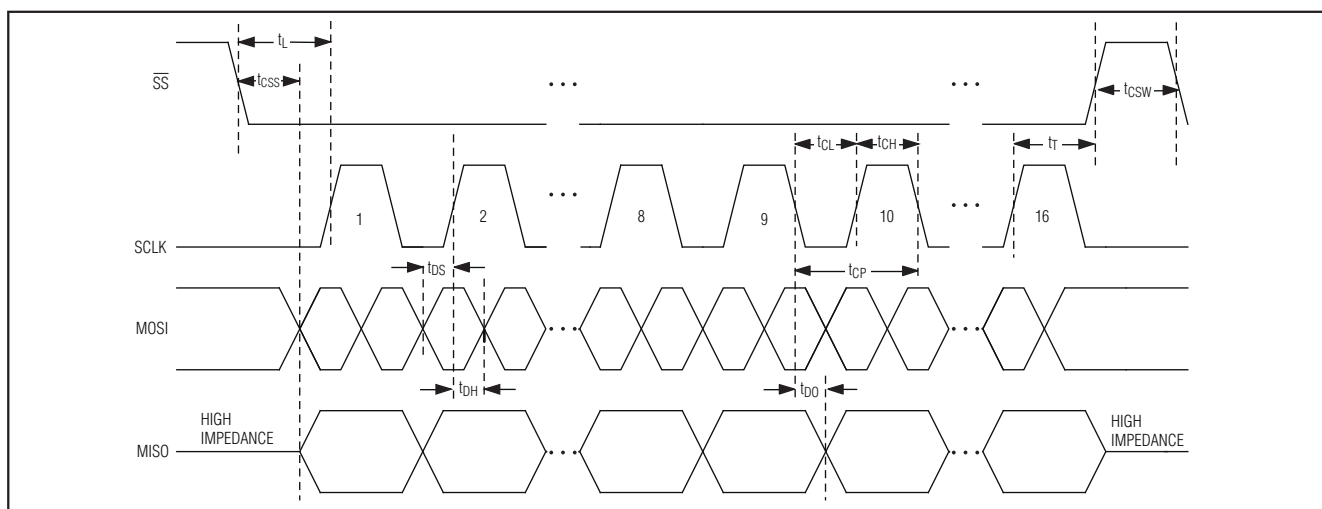


图10. SPI总线时序图(全双工模式, SPI模式(0,0))

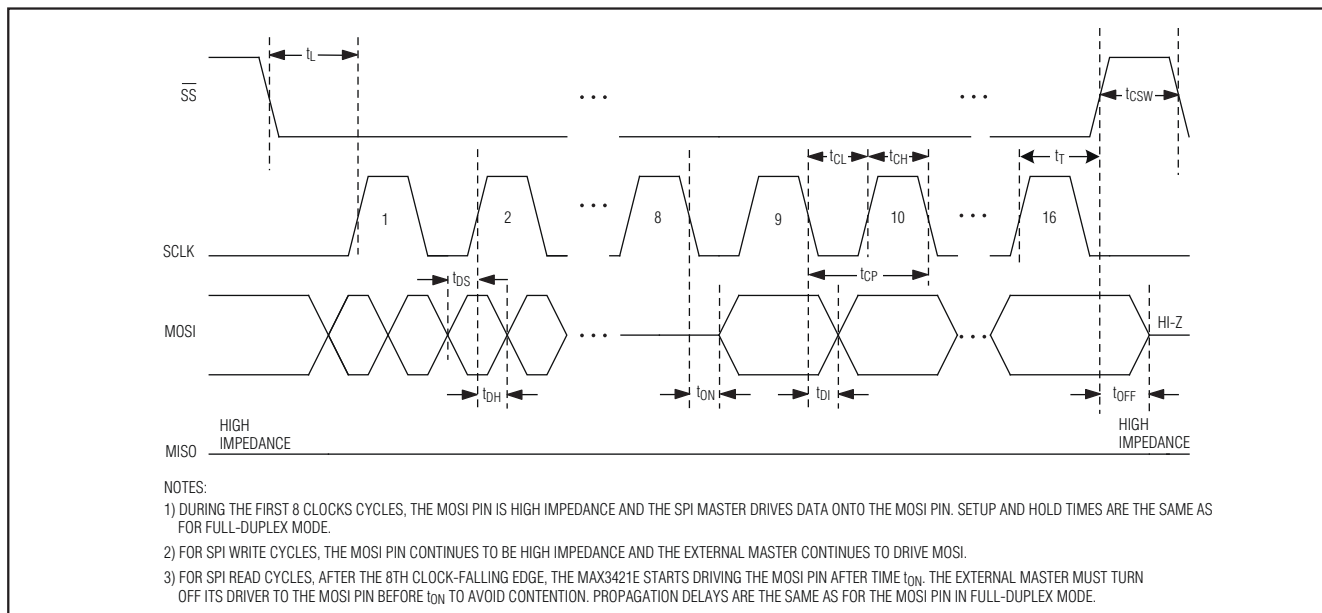
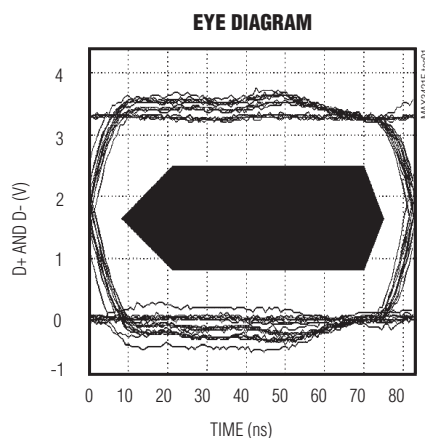


图11. SPI总线时序图(半双工模式, SPI模式(0,0))

## SPI接口的USB外设/主机控制器

## 典型工作特性

(V<sub>CC</sub> = +3.3V, V<sub>L</sub> = +3.3V, T<sub>A</sub> = +25°C.)

## 详细说明

MAX3421E包含了用来实现USB 2.0标准全速USB外设或全/低速主机所需的所有数字逻辑和模拟电路。通过写MODE寄存器(R27)中的HOST位,可以选择MAX3421E工作在主机或外设方式。MAX3421E内置有USB收发器,并在D+、D-和VBCOMP引脚上集成了±15kV的ESD保护。D+线上集成了可切换的1.5kΩ上拉电阻,D+和D-线上集成了可切换的15kΩ下拉电阻。任何SPI主控制器都可通过SPI从器件接口与MAX3421E通信(工作于SPI模式(0,0)或(1,1))。SPI主控制器通过读写MAX3421E内部的寄存器对其进行访问。要完成一次典型的数据传送,首先需要写一个字节来设定寄存器地址和传送方向,然后就是要读出或写入目标寄存器或内部FIFO的数据字节。

在外设模式下,MAX3421E包含384字节的端点缓冲存储器,用于以下端点:

- EP0: 64字节的双向CONTROL端点
- EP1: 2 x 64字节的双缓存BULK/INT OUT端点
- EP2: 2 x 64字节的双缓存BULK/INT IN端点
- EP3: 64字节BULK/INT IN端点

选择EP1、EP2、EP3作为BULK还是INTERRUPT端点,完全取决于枚举过程中SPI主控制器返回给USB主机的端点描述符。

在主机模式下,MAX3421E包含256字节的发送和接收FIFO存储器:

- SNDFIFO: 发送FIFO——双缓冲64字节FIFO
- RCVFIFO: 接收FIFO——双缓冲64字节FIFO

主机FIFO能够以全速或低速向外设发送SETUP、BULK、INTERRUPT和ISOCHRONOUS请求。MAX3421E能够接纳直接接入或通过USB集线器接入的低速设备。由于大部分内部管理任务由MAX3421E完成,其编程非常容易。SPI主控制器作为一个典型主机的操作就简化为:设置设备地址和端点,发送一个包并等待表明完成的中断。然后检查传送结果标志位以确定外设的响应。它自动生成帧标识(全速SOF包或低速保持脉冲),并在相对于这些标志恰当的時刻分发。

MAX3421E的寄存器组和SPI接口按照降低SPI通信量的目标进行了优化。当需要SPI主控制器提供USB服务时,中断输出INT向其发出信号,例如当有包到达、有包发出或主机挂起或恢复总线活动时。双缓冲FIFO允许USB和SPI接口同时传送数据,有助于保证带宽。



# MAX3421E

## SPI接口的USB外设/主机控制器

$V_{CC}$

施加3.3V电源于 $V_{CC}$ ，以驱动USB收发器和数字逻辑工作。尽量靠近 $V_{CC}$ 引脚，用一只1.0 $\mu$ F的陶瓷电容旁路 $V_{CC}$ 到GND。

$V_L$

$V_L$ 是SPI接口和所有其它数字输入及输出的参考电平。可将 $V_L$ 连接到系统的逻辑电源。由于内部电平转换器和 $V_L$ 引脚的存在，SPI接口和所有通用输入及输出能够工作在1.4V至3.6V的系统电压下。

**VBCOMP**

MAX3421E内部集成了一个USB  $V_{BUS}$ 检测器，VBCOMP是该检测器的输入。VBCOMP引脚可承受高达6V的输入电压。用一只1.0 $\mu$ F陶瓷电容旁路VBCOMP到GND。VBCOMP在芯片内部被连接至一个电压比较器，以便SPI主控制器检测(通过中断或查询寄存器位)  $V_{BUS}$ 的加电情况。VBCOMP不作为任何MAX3421E内部电路的电源。VBCOMP通过 $R_{IN}$ 下拉至地(见*Electrical Characteristics*)。

**外设模式下的VBCOMP**

VBCOMP在芯片内部被连接至一个电压比较器，以便SPI主控制器检测 $V_{BUS}$ 的加电情况。根据USB 2.0规范，自供电的USB设备在USB主机关闭 $V_{BUS}$ 电源后，必须切断D+上的1.5k $\Omega$ 上拉电阻。利用USBCTL寄存器(R15)中的VBGATE位，MAX3421E内部逻辑可以选择自动切断D+上的1.5k $\Omega$ 上拉电阻。USBCTL寄存器(R15)中的VBGATE和CONNECT位，再加上VBCOMP比较器的输出(VBUS\_DET)，三者共同控制着这个 $V_{CC}$ 和D+间的上拉电阻，如表3和功框图所示。注意，如果VBGATE=1且VBUS\_DET=0，那么无论CONNECT位的设置如何，上拉电阻都会被断开。如果MAX3421E所在的设备是由总线供电的(通过连接至 $V_{CC}$ 的+3.3V稳压器)，MAX3421E的VBCOMP输入可作为通用输入使用。有关这种用法的详情请见应用信息部分。

表3. 外设模式下内部上拉电阻的控制

CONNECT	VBGATE	VBUS_DET	PULLUP
0	X	X	Not Connected
1	0	X	Connected
1	1	0	Not Connected
1	1	1	Connected

**主机模式下的VBCOMP**

MAX3421E用在主机模式时无需检测 $V_{BUS}$ 状态。在此情况下，VBCOMP输入可作为通用输入使用。

**D+和D-**

内部USB全/低速收发器通过双向数据引脚D+和D-引出。这些引脚上集成了 $\pm 15$ kV ESD保护。D+和D-应通过33 $\Omega$   $\pm 1\%$ 串联电阻连接到“B”型USB连接器。

**外设模式下的D+和D-**

外设模式下D+和D-通过串联电阻连接到“B”型USB连接器。可切换的1.5k $\Omega$ 上拉电阻在芯片内部连接至D+。

**主机模式下的D+和D-**

主机模式下D+和D-通过串联电阻连接到“A”型USB连接器。可切换的15k $\Omega$ 下拉电阻在芯片内部连接至D+和D-。MODE寄存器(R27)中的DPPULLDN和DMPULLDN位控制着D+和D-到GND之间的连接。作为主机使用时，将这些位设为1，接通下拉电阻。当有外设被接入或拆除时，主机中断位CONNIRQ可向SPI主控制器发出告警。

**XI和XO**

XI和XO引脚用来将一个外部的12MHz晶体连接至内部振荡电路。XI是晶体振荡器的输入，XO是输出。将12MHz  $\pm 0.25\%$ 的并联谐振晶体的一端连接至XI，另一端接至XO。在XI和XO上对地连接负载电容(最大20pF)。也可用一个外部的12MHz  $\pm 0.25\%$ 时钟驱动XI。如果用外部时钟驱动XI，则浮空XO。外部时钟必须满足*Electrical Characteristics*表中所描述的电压特性。内部逻辑是单沿触发的。外部时钟应该具有标称50%的占空比。

## SPI接口的USB外设/主机控制器

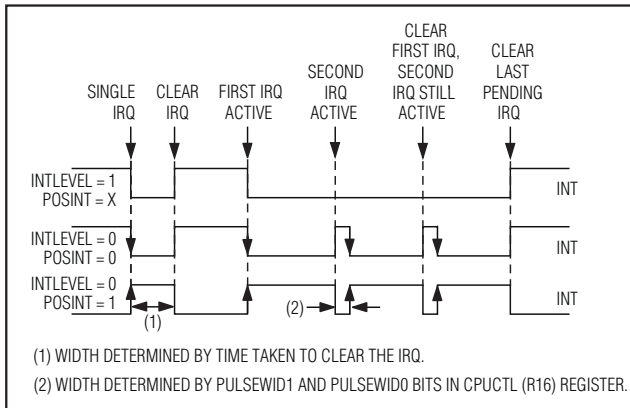


图12. 不同INTLEVEL和POSINT位设置时INT引脚的表现

**RES**

驱动**RES**为低可触发MAX3421E的芯片复位。芯片复位将除PINCTL (R17)、USBCTL (R15)和SPI逻辑之外的所有寄存器置为各自的默认状态。芯片复位期间所有FIFO的内容未知。驱动**RES**为高电平可使MAX3421E脱离芯片复位。**RES**脉冲最短可至200ns。关于MAX3421E的复位特性参见器件复位部分。

**INT**

当有USB事件发生，需要SPI主控制器注意时，MAX3421E通过INT输出引脚发出中断信号。还可以将INT配置为当有任何通用输入(GPIN0–GPIN7)被触发时(详情请见GPIN7–GPIN0部分)发出中断。SPI主控制器必须将CPUCTL寄存器(R16)中的IE位置位方可激活INT功能。若IE位被清零，INT不工作(电平模式下为开路，负沿模式为高，正沿模式为低)。INT在上电伊始或芯片复位后也处于不工作状态(IE = 0)。

INT引脚可以设置为推挽式或漏极开路输出。置位PINCTL寄存器(R17)中的INTLEVEL位可将INT编程为低电平有效的漏极开路输出。这种配置需要外部到 $V_L$ 的上拉电阻。在电平模式下，若有任何中断标志被置位，MAX3421E就会驱动INT为低。如果有多个中断未处理，则INT只有在SPI主控制器清除了最后一个有效的中断请求后才会变为无效(图12)。在电平模式下，PINCTL寄存器(R17)中的POSINT位对于INT没有作用。

表4. 由PULSEWID1和PULSEWID0配置的INT输出脉宽

PULSEWID1	PULSEWID0	INT PULSE WIDTH ( $\mu$ s)
0	0	10.6
0	1	5.3
1	0	2.6
1	1	1.3

清零INTLEVEL位则将INT编程为边沿模式的推挽式输出。通过PINCTL寄存器(R17)中的POSINT位可编程设定有效沿。在边沿模式中，若有中断请求发生，或者某个中断请求已被清除，但仍存在其他未处理的中断请求，MAX3421E就会产生一个参照于 $V_L$ 的跳变沿(图12)。在PINCTL寄存器(R17)中置位POSINT位则选择INT为上升沿有效，清零POSINT位则选择下降沿有效INT。CPUCTL寄存器(R16)中的PULSEWID1和PULSEWID0位可控制边沿模式下INT脉冲的宽度，如表4所示。

**GPIN7–GPIN0**

SPI主控制器通过读取寄存器IOPINS1 (R20)的第7位到第4位采样GPIN3–GPIN0的状态。GPIN7–GPIN4的状态通过读取寄存器IOPINS2 (R21)的第7位到第4位进行采样。向这些位写数据不会有任何作用。

无论外设和主机模式，都由三个寄存器控制来自于GPIN7–GPIN0的八个中断请求。寄存器GPINIRQ (R22)含有八个GPIN输入的中断请求标志。寄存器GPINIEN (R23)含有八个GPIN中断各自独立的中断使能位。寄存器GPINPOL (R24)控制着八个GPIN中断的边沿极性。八个GPIN中断被加入MAX3421E中断系统中，当有使能中断被触发时，即可从INT输出引脚发出中断信号。还可以将GPIN中断分离出来，单独通过GPX引脚输出，只需设置SEPIRQ = 1即可。这样可以减小中断服务的延迟，因为GPX输出的中断源是已知的，只需查询GPINIRQ寄存器便可确定中断源。注意GPINPOL中的位控制使内部“未处理中断”触发器置位的GPIN跳变沿，而非INT输出。INT引脚的输出特性受控于INTLEVEL和POSINT寄存器位，正如MAX3420E一样。当GPX引脚被配置成GPIN INT时，其输出特性和INT引脚一样。

# MAX3421E

## SPI接口的USB外设/主机控制器

### GPOUT7–GPOUT0

SPI主控制器通过写寄存器IOPINS1 (R20)的第3位到第0位控制GPOUT3–GPOUT0的状态。GPOUT7–GPOUT4的状态可通过写寄存器IOPINS2 (R21)的第3位到第0位进行控制。GPOUT7–GPOUT0的逻辑电平以 $V_L$ 电压为参考。如图13所示，在读取GPOUT7–GPOUT0所对应的位时，返回的是内部寄存器位的状态，并非实际引脚的状态。在对某输出引脚执行“读-修改-写”操作时(例如LED的闪烁)该特点很有用，因为输出引脚上的负载不会影响寄存器的逻辑状态。

### GPX

GPX是推挽输出，内部由一个四通道多路复用器选择其输出信号。GPX的逻辑电平以 $V_L$ 为参考。SPI主控制器通过PINCTL寄存器(R17)中的GPXA和GPXB位选择五种内部信号之一，通过GPX引脚输出，如表5所示。

表5. GPX输出状态和GPXB、GPXA位的关系

GPXB	GPXA	GPX PIN OUTPUT
0	0	OPERATE (Default State)
0	1	VBUS_DET
1	0	BUSACT/INIRQ*
1	1	SOF

\*如果SEPIRQ = 1。

- **OPERATE**: 当MAX3421E在上电后或 $\overline{RES}$ 复位后进入工作状态时该信号变高。OPERATE在 $\overline{RES}$ 输入为高且内部上电复位(POR)信号处于非触发状态时有效。OPERATE是GPX的默认输出。
- **VBUS\_DET**: VBUS\_DET是VBCOMP比较器的输出。通过该信号用户可以直接监视 $V_{BUS}$ 的状态。
- **BUSACT**: USB总线活动状态指示信号(高有效)。当USB总线上有通信时该信号有效。只要监测到SYNC域，BUSACT信号即被置位。BUSACT在总线复位期间，或者经历了32位长的J状态后变低。

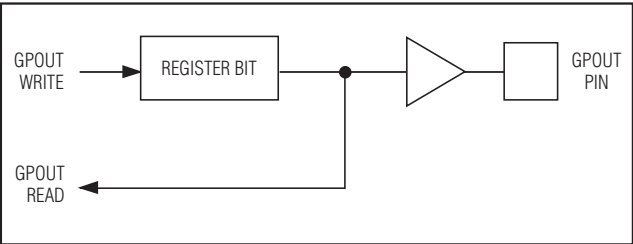


图13. GPOUT3–GPOUT0上的读写操作

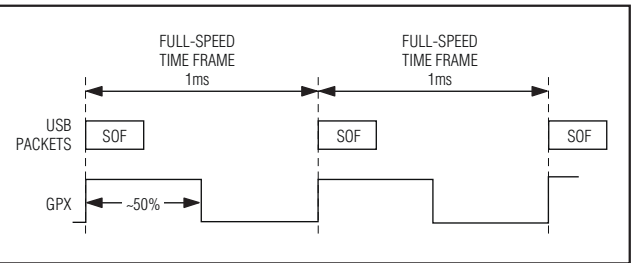


图14. SOF模式下的GPX输出

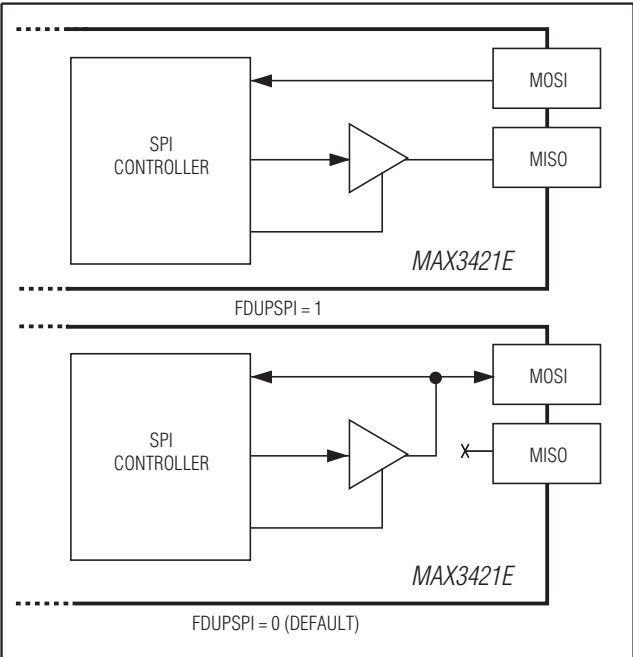


图15. MAX3421E SPI数据引脚在全双工(上图)和半双工(下图)模式下的工作情况

## SPI接口的USB外设/主机控制器

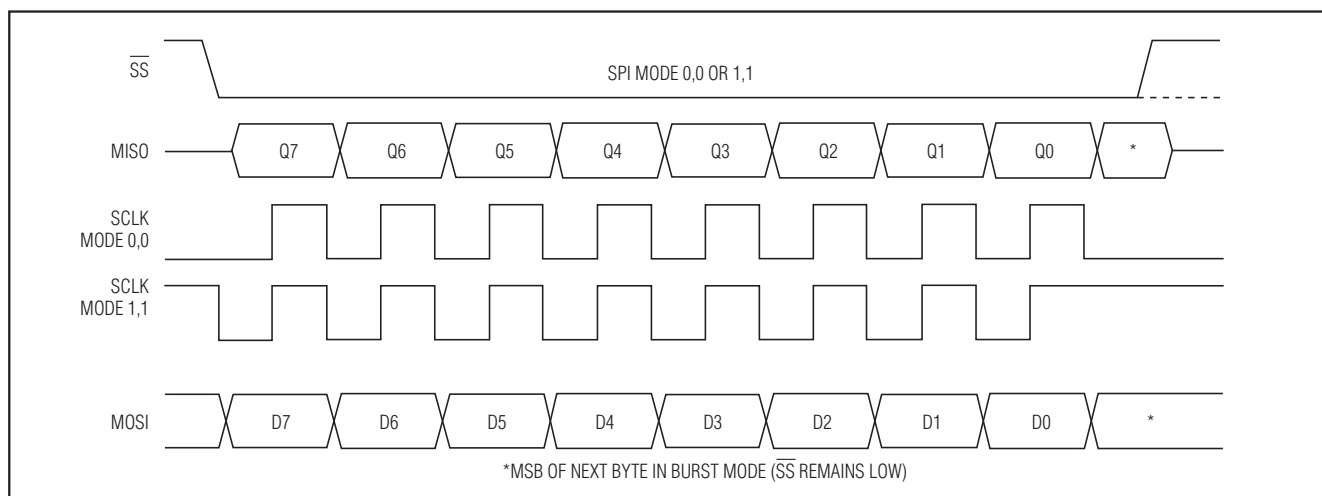


图16. SPI时钟模式

- **INIRQ**：当MODE寄存器(R27)中的SEPIRQ位被置位时，BUSACT信号被从INT输出中去掉，如果GPX[B:A]=10，GPX被作为专用于GPIN中断的IRQ输出引脚。在此模式下，GPIN中断仅出现在GPX引脚，而不再出现于INT输出引脚。
- **SOF**：方波信号，正沿指示USB帧的起始点(图14)。

**MOSI (主出从入)和MISO (主入从出)**

SPI数据引脚MOSI和MISO的工作状态受控于寄存器位FDUPSPI (全双工SPI)的设置。图15显示了两种FDUPSPI位设置所对应的配置。

全双工模式下(FDUPSPI = 1)，MOSI和MISO是独立的，MISO引脚仅当 $\overline{SS}$ 为低时才有驱动。在此模式下，开始的八个SCLK沿( $\overline{SS}$  = 0之后)将命令字节通过MOSI移入MAX3421E，同时，八个USB状态位通过MISO被移出MAX3421E。如果是SPI写周期，紧随命令字节之后的所有字节都通过MOSI被移入MAX3421E，同时，从MISO移出零。如果是SPI读周期，发完命令之后，数据字节通过MISO移出MAX3421E，而MOSI上的数据被忽略。SPI周期结束后( $\overline{SS}$  = 1)，MISO输出变为三态。

在半双工模式下，MOSI是双向引脚，MISO引脚为三态。这可以为SPI接口省下一个引脚。由于共用数据引脚的关系，该模式不能随着命令字节送入MAX3421E的同时提供八个USB状态位(图6和7)。半双工模式下MISO引脚可以浮空。

**SCLK (串行时钟)**

SPI主控制器为MAX3421E提供SCLK信号来驱动SPI接口。对SCLK没有低频限制，最高频率可至26MHz。MAX3421E在SCLK的下降沿改变其输出数据(MISO)，在SCLK的上升沿采样输入数据(MOSI)。当 $\overline{SS}$ 为高时MAX3421E忽略SCLK跳变沿。空闲时的SCLK电平可以为高或低，取决于SPI工作模式(图16)。

 **$\overline{SS}$  (从选择)**

仅当 $\overline{SS}$ 为低时，MAX3421E的SPI接口才进入有效状态。当 $\overline{SS}$ 为高时，MAX3421E置SPI输出引脚为三态，并复位内部SPI逻辑。如果 $\overline{SS}$ 在一个完整字节被移入之前就变高，那么这个不完整的字节将被丢掉。SPI主控制器可以在发完第一个8位数据(命令字节)之后就终止SPI周期。该特性可以在全双工系统中用来取回USB状态位(图6和图7)，而无需发送或接收SPI数据。

**应用信息****SPI接口**

MAX3421E工作在SPI从模式。要访问其内部寄存器，SPI主控制器需首先写一个SPI命令字节，随后就可对所寻址的寄存器进行读或写操作(详见寄存器说明)。所有SPI传送都是MSB在前。时钟由外部SPI主控制器提供，输入MAX3421E的SCLK引脚。时钟频率可介于直流至26MHz间。位传送发生在SCLK的正沿。MAX3421E计算输入的位数并将其划分成字节。如果在 $\overline{SS}$ 变高时输入的位数不足8位，MAX3421E会丢掉这个不完整字节。



# MAX3421E

## SPI接口的USB外设/主机控制器

MAX3421E的SPI接口可以无需任何调整工作在两种SPI模式下(CPOL = 0、CPHA = 0)或(CPOL = 1、CPHA = 1)。无须通过模式位在这两种模式间进行选择,因为两种模式的时钟有效沿都是上升沿。这两种时钟模式示于图16。注意,两种模式下SCLK的空闲状态电平是不同的。图16所示为全双工模式,数据被同时移入和移出MAX3421E。

### 半双工和全双工SPI工作模式

MAX3421E可被编程为半双工(一条双向数据线)或全双工(一条数据输入,一条数据输出)工作模式。SPI主控制器设置一个被称为FDUPSPI(全双工SPI)的寄存器位为1选择全双工,为0则选半双工。上电时的默认状态为半双工。

#### 全双工

若SPI主控制器设置FDUPSPI=1, SPI接口使用单独的数据引脚(MOSI和MISO)来发送和接收数据。由于采用了分离的数据引脚,数据位可以同时被移入和移出MAX3421E。MAX3421E利用该特性,在移入命令字节的同时移出8个USB状态位。图17显示了外设模式下移出的状态位,图18显示了主机模式下移出的状态位。

### 由SPI从接口读取数据(MISO)

SPI主控制器按照以下步骤通过MAX3421E从器件接口读取数据:

- 1)  $\overline{SS}$ 为高时未选定MAX3421E, MISO输出为高阻。
- 2) 驱动SCLK至空闲态后, SPI主控制器驱动 $\overline{SS}$ 为低, 选择MAX3421E。MAX3421E打开其MISO输出缓冲器, 并将首个数据位(Q7)放到MISO输出上(图16)。
- 3) SPI主控制器向MAX3421E的MOSI引脚移入命令字节, 同时从MAX3421E的MISO引脚移出USB状态位, 所有数据移位发生在SCLK时钟的上升沿。MAX3421E在SCLK的下降沿改变其MISO输出数据。
- 4) 八个时钟周期后, 主控制器可以驱动 $\overline{SS}$ 为高, 取消对MAX3421E的选择, 使其置MISO输出为三态。时钟的下降沿将后续数据字节的MSB放到MISO输出上(图16)。
- 5) 如果保持 $\overline{SS}$ 为低, 并持续送SCLK脉冲给MAX3421E, 主控制器就可读出寄存器中的数据字节(突发模式)。主控制器驱动 $\overline{SS}$ 为高可终止传输过程。主控制器必

须在下一次访问开始时(驱动 $\overline{SS}$ 为低)确保SCLK处于空闲态。全双工模式下, MAX3421E在从MISO移出数据时忽略MOSI上的数据。

### 写SPI从接口(MOSI)

SPI主控制器按照以下步骤向MAX3421E从器件接口写数据:

- 1) SPI主控制器设置时钟为空闲态。由于 $\overline{SS}$ 为高, 主控制器可以驱动MOSI输入。
- 2) SPI主控制器驱动 $\overline{SS}$ 为低, 选定MAX3421E, 然后将首个数据位放到MOSI口线上。
- 3) 在SCLK时钟(由SPI主控制器提供)的上升沿, SPI主控制器将命令字节送入MAX3421E, 同时, USB状态位也通过MAX3421E的MISO引脚输出。SPI主控制器在SCLK的下降沿改变其MOSI数据。
- 4) 八个时钟周期后, 主控制器可驱动 $\overline{SS}$ 为高, 以撤销对于MAX3421E的选定。
- 5) 若持续保持 $\overline{SS}$ 为低, 通过连续发送SCLK脉冲, 主控制器可以连续将多个数据字节写入MAX3421E(突发模式)。主控制器驱动 $\overline{SS}$ 为高则终止传输过程。在下次访问开始时(驱动 $\overline{SS}$ 为低), 主控制器必需保证SCLK处于空闲态。全双工模式下, MAX3421E在首个8位(命令字节)传输期间向MISO输出USB状态位, 而接下来在SPI主控制器向MOSI送入数据字节时, MISO输出全为零。

### 半双工

在上电初始, 或者SPI主控制器清除FDUPSPI位时, MAX3421E工作于半双工模式。半双工模式下, MAX3421E将其MISO引脚置为三态, 而使MOSI引脚双向工作, 这样就节省了SPI接口的一个引脚。半双工模式下可以使MISO引脚浮空。

由于半双工模式只有一个数据引脚, 全双工模式中随着SPI主控制器发送命令字节而出现的USB状态位不再出现。半双工模式中, 这些状态位只能作为一般的寄存器位进行访问。

SPI主控制器必需双向操作MOSI引脚。按以下方式访问MAX3421E内部寄存器:

## SPI接口的USB外设/主机控制器

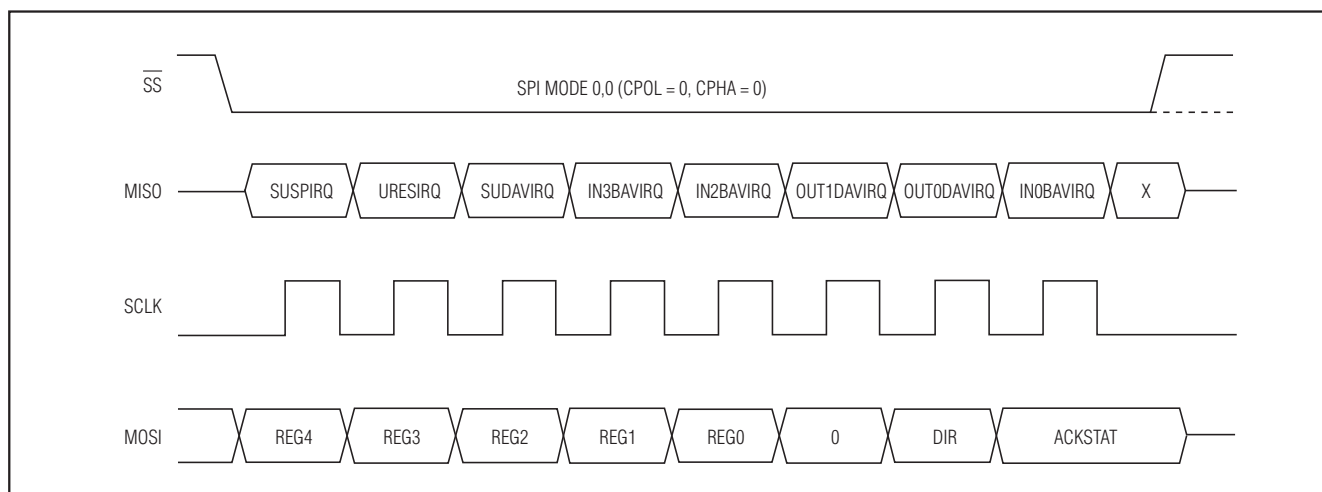


图17. 全双工模式的SPI端口(外设模式)

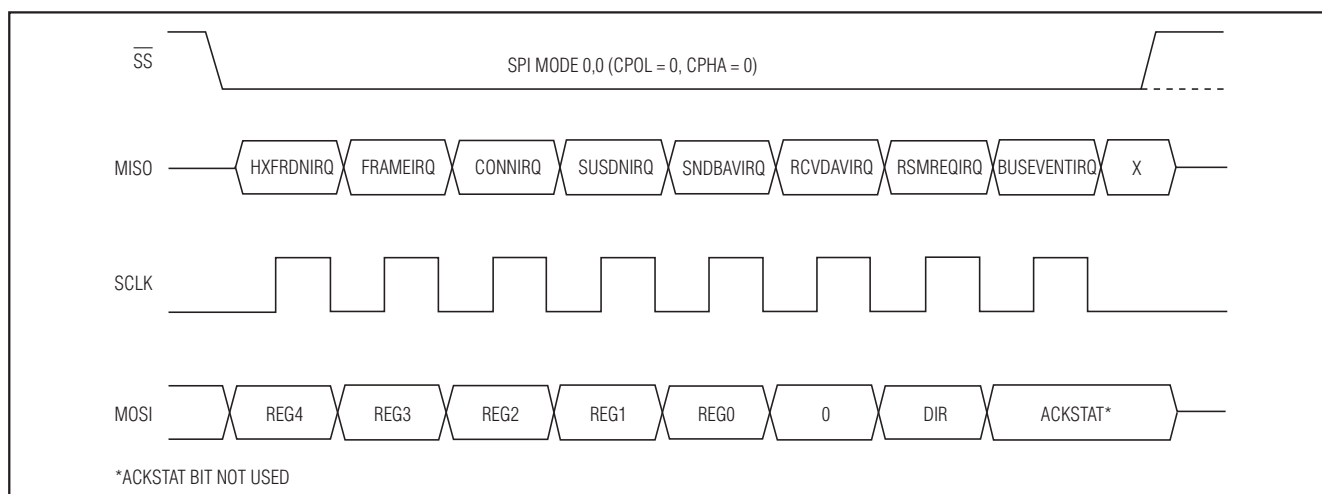


图18. 全双工模式的SPI端口(主机模式)

- 1) SPI主控制器设置时钟为空闲态。由于 $\overline{SS}$ 为高，主控制器可以驱动MOSI引脚为任意状态。
- 2) SPI主控制器驱动 $\overline{SS}$ 为低，选择MAX3421E，然后将首个数据位(MSB)放到MOSI口线上。
- 3) SPI主控制器打开其输出驱动器，在SCLK时钟的上升沿将命令字节移入MAX3421E。SPI主控制器在SCLK的下降沿改变其MOSI数据。
- 4) 八个时钟周期后，主控制器即可驱动 $\overline{SS}$ 为高，撤销对于MAX3421E的选择。
- 5) 如要向SPI写入数据，SPI主控制器可保持其输出驱动器为开通状态，将后续的数据字节送入MOSI引脚。如要从SPI读取数据，八个时钟周期后SPI主控制器将其输出驱动器置为三态，开始从MOSI引脚读入数据。
- 6) SPI主控制器驱动 $\overline{SS}$ 为高，终止SPI访问周期。

图10和11给出了全双工和半双工工作的时序图。

# MAX3421E

## SPI接口的USB外设/主机控制器

### USB串行接口引擎

串行接口引擎(SIE)执行大部分USB协议所要求的复杂工作：

- USB包PID的检测与校验
- CRC校验及发生
- 出错后自动重试
- USB包的生成
- NRZI数据的编码和解码
- 位填充及去填充
- USB错误检测
- USB总线复位、挂起和唤醒检测
- USB挂起/恢复信号
- 自动流控(NAK)

### PLL

一个内部PLL将12MHz振荡器信号四倍频后得到48MHz内部时钟。芯片掉电时振荡器被关闭以节省电能。重新上电后，振荡器和PLL需要一定的时间来稳定和锁相。通过OSCOKIRQ中断位，SPI主控制器可确定时钟系统是否达到稳定并可投入工作。

在USBCTL寄存器(R15)中设置PWRDOWN位可关闭振荡器和PLL(参见挂起部分)。

### 电源管理

根据USB 2.0规范，当USB主机停止向某个外设发送信息至少3ms，该外设必须进入掉电状态，称其为SUSPEND(挂起)。一旦挂起，外设还应保持足够的内部逻辑来识别主机的恢复信号，或者，如果具有远端唤醒功能，SPI主控制器也可发起恢复信号。下面几个小节(标题为挂起和唤醒和USB恢复)说明SPI主控制器如何协同MAX3421E实现电源管理。

### 挂起

当USB总线处于非有效状态3ms后，USB外设必须进入USB挂起状态，不能吸取超过500 $\mu$ A的 $V_{BUS}$ 电流。对于挂起状态的处理因MAX3421E工作模式(主机或外设)的不同而有所区别。

### 主机模式中挂起

主机模式下，MAX3421E通过设定SOFKAEN = 0挂起总线。这可以停止每1ms自动产生的帧信号(全速时为SOF，低速时为保持信号)。

### 外设模式中挂起

外设模式下，当USB总线处于非有效状态3ms后，MAX3421E设置USBIRQ寄存器(R13)中的SUSPIRQ位，如果SUSPIE = 1且IE = 1，这会触发INT输出。SPI主控制器必须采取一些必要的省电措施，然后设置USBCTL寄存器(R15)中的PWRDOWN位。这会令MAX3421E进入掉电状态，其间，它将执行以下操作：

- 停止12MHz振荡器
- 保持INT输出有效(根据PINCTL(R17)寄存器中设置的模式)
- 监视USB D+线上的低电平
- 监视SPI端口的活动

注意，在总线处于非有效状态3ms后MAX3421E并不自动进入掉电状态。这就允许SPI主控制器执行一些掉电前的处理任务，然后再设置PWRDOWN = 1，命令MAX3421E进入掉电状态。

### 唤醒和USB恢复

对于唤醒和USB恢复的处理因MAX3421E工作模式(主机或外设)的不同而有所区别。

### 主机模式中的唤醒和USB恢复

当主机通过设置SOFKAEN = 0挂起总线时，它可用两种方式恢复总线通信：

- 1) SPI主控制器通过设置位SIGRSM = 1启动主机恢复操作。MAX3421E发出20ms的恢复信号，然后设置BUSEVENTIRQ位。随后SPI主控制器设置SOFKAEN = 1，产生间隔1ms的帧标志，保持外设处于工作状态。
- 2) 主机识别来自于外设的远端唤醒信号。MAX3421E有一个专为此设的中断位RSMREQIRQ(恢复请求IRQ)。

### 外设模式中的唤醒和USB恢复

作为外设时，有三种方法可以使MAX3421E从掉电状态唤醒：

- 1) SPI主控制器清除USBCTL(R15)寄存器中的PWRDOWN位(芯片复位也可使其清除)。
- 2) 通过设置USBCTL(R15)寄存器中的SIGRWU位，SPI主控制器发出USB远端唤醒信号。SIGRWU = 1时，MAX3421E重新启动振荡器并等待其稳定。振荡器稳定后，MAX3421E向总线发出RESUME信号(10ms的K状态)。该信号的定时由MAX3421E控制，因此无需SPI主控制器进行精确定时。MAX3421E还能保证仅在总线进入空闲状态至少5ms后再发RESUME信号。



## SPI接口的USB外设/主机控制器

MAX3421E结束RESUME信号后，置位USBIRQ (R13)寄存器中的RWUDNIRQ (远端唤醒完成中断请求)中断标志。此时，SPI主控制器应清除SIGRWU位。

- 3) 主机恢复总线活动。为使MAX3421E能够由主机信号唤醒，SPI主控制器需置位USBCTL (R15)寄存器中的HOSCSTEN位(主机振荡器启动使能)。在此模式下，一旦MAX3421E监测到D+由1到0的跳变，它会立即启动振荡器并等待其稳定。

### 器件复位

MAX3421E有三种复位方式：

- 上电复位。这是最彻底的复位(所有内部寄存器位被设置到已知状态)。
- 芯片复位。SPI主控制器可以通过置位CHIPRES=1触发一次芯片复位，其效果和拉低 $\overline{\text{RES}}$ 引脚相同。这种复位只清除一部分寄存器位，其他不受影响。
- USB总线复位。USB总线复位是影响面最小的一种复位(只清除最少数量的位)。

**注意：**上电或芯片复位会清除HOST位，使MAX3421E进入外设模式。

### 上电复位

上电之后，除3个寄存器位以外，所有其他寄存器位均被清除。下面3个位被置为1，以指示IN FIFO可用，SPI主控制器可装载数据到其中(BAV = 缓冲器有效)：

- IN3BAVIRQ
- IN2BAVIRQ
- IN0BAVIRQ

### 芯片复位

拉低 $\overline{\text{RES}}$ 引脚或设置CHIPRES = 1可以清零大多数控制USB工作的位，但用于控制SPI和引脚的位不受影响，因此SPI主控制器和MAX3421E的接口不受影响。尤其是：

- CHIPRES不改变。如果SPI主控制器通过设置CHIPRES = 1触发该复位，那么它必须重设CHIPRES = 0来退出复位。
- CONNECT不受影响，如果CONNECT = 1，设备继续保持连接状态。

- 通用输出GPOUT7–GPOUT0不受影响，输出上不会产生毛刺。
- GPX输出选择(GPXB, GPXA)不受影响。
- 控制SPI接口工作的位不受影响：FDUPSPI、INTLEVEL和POSINT。
- 控制掉电和唤醒操作的位不受影响：HOSCSTEN、PWRDOWN和SIGRWU。

除了上电复位部分中提到的三个位以外，所有其它位均被清零。

**注意：**IRQ和IE位也在该复位中被清除。这就意味着在经历了这种复位以后，应该调用特定的固件例程来开放中断。芯片复位期间GPOUT7–GPOUT0保持不变。内部上电复位(POR)可以将它们清零。

### 外设模式中的USB总线复位

若MAX3421E检测到21.33 $\mu\text{s}$ 的SE0，它就触发URESIRQ位，并将某些特定的位清零。这种复位是三种复位中影响面最小的一种。它可以保持上电复位和芯片复位两节中所列出的那些位的状态不变，同时还使以下这些位维持其原有状态不变：

- EPFIFO寄存器不变。
- GPOUT7–GPOUT0位不变。
- IE位不变。
- URESIE/IRQ和URES DNIE/IRQ不变，以便SPI主控制器检查USB总线复位的状态。

EPFIFO寄存器维持其USB总线复位前的状态只是为了诊断。总线复位后应视这些数据为无效。FIFO中的实际数据永远不会被清除。

和芯片复位一样，大多数中断请求和中断使能位被清除，意味着总线复位后设备固件必须重新开放各个中断。但和实际总线复位相关的中断除外，便于SPI主控制器检测主机USB总线复位信号的起点和终点。

### 主机模式中的USB总线复位

作为主机时，SPI主控制器通过设置HCTL寄存器(R29)中的BUSRST位命令MAX3421E发出USB总线复位信号。MAX3421E产生正确定时的信号，并在结束时触发HIRQ寄存器(R25)中的BUSEVENTIRQ位。

# MAX3421E

## SPI接口的USB外设/主机控制器

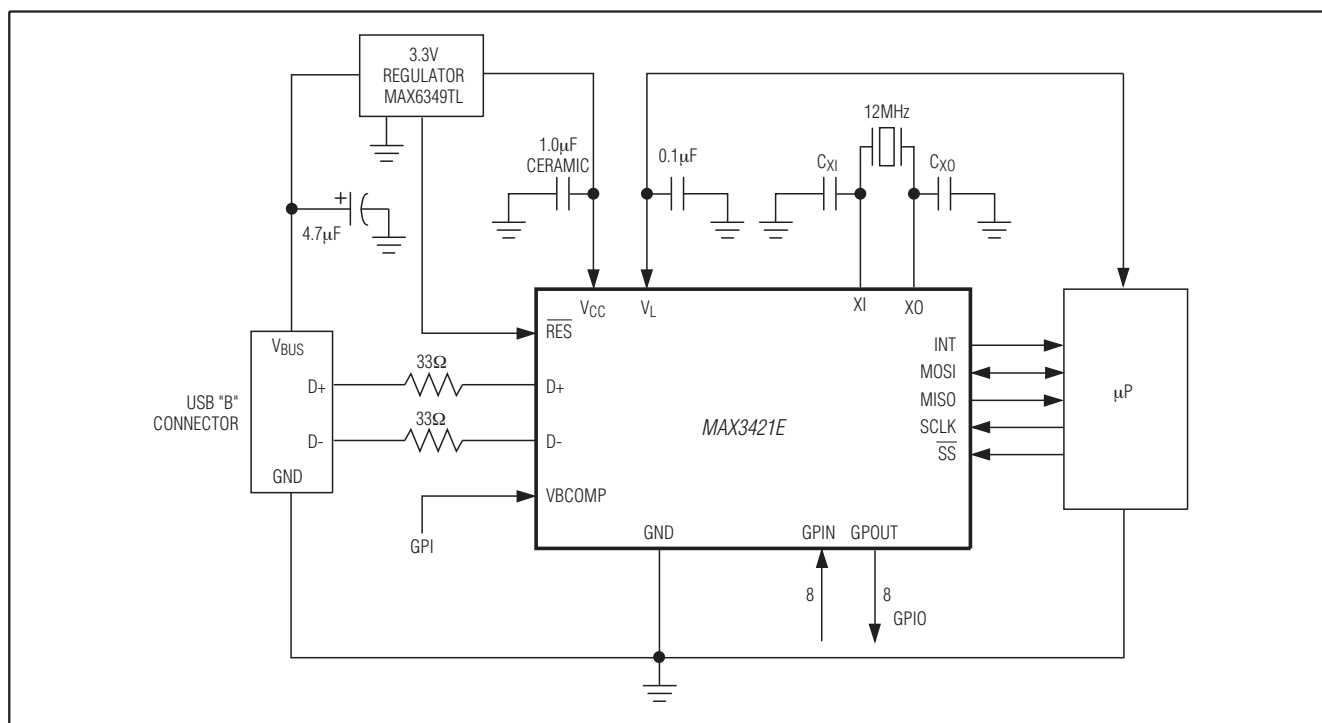


图19. MAX3421E在总线供电的外设应用中

### 晶体的选择

MAX3421E要求的晶体规格如下：

频率：12MHz  $\pm 0.25\%$

$C_{LOAD}$ ：18pF(最大)

$C_0$ ：7pF(最大)

驱动电平：200µW

串联谐振电阻：60Ω(最大)

**注意：**串联谐振电阻是在谐振器处于串联谐振条件时观察到的电阻。这是石英晶体制造商经常提到的参数，称为R1。当谐振器被用在并联谐振模式和外接负载电容的条件下时(正如MAX3421E振荡电路)，有时会提到有效电阻。加载振荡频率下的有效电阻为：

$$R1 \times (1 + (C_0 / C_{LOAD}))^2$$

对于典型的 $C_0$ 和 $C_{LOAD}$ 值，有效电阻会比R1高出2倍。

### MAX3421E在总线供电的外设应用中

图19显示了MAX3421E在一个由 $V_{BUS}$ 供电的外设中的应用。该配置的优点是它不需要外部电源。 $V_{BUS}$ 的额定值

为4.75V至5.25V，需要一个3.3V稳压器来给MAX3421E供电。该图中的微处理器也由3.3V供电， $V_L$ 引脚(逻辑电平参考电压)被接到 $V_{CC}$ 。因此，GPIO(通用输入/输出)的参考电平亦为3.3V。

USB是一个热插拔系统(当设备被插入时 $V_{BUS}$ 处于加电状态)，因此，一个好的设计习惯是使用上电复位电路，以便在设备被插入时给系统提供一个干净的复位。MAX6349TL可作为一个优秀的USB稳压器，因其具有非常低的静态电流，同时内置有上电复位(POR)电路。

由于该设计采用总线供电，无需检测 $V_{BUS}$ 的加电状态。此时，总线电压检测输入VBCOMP可作为一个很好的通用输入使用。VBCOMP输入有两个相关的中断，VBUSIRQ和NOVBUSIRQ。利用这些中断可以检测VBCOMP输入上的任何沿跳变。

图19中的配置显示，SPI接口使用了最大数量的SPI接口引脚。数据引脚MOSI和MISO是分离的，并且MAX3421E通过INT输出引脚向µP提供一路中断信号，以便在需要µP注意的时候通知它。

## SPI接口的USB外设/主机控制器

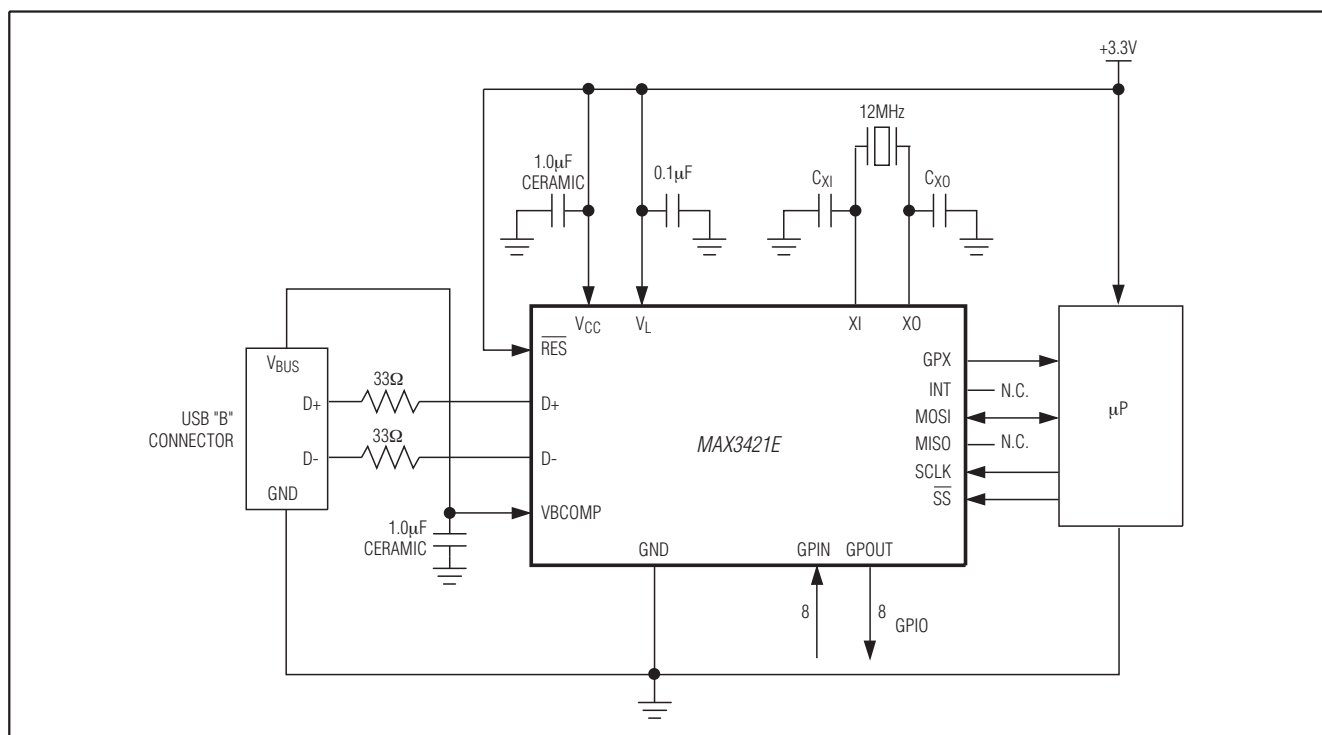


图20. MAX3421E在自供电的外设应用中

**MAX3421E在自供电的外设应用中**

图20显示了一个自供电的外设设计，其中的 $\mu\text{P}$ 有它自己的电源。这是电池供电的手持设备中很普通的一种配置。图20也给出了一种引脚数量最少的SPI连接方式。其中采用单条双向数据线，并省掉了中断连线。MAX3421E的寄存器位FDUPSPI用于配置SPI接口为双向工作模式。

尽管图20中 $V_L = V_{CC}$ ，但如果微控制器采用不同的接口电压(1.71V至3.6V)，该基准电压可以连接至 $V_L$ 。图20给出了MAX3421E的GPX输出与微控制器的连接电路。可以设置GPX (见表5)使其输出连接至内部 $V_{BUS}$ 比较器的输出，使微控制器可以检测USB设备的插入，即使是在MAX3421E处于掉电状态。

$V_{BUS}$ 检测输入VBCOMP是MAX3421E的一个重要特性。因为，无论USB设备被插入与否 $\mu\text{P}$ 都有供电，因此需要某种方式来检测插入事件。MAX3421E内部的一个比较器通过VBCOMP监视是否发生有效的 $V_{BUS}$ 连接，并向 $\mu\text{P}$ 提供了一个连接状态位。一旦连接， $\mu\text{P}$ 可以延迟与USB总线的逻辑连接，以执行必要的初始化任务，然后在MAX3421E寄存器USBCTL (R15)中设置CONNECT位为1实现

现连接。这使内部的1.5k $\Omega$ 电阻连接在D+和3.3V间，告诉主机有设备插入。

如果在有设备连接的情况下主机关闭了 $V_{BUS}$ ，USB 2.0规范要求外设不能给其D+上的1.5k $\Omega$ 上拉电阻供电。MAX3421E的两个特性有助于满足该要求，首先，NOVBUSIRQ位指示 $V_{BUS}$ 掉电。其次， $\mu\text{P}$ 可以设置一个被称为VBGATE ( $V_{BUS}$ 门控)的位，命令MAX3421E一旦 $V_{BUS}$ 掉电立即断开上拉电阻，而不必考虑CONNECT位的设置。

**MAX3421E用于主机应用**

图21显示了MAX3421E在一个嵌入式主机中的应用。主机需要给外设提供 $V_{BUS}$ 电源，因此该电路需要一个外部的5V电源。为外部设备提供电源的电路必须具有功率保护功能(例如MAX4793，它可将电流限制在300mA至400mA)，以确保电路在插入设备引起过流故障时仍能继续工作。限流开关的FLAG指示连接至MAX3421E的八条GPIN输入之一，GPX引脚被配置为第二个MAX3421E中断输出，仅当有GPIN引脚状态改变时触发。八个GPOUT引脚中的任何一个可用来接通或关闭 $V_{BUS}$ 开关。还分别有7个MAX3421E GPIN和GPOUT引脚供系统使用。

# MAX3421E

## SPI接口的USB外设/主机控制器

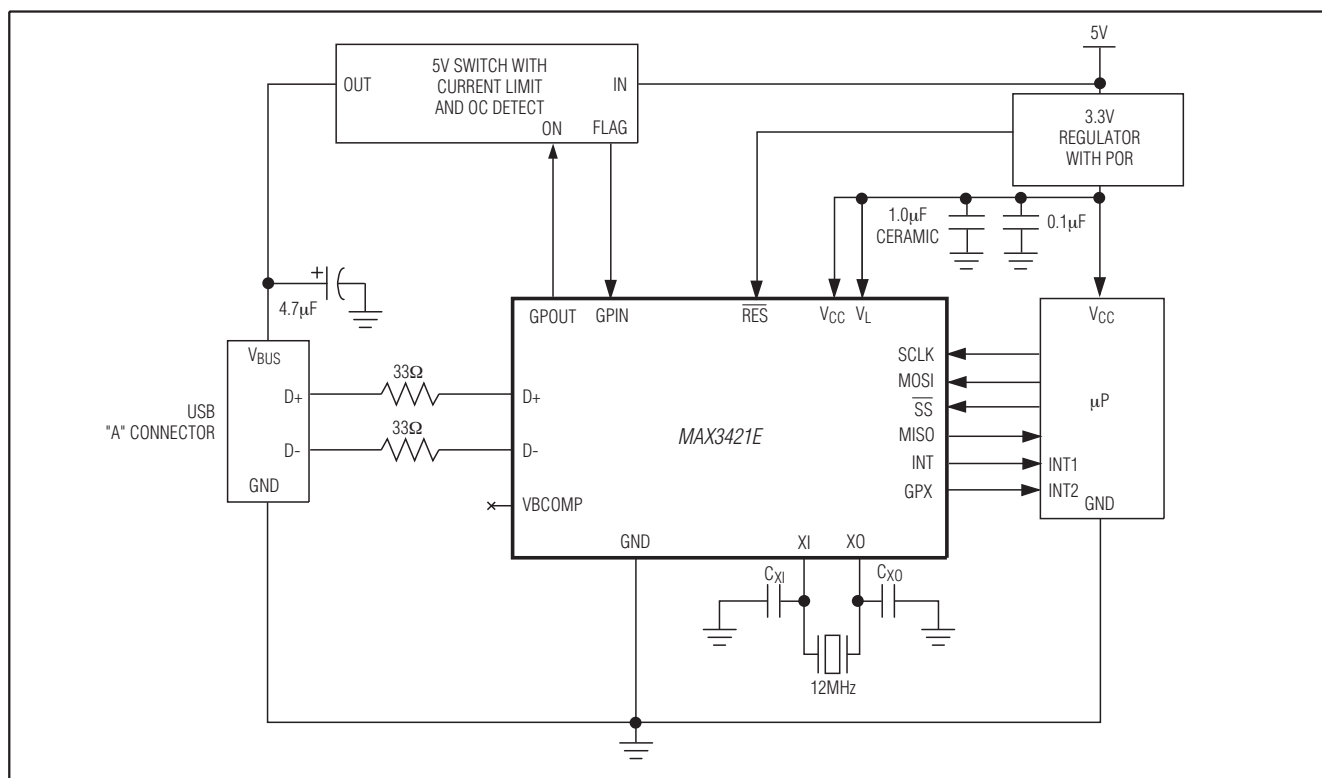


图21. MAX3421E用于主机设备

### 短路保护

MAX3421E能够承受 $V_{BUS}$ 到D+和D-上 $33\Omega$ 串联电阻(靠近USB连接器一侧引脚)的短路。

### ESD保护

D+、D-和VBCOMP引脚集成有额外的静电保护，可为器件提供高达 $\pm 15\text{kV}$ 的保护。该ESD结构可在所有工作模式下承受高ESD：正常工作、挂起模式和掉电模式。VBCOMP和 $V_{CC}$ 引脚要求尽量靠近引脚安装到地的 $1\mu\text{F}$ 陶瓷电容。D+、D-和VBCOMP提供以下条件的保护：

- $\pm 15\text{kV}$ ，采用人体模型
- $\pm 8\text{kV}$ ，采用IEC 61000-4-2规定的接触放电方式
- $\pm 12\text{kV}$ ，采用IEC 61000-4-2气隙方式

### ESD测试条件

ESD性能与其测试条件密切相关。可向Maxim索取可靠性报告，其中给出了测试装置、测试方法和测试结果。

### 人体模型

图22显示了人体模型，图23显示了向低阻抗放电时产生的电流波形。该模型包括一个 $100\text{pF}$ 的电容，被充电到需要测试的ESD电压，然后通过一个 $1.5\text{k}\Omega$ 电阻向待测器件放电。

### IEC 61000-4-2

IEC 61000-4-2标准是针对最终设备的ESD测试和性能制定的，并非专为集成电路规定。人体模型测试和IEC 61000-4-2的主要区别是IEC 61000-4-2具有更高的峰值电流，因为后者所用的串联电阻更小。因此，IEC 61000-4-2的测试电压通常低于人体模型测试方法。图24显示了IEC 61000-4-2模型。接触放电方式是在探头被充电前就将其连接到器件。气隙放电测试是用一个已充电的探头去靠近器件。

## SPI接口的USB外设/主机控制器

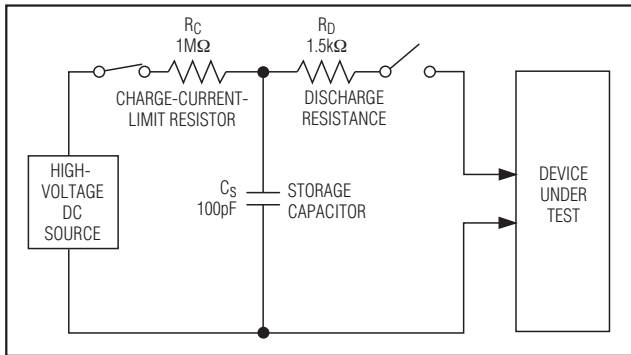


图22. 人体ESD测试模型

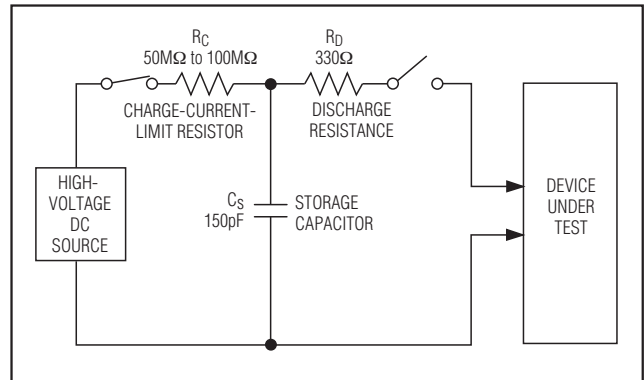


图24. IEC 61000-4-2 ESD测试模型

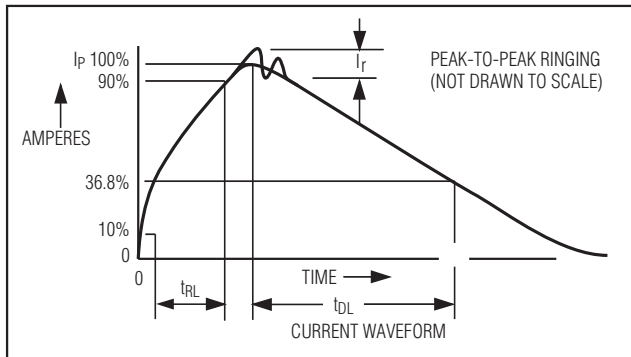


图23. 人体模型电流波形

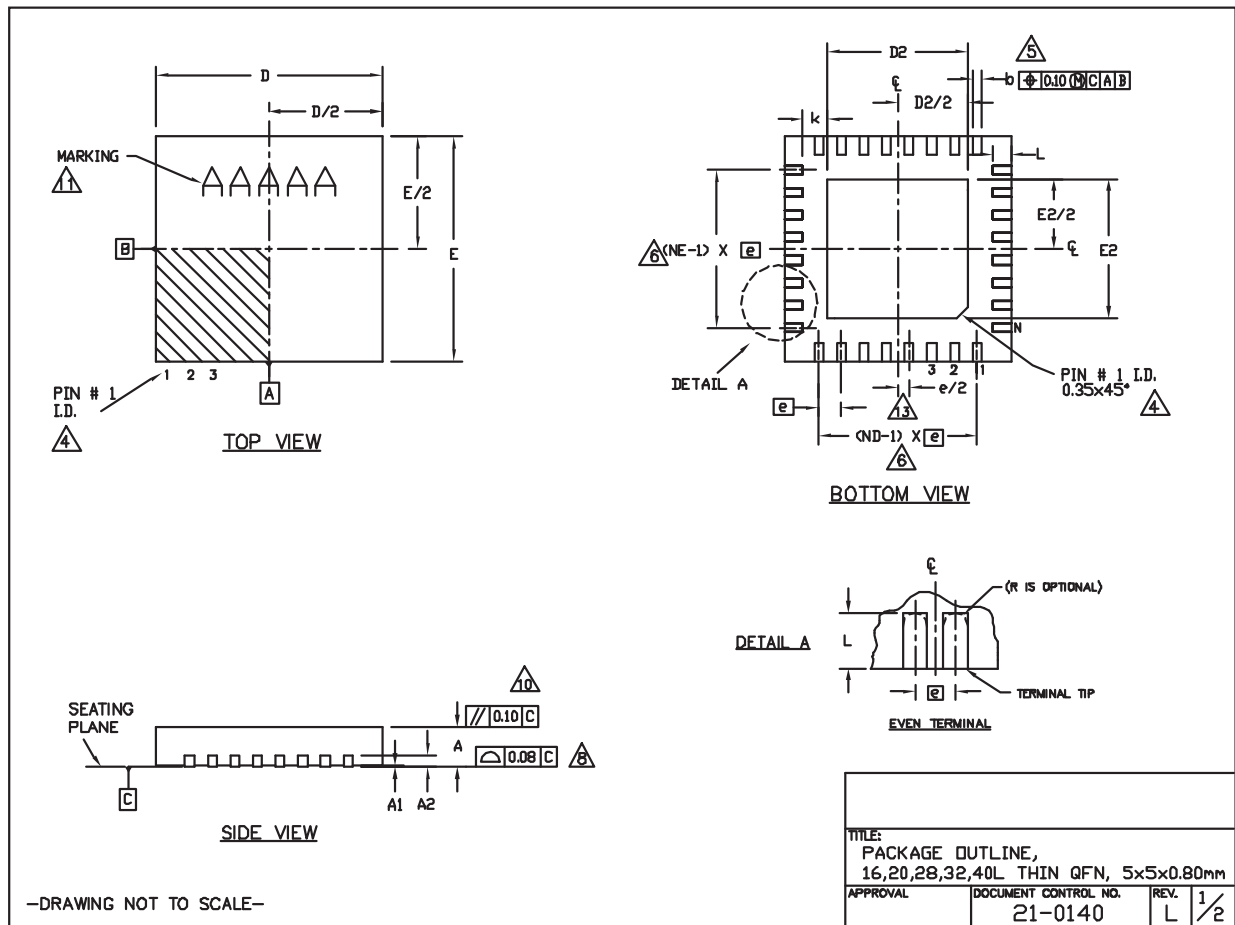
芯片信息

PROCESS: BiCMOS

## SPI接口的USB外设/主机控制器

## 封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外形信息，请查询 [www.maxim-ic.com.cn/packages](http://www.maxim-ic.com.cn/packages)。)



## SPI接口的USB外设/主机控制器

## 封装信息(续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外形信息, 请查询 [www.maxim-ic.com.cn/packages](http://www.maxim-ic.com.cn/packages).)

COMMON DIMENSIONS															
PKG.	16L 5x5			20L 5x5			28L 5x5			32L 5x5			40L 5x5		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	16			20			28			32			40		
ND	4			5			7			8			10		
NE	4			5			7			8			10		
JEDEC	VHHD			WHHC			WHHD-1			WHHD-2			-----		

## NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
- △ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- △ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- △ ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- △ COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-3, T2855-6, T4055-1 AND T4055-2.
- △ WARPAGE SHALL NOT EXCEED 0.10 mm.
11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- △ LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION 'e', ±0.05.
14. ALL DIMENSIONS APPLY TO BOTH LEADED AND PbFREE PARTS.

-DRAWING NOT TO SCALE-

EXPOSED PAD VARIATIONS						
PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T1655-2	3.00	3.10	3.20	3.00	3.10	3.20
T1655-3	3.00	3.10	3.20	3.00	3.10	3.20
T1655N-1	3.00	3.10	3.20	3.00	3.10	3.20
T2055-3	3.00	3.10	3.20	3.00	3.10	3.20
T2055-4	3.00	3.10	3.20	3.00	3.10	3.20
T2055-5	3.15	3.25	3.35	3.15	3.25	3.35
T2055MN-5	3.15	3.25	3.35	3.15	3.25	3.35
T2855-3	3.15	3.25	3.35	3.15	3.25	3.35
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35
T3255-3	3.00	3.10	3.20	3.00	3.10	3.20
T3255-4	3.00	3.10	3.20	3.00	3.10	3.20
T3255M-4	3.00	3.10	3.20	3.00	3.10	3.20
T3255-5	3.00	3.10	3.20	3.00	3.10	3.20
T3255N-1	3.00	3.10	3.20	3.00	3.10	3.20
T4055-1	3.40	3.50	3.60	3.40	3.50	3.60
T4055-2	3.40	3.50	3.60	3.40	3.50	3.60
T4055MN-1	3.40	3.50	3.60	3.40	3.50	3.60

TITLE: PACKAGE OUTLINE, 16,20,28,32,40L THIN QFN, 5x5x0.80mm		
APPROVAL	DOCUMENT CONTROL NO. 21-0140	REV. L 2/2

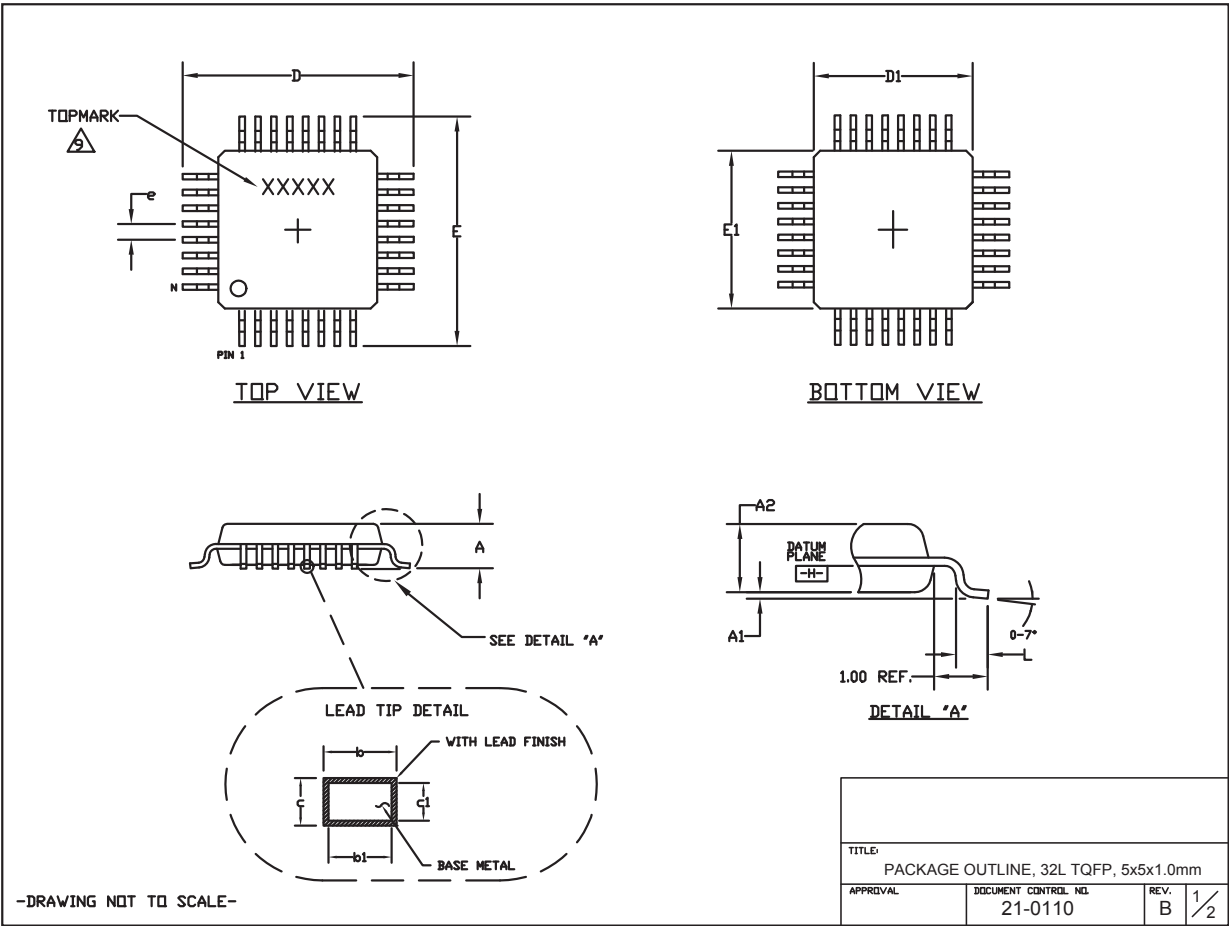


# MAX3421E

## SPI接口的USB外设/主机控制器

### 封装信息(续)

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外形信息，请查询 [www.maxim-integrated.com/packages](http://www.maxim-integrated.com/packages).)



32L TQFP, 5x5x0.1mm

# MAX3421E

## SPI接口的USB外设/主机控制器

### 封装信息(续)

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外形信息，请查询 [www.maxim-integrated.com/packages](http://www.maxim-integrated.com/packages).)

#### NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE  $\square$  IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.25 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. ALL DIMENSIONS ARE IN MILLIMETERS.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95, REGISTRATION MS-026.
8. LEADS SHALL BE COPLANAR WITHIN .004 INCH.
9. TOPMARK SHOWN IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

	JEDEC VARIATIONS	
	DIMENSIONS IN MILLIMETERS	
	AAA	
	5x5x1.0 MM	
	MIN.	MAX.
A	$\sim$	1.20
A1	0.05	0.15
A2	0.95	1.05
D	6.80	7.20
D1	4.80	5.20
E	6.80	7.20
E1	4.80	5.20
L	0.45	0.75
N	32	
e	0.50 BSC.	
b	0.17	0.27
b1	0.17	0.23
c	0.09	0.20
c1	0.09	0.16

-DRAWING NOT TO SCALE-

TITLE:		
PACKAGE OUTLINE, 32L TQFP, 5x5x1.0mm		
APPROVAL	DOCUMENT CONTROL NO.	REV.
	21-0110	B 2/2

# MAX3421E

## SPI接口的USB外设/主机控制器

### 修订历史

修订次数	修订日期	说明	修改页
3	7/07	修改引脚说明, 增加内容。	5, 25, 28-31

### Maxim北京办事处

北京8328信箱 邮政编码100083  
免费电话: 800 810 0310  
电话: 010-6211 5199  
传真: 010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责, 也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证, 数据资料其它章节引用的参数值供设计人员参考。