



4A、20ns、MOSFET驱动器

MAX5078

概述

MAX5078A/MAX5078B 高速 MOSFET 驱动器可供出或吸入最高 4A 的峰值电流。这些器件在驱动 5000pF 容性负载时具有 20ns 的传输延时和 20ns 的上升、下降时间。传输延时最小，并在反相和同相输入之间保持匹配。较高的供出/吸入峰值电流能力、低传输延时和高效散热封装使 MAX5078A/MAX5078B 非常适合高频和大功率电路。

MAX5078A/MAX5078B 采用 4V 至 15V 单电源工作，没有开关操作时消耗电源电流仅 40μA (典型值)。这些器件具有内部逻辑电路，在高开关频率下降低工作电流，输出状态发生变化时，可防止输出级发生贯通。逻辑输入具有保护功能，可以承受最高 +18V 的电压峰值，而且与 V_{DD} 电压无关。MAX5078A 具有 CMOS 输入逻辑电平，MAX5078B 则具有与 TTL 电平兼容的输入逻辑电平。

MAX5078A/MAX5078B 提供反相与同相输入，为控制 MOSFET 提供了更大的灵活性。它们采用 6 引脚 TDFN (3mm x 3mm) 封装，工作在 -40°C 至 +125°C 汽车级温度范围内。

应用

功率 MOSFET 开关 电机控制
开关模式电源 电源模块
DC-DC 转换器

特性

- ◆ 4V 至 15V 单电源供电
- ◆ 供出/吸入峰值驱动电流达 4A
- ◆ 20ns (典型值) 传输延时
- ◆ 反相和同相输入延时匹配
- ◆ $V_{DD} / 2$ CMOS (MAX5078A)/TTL (MAX5078B) 逻辑输入
- ◆ $0.1 \times V_{DD}$ (CMOS) 和 0.3V (TTL) 逻辑输入滞回
- ◆ 最高 +18V 的逻辑输入 (与 V_{DD} 电压无关)
- ◆ 低输入电容: 2.5pF (典型值)
- ◆ 40μA (典型值) 的静态电流
- ◆ -40°C 至 +125°C 的工作温度范围
- ◆ 6 引脚 TDFN 封装

订购信息

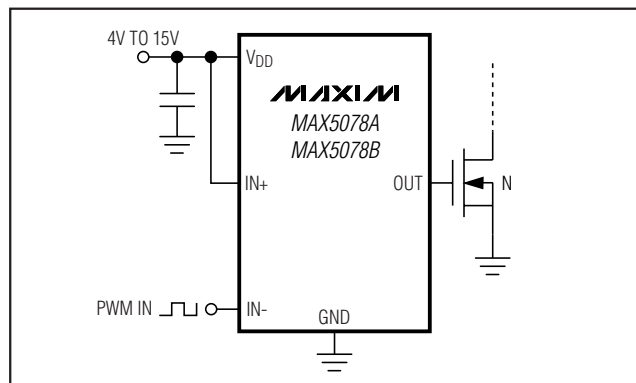
PART	TEMP RANGE	PIN-PACKAGE	TOP MARK	PKG CODE
MAX5078AATT	-40°C to +125°C	6 TDFN-EP*	AHL	T633-1
MAX5078BATT	-40°C to +125°C	6 TDFN-EP*	AHM	T633-1

*EP = 裸焊盘。

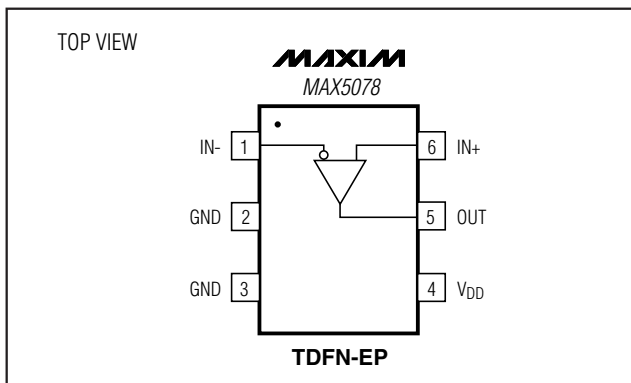
选型指南

PART	PIN-PACKAGE	LOGIC INPUT
MAX5078AATT	6 TDFN-EP	$V_{DD} / 2$ CMOS
MAX5078BATT	6 TDFN-EP	TTL

典型工作电路



引脚配置



4A、20ns、MOSFET驱动器

ABSOLUTE MAXIMUM RATINGS

(Voltages referenced to GND.)

V _{DD}	-0.3V to +18V
IN+, IN-	-0.3V to +18V
OUT	-0.3V to (V _{DD} + 0.3V)
OUT Short-Circuit Duration	10ms
Continuous Source/Sink Current at OUT_ (P _D < P _{DMAX})	200mA

Continuous Power Dissipation (T_A = +70°C)

6-Pin TDFN-EP (derate 18.2mW/°C above +70°C)	1454mW
Junction-to-Case Thermal Resistance (θ _{JC})	2°C/W
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	+150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 4V to 15V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V_{DD} = 15V and T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
POWER SUPPLY							
V _{DD} Operating Range	V _{DD}			4		15	V
V _{DD} Undervoltage Lockout	UVLO	V _{DD} rising		3.00	3.5	3.85	V
V _{DD} Undervoltage Lockout Hysteresis					200		mV
V _{DD} Undervoltage Lockout to Output Delay		V _{DD} rising			12		μs
V _{DD} Supply Current	I _{DD}	IN+ = 0V, IN- = V _{DD} (not switching)	V _{DD} = 4V		28	55	μA
			V _{DD} = 15V		40	75	
	I _{DD-SW}	Switching at 250kHz, C _L = 0		0.5	1.2	2.2	mA
DRIVER OUTPUT (SINK)							
Driver Output Resistance Pulling Down	R _{ON-N}	V _{DD} = 15V, I _{OUT} = -100mA	T _A = +25°C		1.1	1.8	Ω
			T _A = +125°C		1.5	2.4	
		V _{DD} = 4.5V, I _{OUT} = -100mA	T _A = +25°C		2.2	3.3	
			T _A = +125°C		3.0	4.5	
Peak Output Current (Sinking)	I _{PK-N}	V _{DD} = 15V, C _L = 10,000pF			4		A
Output-Voltage Low		I _{OUT} = -100mA	V _{DD} = 4.5V			0.45	V
			V _{DD} = 15V			0.24	
Latchup Protection	I _{LUP}	Reverse current I _{OUT} (Note 2)		400			mA
DRIVER OUTPUT (SOURCE)							
Driver Output Resistance Pulling Up	R _{ON-P}	V _{DD} = 15V, I _{OUT} = 100mA	T _A = +25°C		1.5	2.1	Ω
			T _A = +125°C		1.9	2.75	
		V _{DD} = 4.5V, I _{OUT} = 100mA	T _A = +25°C		2.75	4	
			T _A = +125°C		3.75	5.5	
Peak Output Current (Sourcing)	I _{PK-P}	V _{DD} = 15V, C _L = 10,000pF			4		A

4A、20ns、MOSFET驱动器

MAX5078

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 4V to 15V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V_{DD} = 15V and T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output-Voltage High		I _{OUT} = 100mA	V _{DD} = 4.5V	V _{DD} - 0.55		V
			V _{DD} = 15V	V _{DD} - 0.275		
LOGIC INPUT (Note 3)						
Logic 1 Input Voltage	V _{IH}	MAX5078A	0.7 x V _{DD}			V
		MAX5078B (Note 4)	2.1			
Logic 0 Input Voltage	V _{IL}	MAX5078A		0.3 x V _{DD}		V
		MAX5078B		0.8		
Logic-Input Hysteresis	V _{HYS}	MAX5078A		0.1 x V _{DD}		V
		MAX5078B		0.3		
Logic-Input-Current Leakage		IN+ = IN- = 0V or V _{DD}	-1	+0.1	+1	μA
Input Capacitance	C _{IN}			2.5		pF
SWITCHING CHARACTERISTICS FOR V_{DD} = 15V (Figure 1)						
OUT Rise Time	t _R	C _L = 1000pF		4		ns
		C _L = 5000pF		18		
		C _L = 10,000pF		32		
OUT Fall Time	t _F	C _L = 1000pF		4		ns
		C _L = 5000pF		15		
		C _L = 10,000pF		26		
Turn-On Delay Time	t _{D-ON}	C _L = 10,000pF (Note 2)	10	20	34	ns
Turn-Off Delay Time	t _{D-OFF}	C _L = 10,000pF (Note 2)	10	20	34	ns
SWITCHING CHARACTERISTICS FOR V_{DD} = 4.5V (Figure 1)						
OUT Rise Time	t _R	C _L = 1000pF		7		ns
		C _L = 5000pF		37		
		C _L = 10,000pF		85		
OUT Fall Time	t _F	C _L = 1000pF		7		ns
		C _L = 5000pF		30		
		C _L = 10,000pF		75		
Turn-On Delay Time	t _{D-ON}	C _L = 10,000pF (Note 2)	18	35	70	ns
Turn-Off Delay Time	t _{D-OFF}	C _L = 10,000pF (Note 2)	18	35	70	ns

4A、20ns、MOSFET驱动器

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 4V$ to $15V$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $V_{DD} = 15V$ and $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MATCHING CHARACTERISTICS						
Mismatch Propagation Delays from Inverting and Noninverting Inputs to Output	Δt_{ON-OFF}	$V_{DD} = 15V$, $C_L = 10,000pF$		2		ns
		$V_{DD} = 4.5V$, $C_L = 10,000pF$		4		

Note 1: All devices are 100% tested at $T_A = +25^\circ C$. Specifications over $-40^\circ C$ to $+125^\circ C$ are guaranteed by design.

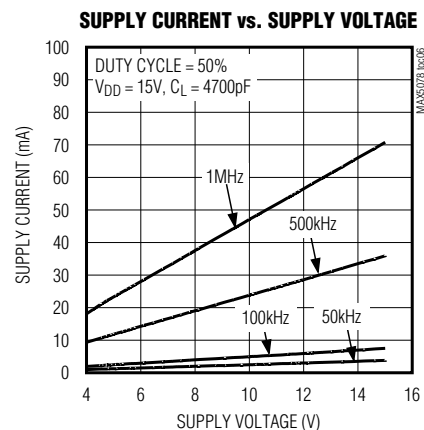
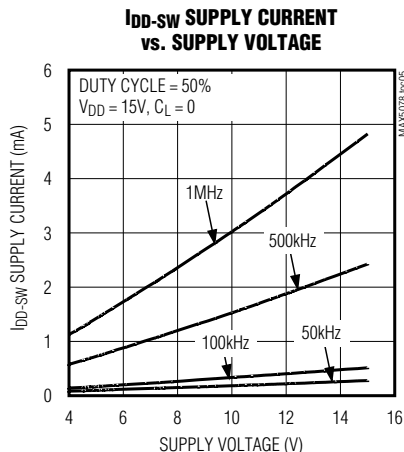
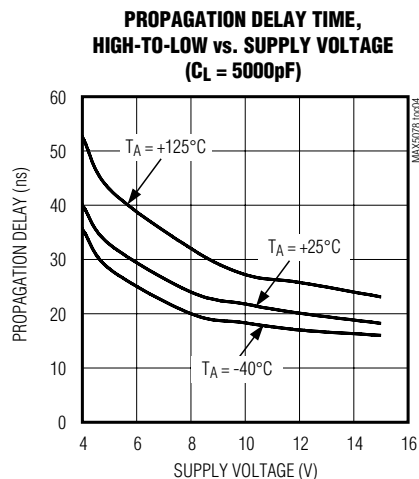
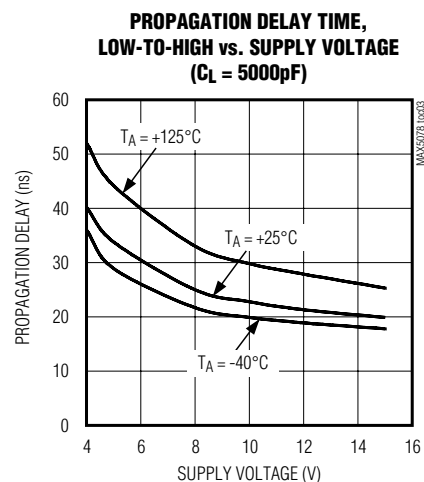
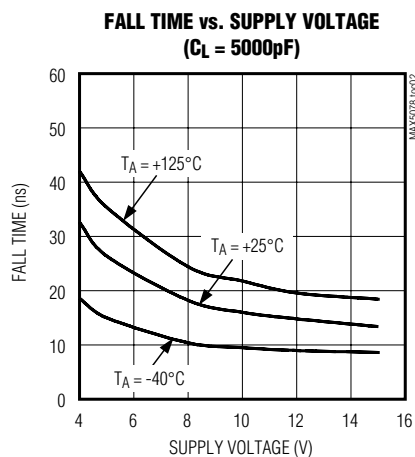
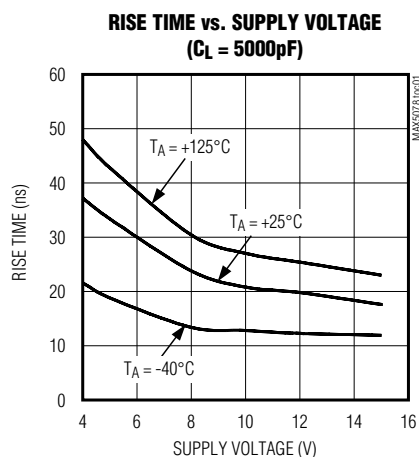
Note 2: Limits are guaranteed by design, not production tested.

Note 3: The logic-input thresholds are tested at $V_{DD} = 4V$ and $V_{DD} = 15V$.

Note 4: TTL compatible with reduced noise immunity.

典型工作特性

($T_A = +25^\circ C$, unless otherwise noted.)



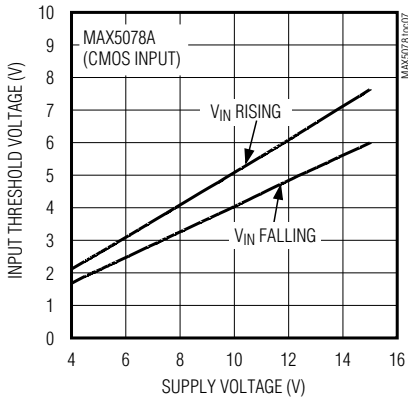
4A、20ns、MOSFET驱动器

典型工作特性(续)

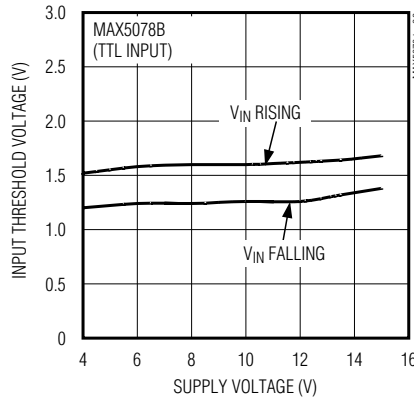
($T_A = +25^\circ\text{C}$, unless otherwise noted.)

MAX5078

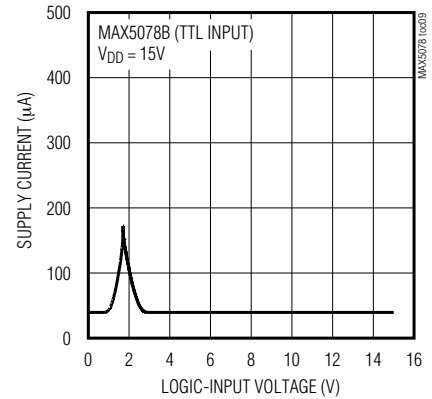
**INPUT THRESHOLD VOLTAGE
vs. SUPPLY VOLTAGE**



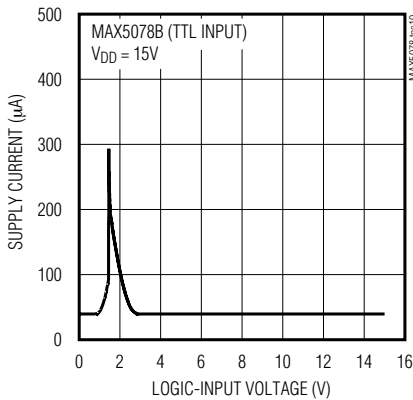
**INPUT THRESHOLD VOLTAGE
vs. SUPPLY VOLTAGE**



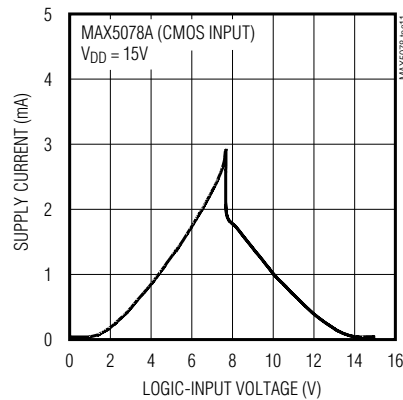
**SUPPLY CURRENT vs. LOGIC-INPUT
VOLTAGE (INPUT LOW-TO-HIGH)**



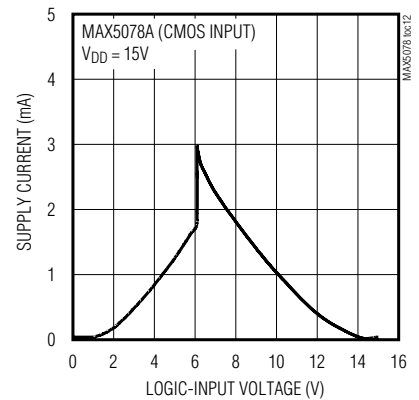
**SUPPLY CURRENT vs. LOGIC-INPUT
VOLTAGE (INPUT HIGH-TO-LOW)**



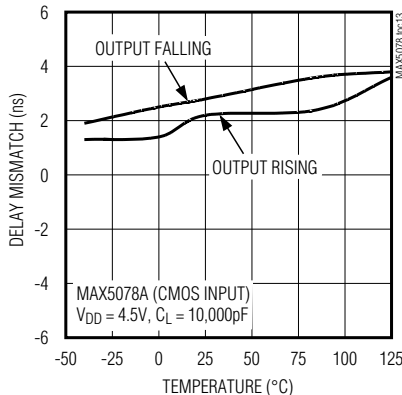
**SUPPLY CURRENT vs. LOGIC-INPUT
VOLTAGE (INPUT LOW-TO-HIGH)**



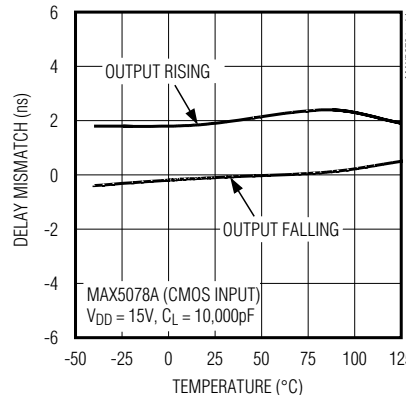
**SUPPLY CURRENT vs. LOGIC-INPUT
VOLTAGE (INPUT HIGH-TO-LOW)**



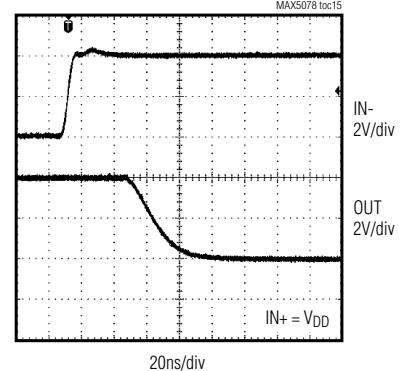
**DELAY MISMATCH BETWEEN IN+
AND IN- TO OUT vs. TEMPERATURE**



**DELAY MISMATCH BETWEEN IN+
AND IN- TO OUT vs. TEMPERATURE**



**LOGIC-INPUT VOLTAGE vs. OUTPUT VOLTAGE
($V_{DD} = 4\text{V}$, $C_L = 5000\text{pF}$)**

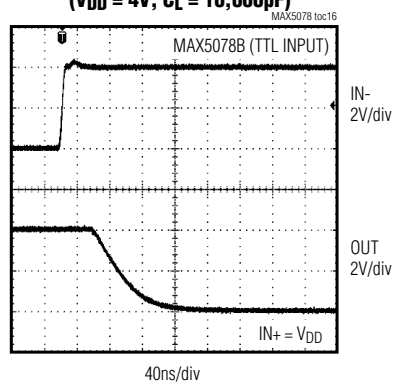


4A、20ns、MOSFET驱动器

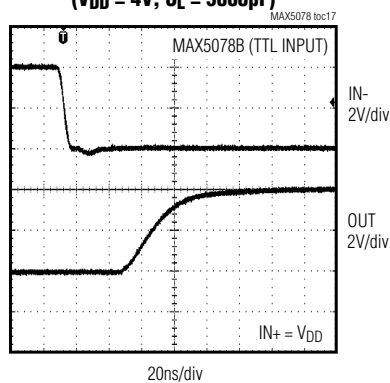
典型工作特性(续)

(T_A = +25°C, unless otherwise noted.)

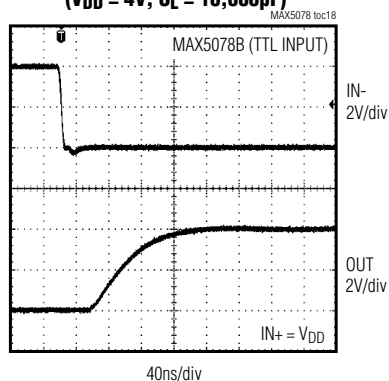
LOGIC-INPUT VOLTAGE vs. OUTPUT VOLTAGE
(V_{DD} = 4V, C_L = 10,000pF)



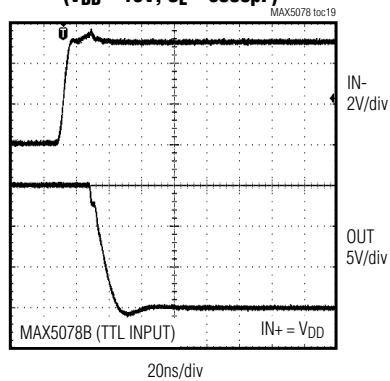
LOGIC-INPUT VOLTAGE vs. OUTPUT VOLTAGE
(V_{DD} = 4V, C_L = 5000pF)



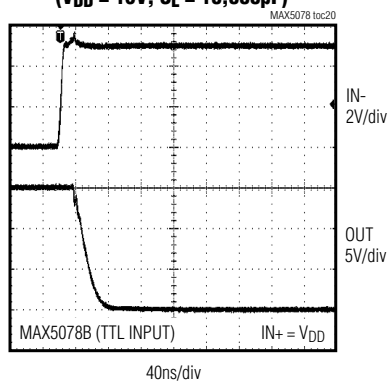
LOGIC-INPUT VOLTAGE vs. OUTPUT VOLTAGE
(V_{DD} = 4V, C_L = 10,000pF)



LOGIC-INPUT VOLTAGE vs. OUTPUT VOLTAGE
(V_{DD} = 15V, C_L = 5000pF)



LOGIC-INPUT VOLTAGE vs. OUTPUT VOLTAGE
(V_{DD} = 15V, C_L = 10,000pF)



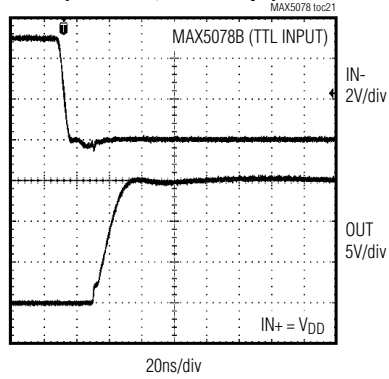
4A、20ns、MOSFET驱动器

MAX5078

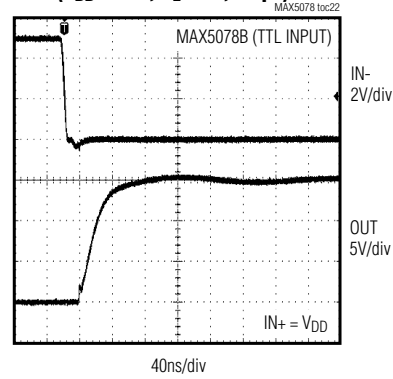
典型工作特性(续)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

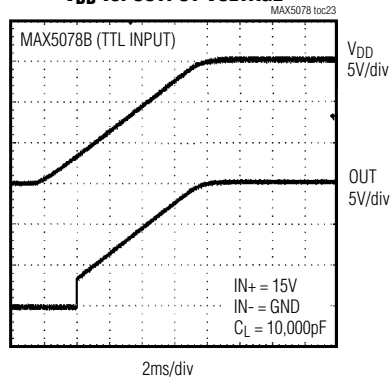
LOGIC-INPUT VOLTAGE vs. OUTPUT VOLTAGE
($V_{DD} = 15\text{V}$, $C_L = 5000\text{pF}$)



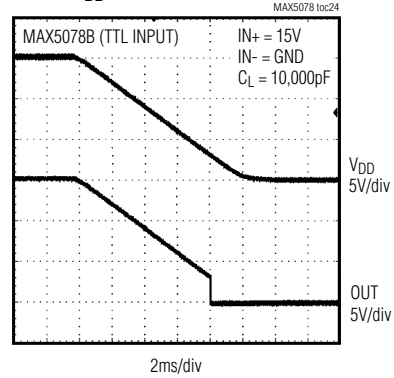
LOGIC-INPUT VOLTAGE vs. OUTPUT VOLTAGE
($V_{DD} = 15\text{V}$, $C_L = 10,000\text{pF}$)



V_{DD} vs. OUTPUT VOLTAGE



V_{DD} vs. OUTPUT VOLTAGE



4A、20ns、MOSFET驱动器

引脚说明

引脚	名称	功能
1	IN-	反相逻辑输入端。不使用时连至 GND。
2, 3	GND	地。
4	V _{DD}	电源。使用一个或多个 0.1μF 陶瓷电容旁路到 GND。
5	OUT	驱动器输出。为控制外部 MOSFET 供出或吸入电流。
6	IN+	同相逻辑输入端。不使用时连至 V _{DD} 。
—	EP	裸露焊盘。内部连至 GND。不要将裸露的焊盘用作唯一的电气接地点。

详细说明

V_{DD} 欠压锁定 (UVLO)

MAX5078A/MAX5078B 为 V_{DD} 提供欠压锁定 (UVLO)。当 V_{DD} 低于 UVLO 阈值时，无论输入状态如何，OUT 均被拉低。欠压锁定的典型值为 3.5V，为了避免抖动，还具有 200mV 典型值的滞回。当 V_{DD} 升至 UVLO 阈值以上时，由逻辑输入电平决定输出为高电平还是低电平。为了正常工作，用低 ESR 的陶瓷电容旁路 V_{DD} (见应用信息部分)。

逻辑输入

MAX5078A 为 CMOS 逻辑输入，而 MAX5078B 为 TTL 兼容的逻辑输入。逻辑输入带有保护功能，可以承受最高 +18V 的电压峰值，而且与 V_{DD} 电压无关。为了避免跳变时出现双脉冲，TTL 与 CMOS 逻辑输入分别具有 300mV 与 0.1 × V_{DD} 的滞回。2.5pF 的低输入电容降低了负荷，并增大了开关速度。

逻辑输入为高阻抗，不允许悬空。若输入开路，当 V_{DD} 升至 UVLO 阈值以上时，OUT 可能进入不确定的状态。因此，当该器件上电时，来自控制器的 PWM 输出必须假定一个正确的状态。

MAX5078A/MAX5078B 具有两个逻辑输入端，为控制 MOSFET 提供了更大的灵活性。同相逻辑操作时使用 IN+，反相逻辑操作时使用 IN-。不使用时，将 IN+ 连接到 V_{DD}，将 IN- 连接到 GND。另外，还可以将不使用的输入端用作 ON/OFF 控制。可以将 IN+ 用作低电平有效的关断控制，将 IN- 用作高电平有效的关断控制 (见图 3)。所有可能的输入组合见表 1。

驱动器输出

MAX5078A/MAX5078B 的输出级为低 R_{DS(ON)} 的 p 沟道与 n 沟道器件 (图腾柱)，用于高栅极电荷 MOSFET 的快速导通/关断控制。供出或吸入的峰值电流典型值为 4A。高电平状态下，输出电压 (V_{OUT}) 近似等于 V_{DD}，而在低电平状态下等于地电位。V_{DD} 更高时，驱动器的 R_{DS(ON)} 更低，以获得更高供出/吸入电流的能力和更高的开关速度。从同相与反相逻辑输入到 OUT 的传输延时匹配度的典型值为 2ns。先开后合逻辑可以避免内部 p 沟道与 n 沟道器件间的交叉导通，并可以消除贯通，从而降低静态电源电流。

应用信息

RLC 串联电路

驱动器的 R_{DS(ON)} (R_{ON})，内部绑定线/引脚电感 (L_P)，走线电感 (L_S)，栅极电感 (L_G)，以及栅极电容 (C_G) 构成了满足二阶特征方程的串联 RLC 电路。该串联 RLC 电路的无阻尼自激频率 (ω₀) 以及阻尼比 (ξ) 分别为：

$$\omega_0 = \frac{1}{\sqrt{(L_P + L_S + L_G) \times C_G}}$$

$$\xi = \frac{R_{ON}}{2 \times \sqrt{\frac{(L_P + L_S + L_G)}{C_G}}}$$

为了避免振荡，阻尼比应大于 0.5 (理想值为 1)。驱动栅极电荷非常低 MOSFET，或是驱动器远离 MOSFET 时，应在栅极上串联一个小电阻 (R_{GATE})。

4A、20ns、MOSFET驱动器

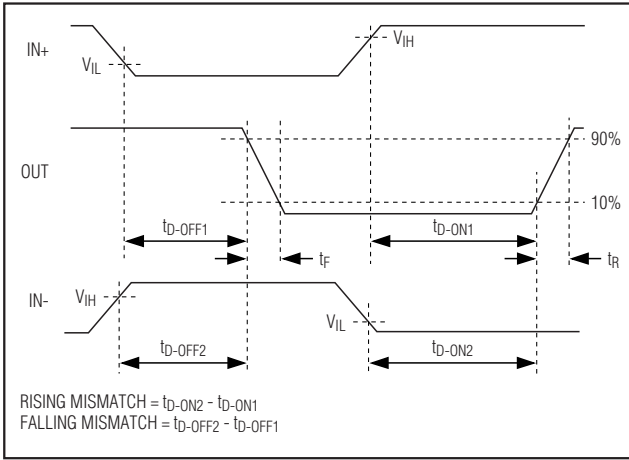


图1. 时序图

使用下式计算串联电阻：

$$R_{\text{GATE}} \geq \sqrt{\frac{(L_P + L_S + L_G)}{C_G}} - R_{\text{ON}}$$

TDFN封装的 L_P 约为2nH。 L_S 约为20nH/in。请向MOSFET销售商确认 L_G 。

电源旁路与接地

需要特别注意MAX5078A/MAX5078B的旁路与接地。驱动大的外部容性负载时，电源与输出峰值电流可能会超过4A。电源电压下降与地线漂移会对反相器产生负反馈，可能使延时与跳变时间指标变差。不良的器件接地引起的地线漂移还可能干扰共享同一个AC地返回通路的其他电路。通过开关MAX5078A/MAX5078B控制容性负载时，由于 di/dt 非常高， V_{DD} 、OUT与/或GND通路上的任何串联电感都可能引起振荡。尽可能靠近器件放置一个或多个并联的0.1μF陶瓷电容，将 V_{DD} 旁路到GND。使用地平面降低接地返回电阻以及串联电感。外部MOSFET尽可能靠近MAX5078A/MAX5078B摆放，可以进一步减小电路板电感与AC通路的阻抗。

功耗

MAX5078A/MAX5078B的功耗包括三部分：分别是由静态电流、内部节点的电容充电/放电，以及输出电流(容性负载或阻性负载)引起的。请将这三部分之和维持在功耗限制的最大值以下。

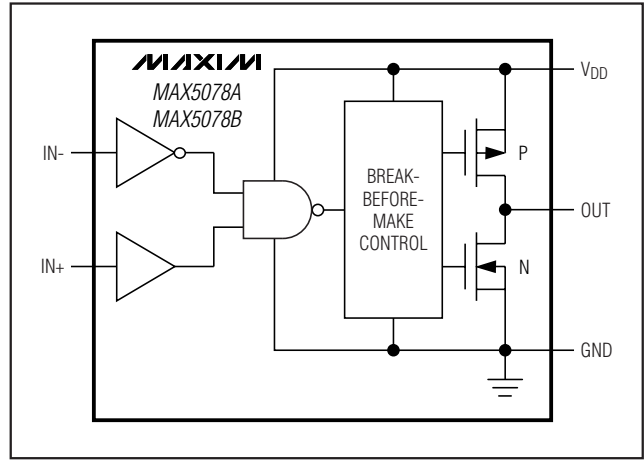


图2. MAX5078 简化原理图(1个驱动器)

向内部节点充放电所需的电流与频率有关(见典型工作特性中的 I_{DD-SW} Supply Current vs. Supply Voltage曲线图)。由静态开关电源电流(I_{DD-SW})引起的功耗(P_Q)可以这样计算：

$$P_Q = V_{DD} \times I_{DD-SW}$$

对容性负载，使用下式估算功耗：

$$P_{CLOAD} = C_{LOAD} \times (V_{DD})^2 \times f_{SW}$$

式中 C_{LOAD} 是容性负载， V_{DD} 是电源电压， f_{SW} 是开关频率。

用下式计算总功耗(P_T)：

$$P_T = P_Q + P_{CLOAD}$$

驱动以地为参考的阻性负载时，使用下式来估算MAX5078A/MAX5078B的总功耗：

$$P_T = P_Q + P_{RLOAD}$$

$$P_{RLOAD} = D \times R_{ON(MAX)} \times I_{LOAD}^2$$

式中 D 是MAX5078A/MAX5078B输出高电平时间在整个周期中所占的比例， $R_{ON(MAX)}$ 是输出为高电平时器件导通电阻的最大值， I_{LOAD} 是MAX5078A/MAX5078B的负载电流。

布线考虑

MAX5078A/MAX5078B MOSFET驱动器开关时会供出和吸入大电流，以保证在MOSFET栅极产生快速的上升沿和下降沿。若没有很好地控制走线长度与阻抗，高 di/dt 可能导致不可接受的阻尼振荡。

4A、20ns、MOSFET驱动器

表1. MAX5078 真值表

IN+	IN-	OUT
Low	Low	Low
Low	High	Low
High	Low	High
High	High	Low

设计 MAX5078A/MAX5078B 的电路时，遵循以下 PC 板布线规则：

- 在 V_{DD} 与 GND 之间放置一个或多个 $0.1\mu\text{F}$ 去耦陶瓷电容，并尽可能靠近器件摆放。将 V_{DD} 与 GND 连接到大面积覆铜区域。在 PC 板上放置一个 $10\mu\text{F}$ (最小值) 的大电容，并以低电阻通路连接 MAX5078A/MAX5078B 的 V_{DD} 输入与 GND。
- 在器件与被驱动 MOSFET 的栅极间形成了两个 AC 电流回路。当栅极为低电平时，MOSFET 的源极与栅极之间可以看作一个大电容。有效电流回路是从 MOSFET 的栅极，流经 MAX5078A/MAX5078B 的 OUT、MAX5078A/MAX5078B 的 GND，到 MOSFET 的源极。MOSFET 的栅极为高电平时，有效电流从去耦电容接 V_{DD} 的一端，流经 MAX5078A/MAX5078B 的 V_{DD} 、MAX5078A/MAX5078B 的 OUT、MOSFET 的栅极、MOSFET 的源极，到去耦电容的负端。充电电流回路与放电电流回路都很重要。尽可能减小这些 AC 电流通路的物理距离与阻抗。
- 将器件尽可能靠近 MOSFET 摆放。
- 在多层 PC 板中，内层应包括一个容纳放电与充电电流回路的 GND 层。
- 使用 TTL 逻辑器件时，要特别注意接地回路，并使用低阻抗的源极。跳变时，OUT 端快速的下降时间可能干扰输入信号。

裸露焊盘

TDFN-EP 封装在封装底部有一个裸露焊盘。该焊盘内部连接 GND。为获得最佳的导热性能，将裸露的焊盘焊接到地平面，以耗散 1.9W 功率。不要将该接地焊盘作为唯一的电气接地点或返回地。将 GND (引脚 2 和 3) 用作主要的电气接地点。

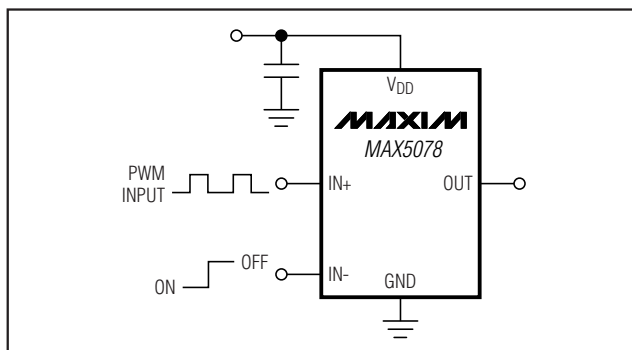


图3. 未使用的输入端用作 ON/OFF 控制

其他应用电路

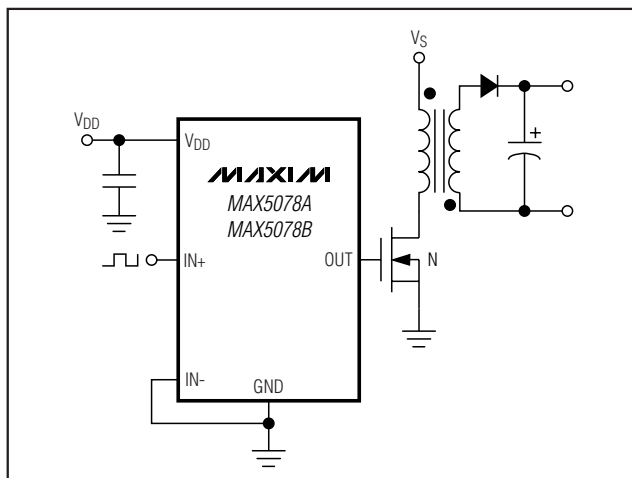


图4. 同相应用

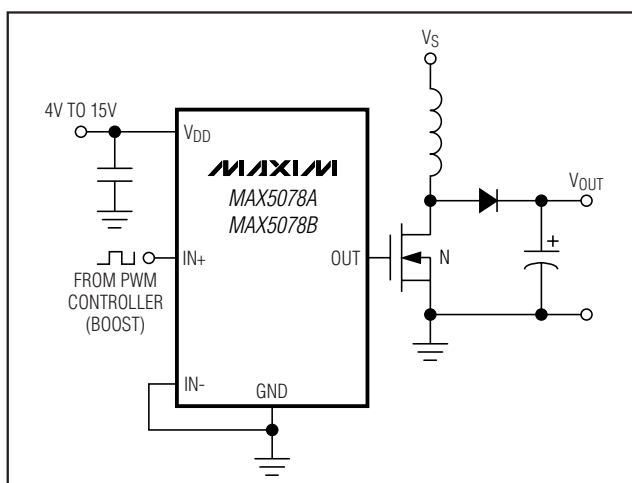


图5. 升压转换器

4A、20ns、MOSFET驱动器

芯片信息

TRANSISTOR COUNT: 258

PROCESS: CMOS

MAX5078

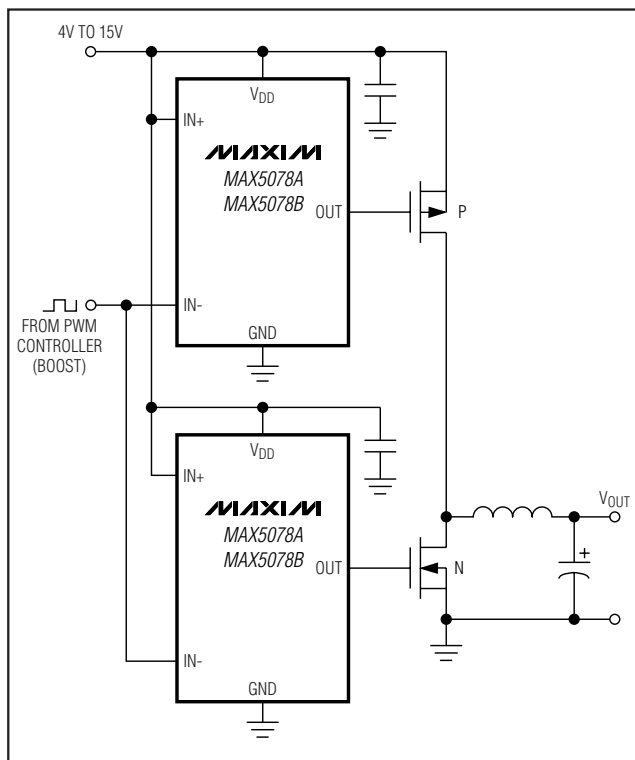


图6. 大功率同步降压转换器中的MAX5078A/MAX5078B

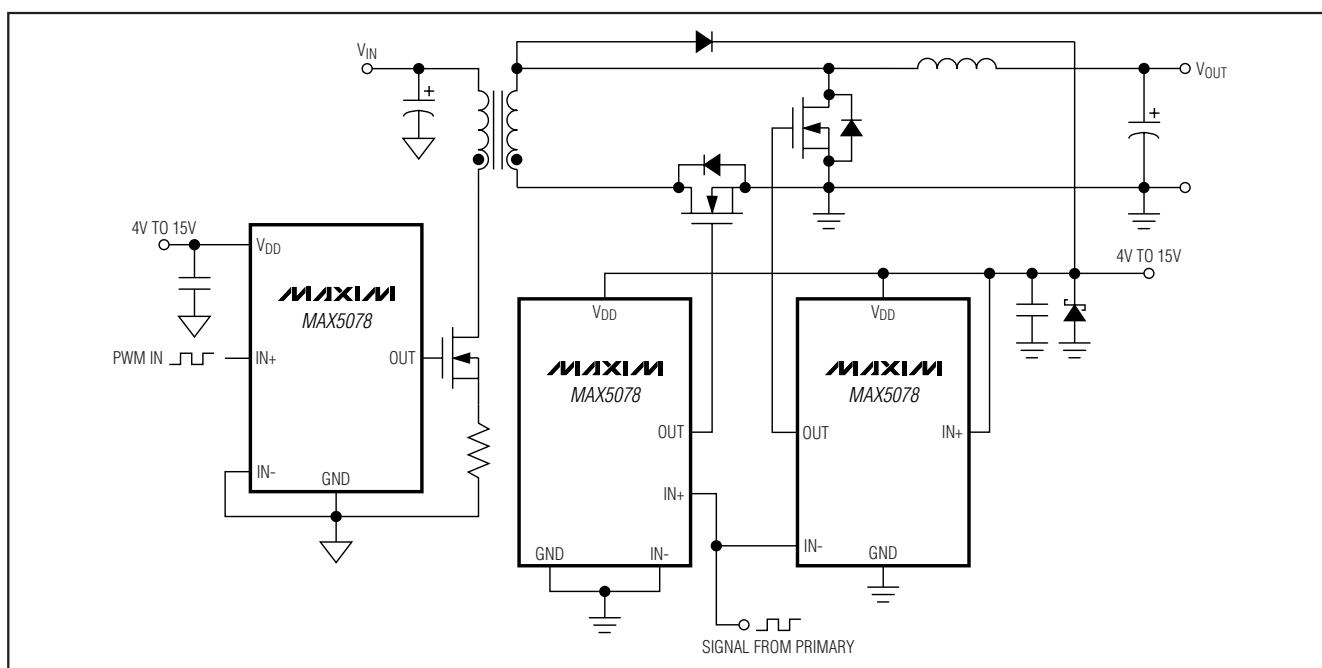
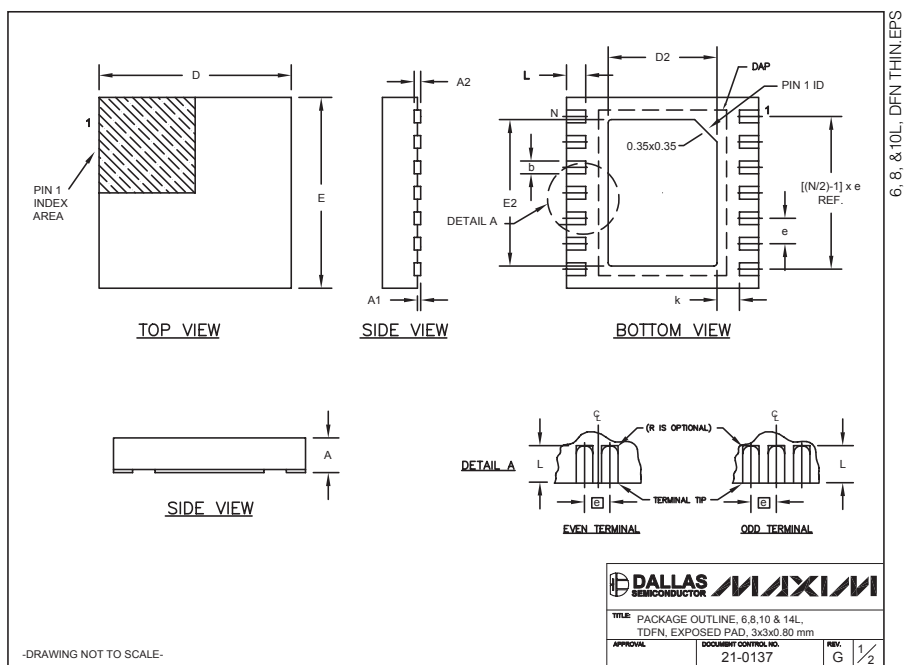


图7. 带次级同步整流的正激转换器

4A、20ns、MOSFET驱动器

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-integrated.com.cn/packages。)



COMMON DIMENSIONS		
SYMBOL	MIN.	MAX.
A	0.70	0.80
D	2.90	3.10
E	2.90	3.10
A1	0.00	0.05
L	0.20	0.40
k	0.25 MIN.	
A2	0.20 REF.	

PACKAGE VARIATIONS									
PKG. CODE	N	D2	E2	e	JEDEC SPEC	b	[(N/2)-1] x e	DOWNSONDS ALLOWED	
T633-1	6	1.50±0.10	2.30±0.10	0.95 BSC	MO229 / WEEA	0.40±0.05	1.90 REF	NO	
T633-2	6	1.50±0.10	2.30±0.10	0.95 BSC	MO229 / WEEA	0.40±0.05	1.90 REF	NO	
T833-1	8	1.50±0.10	2.30±0.10	0.65 BSC	MO229 / WEEC	0.30±0.05	1.95 REF	NO	
T833-2	8	1.50±0.10	2.30±0.10	0.65 BSC	MO229 / WEEC	0.30±0.05	1.95 REF	NO	
T833-3	8	1.50±0.10	2.30±0.10	0.65 BSC	MO229 / WEEC	0.30±0.05	1.95 REF	YES	
T1033-1	10	1.50±0.10	2.30±0.10	0.50 BSC	MO229 / WEED-3	0.25±0.05	2.00 REF	NO	
T1433-1	14	1.70±0.10	2.30±0.10	0.40 BSC	----	0.20±0.05	2.40 REF	YES	
T1433-2	14	1.70±0.10	2.30±0.10	0.40 BSC	----	0.20±0.05	2.40 REF	NO	

- NOTES:
1. ALL DIMENSIONS ARE IN mm. ANGLES IN DEGREES.
 2. COPLANARITY SHALL NOT EXCEED 0.08 mm.
 3. WARPAGE SHALL NOT EXCEED 0.10 mm.
 4. PACKAGE LENGTH/PACKAGE WIDTH ARE CONSIDERED AS SPECIAL CHARACTERISTIC(S).
 5. DRAWING CONFORMS TO JEDEC MO229, EXCEPT DIMENSIONS "D2" AND "E2", AND T1433-1 & T1433-2.
 6. "N" IS THE TOTAL NUMBER OF LEADS.
 7. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.

-DRAWING NOT TO SCALE-

MAXIM SEMICONDUCTOR		
TITLE	PACKAGE OUTLINE, 6, 8, 10 & 14L, TDFN, EXPOSED PAD, 3x3x0.80 mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0137	REV. G 2/2

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

12 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**