

可提供评估板



280MHz至450MHz可编程 ASK/FSK发送器

MAX7060

概述

MAX7060频率和功率可编程的ASK/FSK发送器工作在280MHz至450MHz频率范围。器件具有完全集成的N分数合成器，允许用户采用单个晶体将RF工作频率设置在280MHz至450MHz之间。例如，通过15MHz晶体可在285MHz至420MHz频率范围内对MAX7060进行调谐。采用5V电源或电压低至3.2V的电池供电时，RF输出功率可由用户控制在+14dBm和-14dBm之间。采用2.1V最低电压的电池供电时，RF输出功率控制范围为+10dBm至-14dBm。为在较宽的频率范围内保持较好的输出功率匹配度，MAX7060还包含一个可编程匹配电容，并联在功率放大器(PA)的输出端。

通过开启和关闭PA实现ASK调制，具有优异的调制(开/关)率。器件具有ASK幅度整形电路，可降低发射频谱的宽度。FSK调制通过改变高分辨率N分数合成器的系数实现，因此具有较高的FSK频偏精度。器件能够保证50kbps (ASK)和70kbps (FSK)曼彻斯特编码的数据速率，并满足发射带宽的标准要求。通过片内串行外设接口(SPI™)可以配置器件的全部功能模块。此外，还可通过所选择的引脚直接进行有限的手动模式设置。

器件的启动时间非常短，发出使能命令250μs后即可发送数据。MAX7060采用2.1V至3.6V电源供电，当电源电压在4.5V至5.5V之间时，采用内部稳压器供电。室温下，3V供电时的待机电流为400nA，通过低功耗关断(LSHDN)控制引脚可将电流降至5nA。

MAX7060采用24引脚(4mm x 4mm)薄型QFN封装，工作在-40°C至+125°C汽车级温度范围。

特性

- ◆ 完全集成的快速N分数PLL
 - 280MHz至450MHz RF频率
 - +125°C下，对频率范围进行100%测试
 - 启动时间小于250μs
 - 可调节FSK模板和空间频率
 - 超低噪声FSK调制
 - 50kbps曼彻斯特编码数据速率(ASK)
 - 70kbps曼彻斯特编码数据速率(FSK)
- ◆ 可编程功率放大器
 - 5V供电时，Tx功率为+14dBm
 - 2.1V供电时，Tx功率为+10dBm
 - 功率控制范围为28dB，步长1dB
- ◆ 可调谐PA匹配电容
- ◆ 通过SPI接口或手动设置模式进行控制
- ◆ 2.1V至3.6V电源供电时具有超低关断电流
 - 400nA待机电流，上电复位(POR)电路保持有效
 - 5nA关断电流，POR电路无效
- ◆ 可灵活选择电源
 - 2.1V至3.6V单电源供电，或者
 - 4.5V至5.5V电源配合内部稳压器供电
- ◆ 24引脚(4mm x 4mm) TQFN封装
- ◆ 符合FCC第15部分、ETSI EN 300 220标准*

*ETSI兼容于EIRP，但发射功率提高+6dBm。

应用

车库开门器
远端控制
家庭及工业自动化
传感器网络
安全系统

定购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX7060ATG+	-40°C to +125°C	24 TQFN-EP*
MAX7060ATG/V+	-40°C to +125°C	24 TQFN-EP*

+表示无铅(Pb)/符合RoHS标准的封装。

/V表示通过汽车标准认证的器件。

*EP = 裸焊盘。

SPI是Motorola, Inc.的商标。



Maxim Integrated Products 1

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maxim-ic.com。

280MHz至450MHz可编程 ASK/FSK发送器

ABSOLUTE MAXIMUM RATINGS

GPOVDD, VDD5 to GND.....-0.3V to +6.0V
 DVDD, PAVDD, and AVDD to GND.....-0.3V to +4.0V
 ENABLE, SCLK_PWR0, SDI_PWR1, DIN,
 CS_DEV, LSHDN, FREQ0, FREQ1, FREQ2, GPO1,
 and GPO2_MOD to GND.....-0.3V to (VDD5 + 0.3V)
 PAOUT, ROUT,
 and PAVOUT to GND-0.3V to (VPAVDD + 0.3V)
 XTAL1 and XTAL2 to GND.....-0.3V to (VAVDD + 0.3V)

Continuous Power Dissipation (TA = +70°C)
 24-Pin Thin QFN
 (derate 14.7mW/°C above +70°C).....1167mW
 Operating Temperature Range.....-40°C to +125°C
 Storage Temperature Range.....-60°C to +150°C
 Lead Temperature (soldering, 10s)+300°C
 Soldering Temperature (reflow)+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS (5V OPERATION)

(Typical Application Circuit, 50Ω system impedance, tuned for 315MHz to 434MHz operation. VDD5 = VGPOVDD = 4.5V to 5.5V, fRF = 280MHz to 450MHz, fXTAL = 15MHz to 16MHz, TA = -40°C to +125°C, unless otherwise noted. Typical values are at VDD5 = VGPOVDD = +5V, TA = +25°C, PA matched for optimum output power, unless otherwise noted. All min and max values are 100% tested at TA = +125°C and guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Supply Voltage	VDD			4.5	5	5.5	V
Regulated Analog Supply Voltage	AVDD			3.2			V
Active Supply Current	IDD	PLL on, PA off	f _{RF} = 315MHz	4.7	6.0	mA	
			f _{RF} = 433.92MHz	5.3	6.9		
		PLL on, PA on, data at 50% duty cycle (ASK), +10dBm (PA _{pwr} = 0x19) output power (Notes 1, 2)	f _{RF} = 315MHz	12.5			
			f _{RF} = 433.92MHz	14.2			
		PLL on, PA on, data at 100% duty cycle, +10dBm (PA _{pwr} = 0x19) output power (Note 1)	f _{RF} = 315MHz	19	26		
			f _{RF} = 433.92MHz	25	31.6		
		PLL on, PA on, data at 100% duty cycle, max (PA _{pwr} = 0x1E) output power (Note 1)	f _{RF} = 315MHz	28			
			f _{RF} = 433.92MHz	34			
Standby Current	I _{STDBY}	V _{ENABLE} < V _{IL} , V _{LSHDN} < V _{IL}	T _A = +25°C	1.1		μA	
			T _A = +85°C	1.3			
			T _A = +125°C	3.8	6.1		
DIGITAL I/O							
Input High Threshold	V _{IH}			0.9 x V _{DD}		V	
Input Low Threshold	V _{IL}			0.1 x V _{DD}		V	

280MHz至450MHz可编程 ASK/FSK发送器

MAX7060

DC ELECTRICAL CHARACTERISTICS (5V OPERATION) (continued)

(Typical Application Circuit, 50Ω system impedance, tuned for 315MHz to 434MHz operation. VDD5 = VGPOVDD = 4.5V to 5.5V, f_{RF} = 280MHz to 450MHz, f_{TAL} = 15MHz to 16MHz, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at VDD5 = VGPOVDD = +5V, T_A = +25°C, PA matched for optimum output power, unless otherwise noted. All min and max values are 100% tested at T_A = +125°C and guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Pulldown Sink Current	I _{IH}			6		μA
Input Pullup Source Current	I _{IL}			5		μA
Output-Voltage High	V _{OH}	I _{SINK} = 100μA (GPO1 and GPO2_MOD, gp1bst bit = 0)		VGPOVDD - 0.10		V
		I _{SINK} = 200μA (GPO1), boost = on (gp1bst bit = 1)		VGPOVDD - 0.14		
Output-Voltage Low	V _{OL}	I _{SOURCE} = 100μA (GPO1 and GPO2_MOD, gp1bst bit = 0)		0.10		V
		I _{SOURCE} = 200μA (GPO1), boost = on (gp1bst bit = 1)		0.14		

DC ELECTRICAL CHARACTERISTICS (3V OPERATION)

(Typical Application Circuit, 50Ω system impedance, tuned for 315MHz to 434MHz operation. VDD5 = VGPOVDD = VAVDD = VD VDD = VPAVDD = 2.1V to 3.6V, f_{RF} = 280MHz to 450MHz, f_{TAL} = 15MHz to 16MHz, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at VDD5 = VGPOVDD = VAVDD = VD VDD = VPAVDD = 2.7V, T_A = +25°C, PA matched for optimum output power, unless otherwise noted. All min and max values are 100% tested at T_A = +125°C and guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Supply Voltage	VDD			2.1	2.7	3.6	V
Active Supply Current	I _{DD}	PLL on, PA off	f _{RF} = 315MHz		4.2	6.2	mA
			f _{RF} = 433.92MHz		4.8	7.2	
		PLL on, PA on, data at 50% duty cycle (ASK), +10dBm (PApwr = 0x19) output power (Notes 1, 2)	f _{RF} = 315MHz		11		
			f _{RF} = 433.92MHz		13		
		PLL on, PA on, data at 100% duty cycle, +10dBm (PApwr = 0x19) output power (Note 1)	f _{RF} = 315MHz		17.2	27	
			f _{RF} = 433.92MHz		22	31.6	
Standby Current	I _{STDBY}	VENABLE < V _{IL} , VLSDN < V _{IL}	T _A = +25°C		0.4		μA
			T _A = +85°C		0.5		
			T _A = +125°C		2.5	6.0	
Shutdown Current	I _{SHDN}	VENABLE < V _{IL} , VLSDN > V _{IH}	T _A = +25°C		0.005		μA
			T _A = +85°C		0.3		
			T _A = +125°C		2.6	6.0	

280MHz至450MHz可编程 ASK/FSK发送器

DC ELECTRICAL CHARACTERISTICS (3V OPERATION) (continued)

(Typical Application Circuit, 50Ω system impedance, tuned for 315MHz to 434MHz operation. VDD5 = VGPOVDD = VAVDD = VDVDD = VPAVDD = 2.1V to 3.6V, f_{RF} = 280MHz to 450MHz, f_{TAL} = 15MHz to 16MHz, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at VDD5 = VGPOVDD = VAVDD = VDVDD = VPAVDD = 2.7V, T_A = +25°C, PA matched for optimum output power, unless otherwise noted. All min and max values are 100% tested at T_A = +125°C and guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL I/O						
Input High Threshold	V _{IH}		0.9 x VDVDD			V
Input Low Threshold	V _{IL}			0.1 x VDVDD		V
Input Pulldown Sink Current	I _{IH}			5		μA
Input Pullup Source Current	I _{IL}			1.3		μA
Output-Voltage High	V _{OH}	I _{SINK} = 100μA (GPO1 and GPO2_MOD, gp1bst bit = 0)		VGPOVDD - 0.10		V
		I _{SINK} = 200μA (GPO1), boost = on (gp1bst bit = 1)		VGPOVDD - 0.14		
Output-Voltage Low	V _{OL}	I _{SOURCE} = 100μA (GPO1 and GPO2_MOD, gp1bst bit = 0)		0.10		V
		I _{SOURCE} = 200μA (GPO1), boost = on (gp1bst bit = 1)		0.14		

AC ELECTRICAL CHARACTERISTICS (5V OPERATION)

(Typical Application Circuit, 50Ω system impedance, tuned for 315MHz to 434MHz operation, VDD5 = VGPOVDD = 4.5V to 5.5V, f_{RF} = 280MHz to 450MHz, f_{TAL} = 15MHz to 16MHz, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at VDD5 = VGPOVDD = +5V, T_A = +25°C, PA matched for optimum output power, unless otherwise noted. All min and max values are 100% tested at T_A = +125°C and guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL CHARACTERISTICS						
Frequency Range			280		450	MHz
Power-On Time	t _{ON}	ENABLE low-to-high transition, frequency settled to within 50kHz of the desired carrier (includes time for VPAVOUT to settle)		130		μs
		ENABLE low-to-high transition, frequency settled to within 5kHz of the desired carrier (includes time for VPAVOUT to settle)		185		
Maximum Data Rate (PA _{pwr} = 0x1E)		ASK mode (no shaping)	Manchester encoded		50	kbps
			Nonreturn to zero		100	
		FSK mode	Manchester encoded		70	
			Nonreturn to zero		140	

280MHz至450MHz可编程 ASK/FSK发送器

MAX7060

AC ELECTRICAL CHARACTERISTICS (5V OPERATION) (continued)

(Typical Application Circuit, 50Ω system impedance, tuned for 315MHz to 434MHz operation, $V_{DD5} = V_{GPOVDD} = 4.5V$ to $5.5V$, $f_{RF} = 280MHz$ to $450MHz$, $f_{XTAL} = 15MHz$ to $16MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD5} = V_{GPOVDD} = +5V$, $T_A = +25^{\circ}C$, PA matched for optimum output power, unless otherwise noted. All min and max values are 100% tested at $T_A = +125^{\circ}C$ and guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Carrier-Frequency Switching Time		Time from end of SPI write or change of $FREQ0$, $FREQ1$, or $FREQ2$ pins, to frequency settled to within 5kHz of desired carrier		60		μs
PLL						
VCO Gain	K_{VCO}			340		MHz/V
PLL Phase Noise		$f_{RF} = 315MHz$	10kHz offset	-78		dBc/Hz
			1MHz offset	-97		
		$f_{RF} = 433.92MHz$	10kHz offset	-74		
			1MHz offset	-97		
Loop Bandwidth				300		kHz
Reference Frequency Input Level				500		mVp-p
Frequency Divider Range			19		28	
Frequency Deviation (FSK)			±2		±100	kHz
CRYSTAL OSCILLATOR						
Crystal Frequency	f_{XTAL}			15 to 16		MHz
Crystal Load Capacitance (Note 3)				10		pF
POWER AMPLIFIER						
Output Transmit Power (Note 1)	P_{OUT}	Maximum output transmit power: $P_{Apwr} = 0x1E$		+14.5		dBm
		Minimum output transmit power: $P_{Apwr} = 0x00$		-14		
Power-Control Step Size				0.95		dB
Modulation Depth (Note 1)				70		dB
Maximum Carrier Harmonics (Note 1)				-24		dBc
Reference Spur				-42		dBc
PAOUT Capacitor Tuning Range				0 to 7.75		pF

280MHz至450MHz可编程 ASK/FSK发送器

AC ELECTRICAL CHARACTERISTICS (3V OPERATION)

(Typical Application Circuit, 50Ω system impedance, tuned for 315MHz to 434MHz operation. V_{DD5} = V_{GPOVDD} = V_{AVDD} = V_{DVDD} = V_{PAVDD} = 2.1V to 3.6V, f_{RF} = 280MHz to 450MHz, f_{XTAL} = 15MHz to 16MHz, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V_{DD5} = V_{GPOVDD} = V_{AVDD} = V_{DVDD} = V_{PAVDD} = 2.7V, T_A = +25°C, PA matched for optimum output power, unless otherwise noted. All min and max values are 100% tested at T_A = +125°C and guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
GENERAL CHARACTERISTICS							
Frequency Range				280	450		MHz
Power-On Time	tON	ENABLE low-to-high transition, frequency settled to within 50kHz of the desired carrier (includes time for VPAVOUT to settle)		120			μs
		ENABLE low-to-high transition, frequency settled to within 5kHz of the desired carrier (includes time for VPAVOUT to settle)		200			
Maximum Data Rate (PApwr = 0x19)		ASK mode (no shaping)	Manchester encoded	50			kbps
			Nonreturn to zero	100			
		FSK mode	Manchester encoded	70			
			Nonreturn to zero	140			
Carrier-Frequency Switching Time		Time from end of SPI write or change of FREQ0, FREQ1, or FREQ2 pins, to frequency settled to within 5kHz of desired carrier		60			μs
PLL							
VCO Gain	KVCO			340			MHz/V
PLL Phase Noise		fRF = 315MHz	10kHz offset	-78			dBc/Hz
			1MHz offset	-97			
		fRF = 433.92MHz	10kHz offset	-74			
			1MHz offset	-97			
Loop Bandwidth				300			kHz
Reference Frequency Input Level				500			mVP-P
Frequency Divider Range				19	28		
CRYSTAL OSCILLATOR							
Frequency Deviation (FSK)				±2	±100		kHz
Crystal Frequency	fXTAL			15 to 16			MHz
Frequency Pulling by Power Supply				4			ppm/V
Crystal Load Capacitance (Note 3)				10			pF
POWER AMPLIFIER							
Output Transmit Power (Note 1)	POUT	VPAVDD = 2.1V, PApwr = 0x1E		+10			dBm
		VPAVDD = 3.6V, PApwr = 0x1E		+15			
		PApwr = 0x00		-14.5			
Power-Control Step Size				0.95			dB
Modulation Depth (Note 1)				70			dB

280MHz至450MHz可编程 ASK/FSK发送器

MAX7060

AC ELECTRICAL CHARACTERISTICS (3V OPERATION) (continued)

(Typical Application Circuit, 50Ω system impedance, tuned for 315MHz to 434MHz operation. V_{DD5} = V_{GPOVDD} = V_{AVDD} = V_{DVDD} = V_{PAVDD} = 2.1V to 3.6V, f_{RF} = 280MHz to 450MHz, f_{XTAL} = 15MHz to 16MHz, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V_{DD5} = V_{GPOVDD} = V_{AVDD} = V_{DVDD} = V_{PAVDD} = 2.7V, T_A = +25°C, PA matched for optimum output power, unless otherwise noted. All min and max values are 100% tested at T_A = +125°C and guaranteed by design and characterization over temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum Carrier Harmonics (Note 1)				-24		dBc
Reference Spur				-43		dBc
PAOUT Capacitor Tuning Range				0 to 7.75		pF

SERIAL PERIPHERAL INTERFACE (SPI) TIMING CHARACTERISTICS

(SPI timing characteristics are valid for both 3V and 5V modes. SPI timing is production tested at worst-case temperature and supply with a clock frequency of 3MHz.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Minimum SCLK_PWR0 Low to Falling-Edge of $\overline{\text{CS}}_{\text{DEV}}$ Setup Time	t _{SC}			30		ns
Minimum $\overline{\text{CS}}_{\text{DEV}}$ Low to Rising Edge of SCLK_PWR0 Setup Time	t _{CSS}			15		ns
Minimum SCLK_PWR0 Low to Rising Edge of $\overline{\text{CS}}_{\text{DEV}}$ Setup Time	t _{HCS}			60		ns
Minimum SCLK_PWR0 Low After Rising Edge of $\overline{\text{CS}}_{\text{DEV}}$ Hold Time	t _{HS}			15		ns
Minimum Data Valid to SCLK_PWR0 Rising-Edge Setup Time	t _{DS}			30		ns
Minimum Data Valid to SCLK_PWR0 Rising-Edge Hold Time	t _{DH}			15		ns
Minimum SCLK_PWR0 High Pulse Width	t _{CH}			120		ns
Minimum SCLK_PWR0 Low Pulse Width	t _{CL}			120		ns
Minimum $\overline{\text{CS}}_{\text{DEV}}$ High Pulse Width	t _{CSH}			120		ns
Maximum Transition Time from Falling-Edge of $\overline{\text{CS}}_{\text{DEV}}$ to Valid GPO2_MOD	t _{CSG}	C _L = 10pF load capacitance from GPO2_MOD to ground		400		ns
Maximum Transition Time from Falling Edge of SCLK_PWR0 to Valid GPO2_MOD	t _{CG}	C _L = 10pF load capacitance from GPO2_MOD to ground		400		ns

Note 1: Supply current and output power are greatly dependent on board layout and PAOUT match.

Note 2: 50% duty cycle at 10kHz ASK data (Manchester coded).

Note 3: Dependent on PCB trace capacitance.

280MHz至450MHz可编程 ASK/FSK发送器

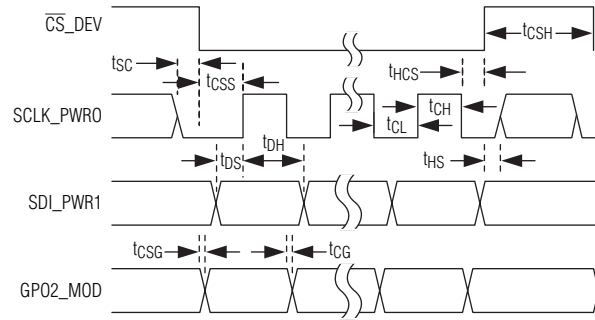
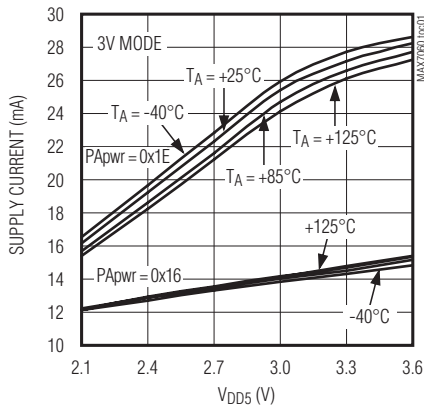


图1. SPI时序图

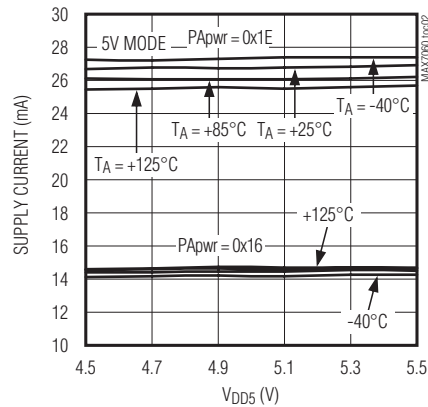
典型工作特性

(Typical Application Circuit, 50Ω system impedance, $V_{DD5} = V_{GPOVDD} = V_{AVDD} = V_{DVDD} = V_{PAVDD} = 2.1V$ to $3.6V$, $f_{RF} = 280MHz$ to $450MHz$, $f_{XTAL} = 16MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD5} = V_{GPOVDD} = V_{AVDD} = V_{DVDD} = V_{PAVDD} = 2.7V$, $T_A = +25^{\circ}C$, PA matched for optimum output power, unless otherwise noted. Supply current and output power are greatly dependent on board layout and PAOUT match.)

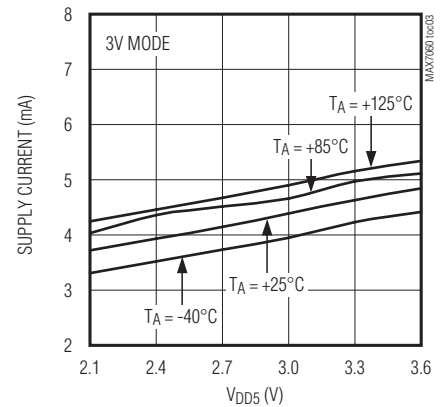
SUPPLY CURRENT vs. SUPPLY VOLTAGE
($f_{RF} = 315MHz$, PA ON)



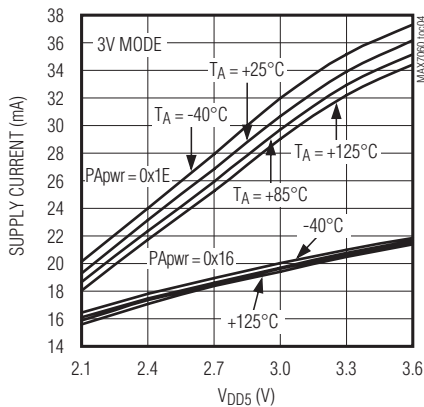
SUPPLY CURRENT vs. SUPPLY VOLTAGE
($f_{RF} = 315MHz$, PA ON)



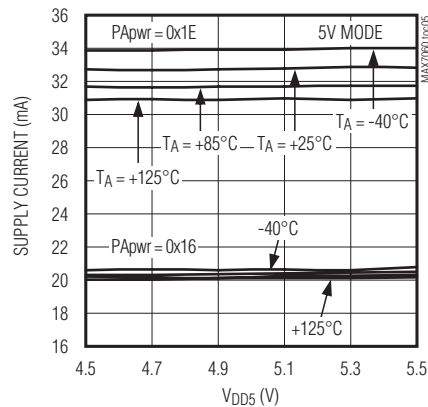
SUPPLY CURRENT vs. SUPPLY VOLTAGE
($f_{RF} = 315MHz$, PA OFF)



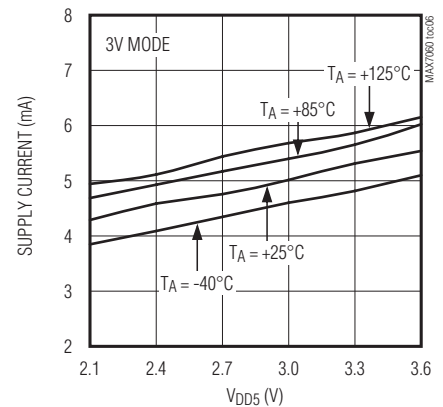
SUPPLY CURRENT vs. SUPPLY VOLTAGE
($f_{RF} = 433.92MHz$, PA ON)



SUPPLY CURRENT vs. SUPPLY VOLTAGE
($f_{RF} = 433.92MHz$, PA ON)



SUPPLY CURRENT vs. SUPPLY VOLTAGE
($f_{RF} = 433.92MHz$, PA OFF)

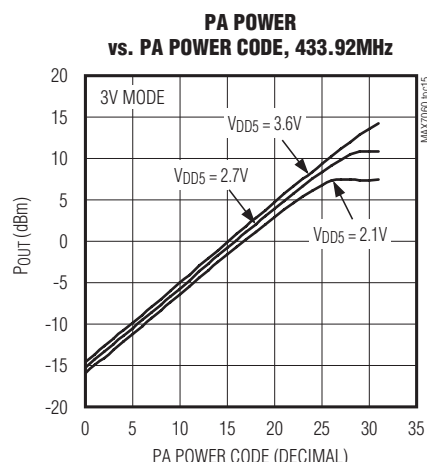
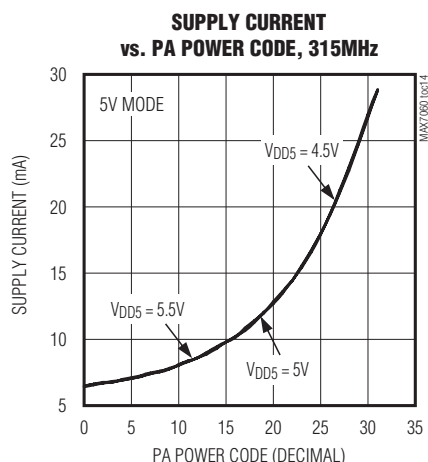
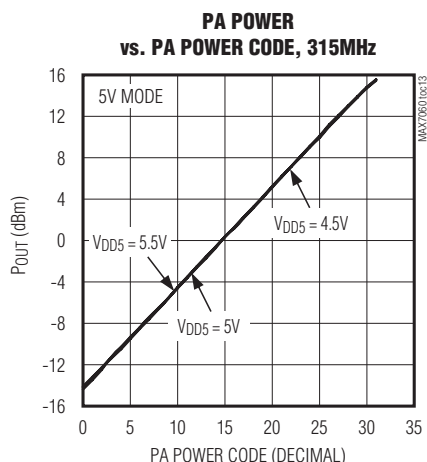
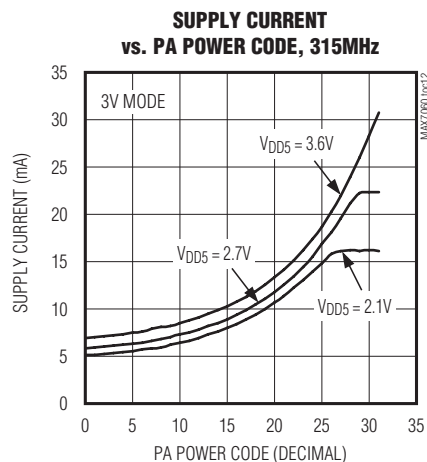
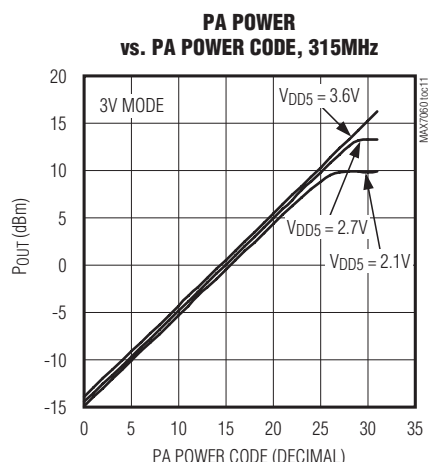
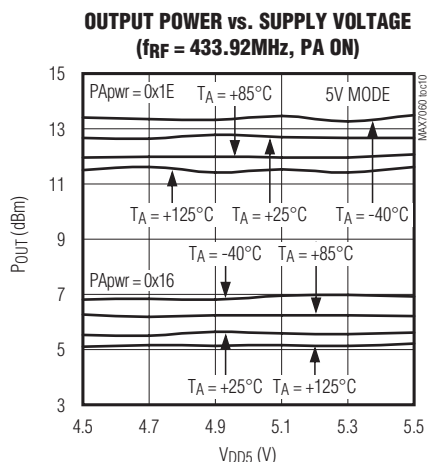
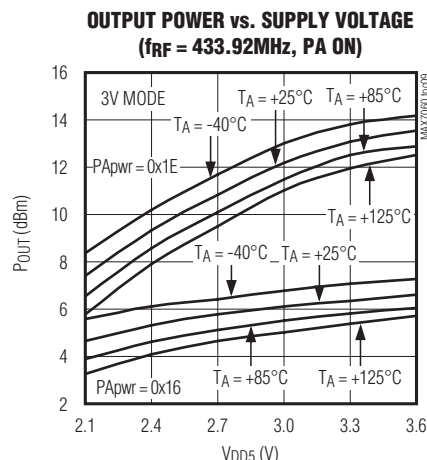
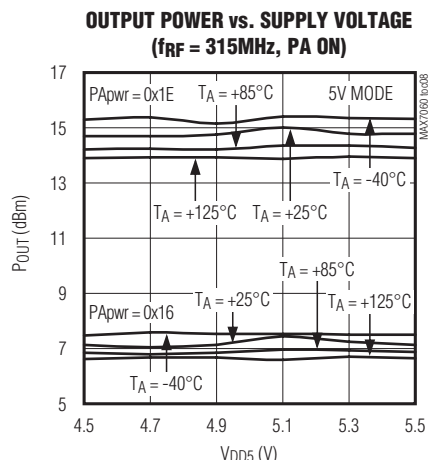
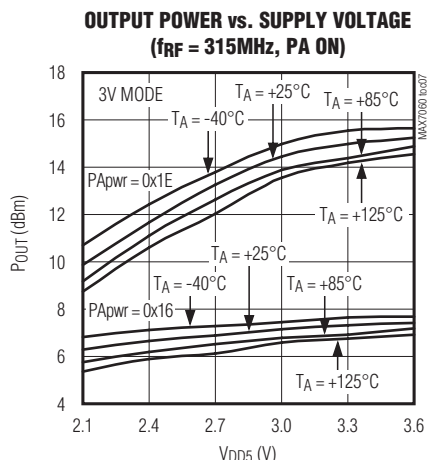


280MHz至450MHz可编程 ASK/FSK发送器

MAX7060

典型工作特性(续)

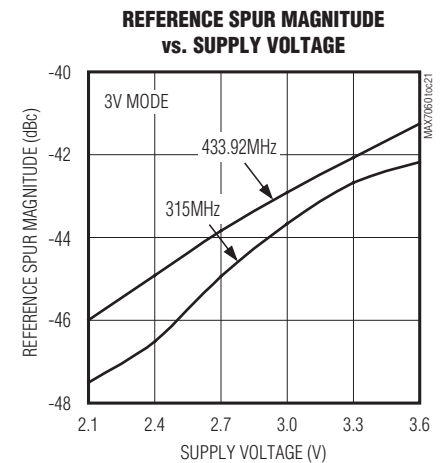
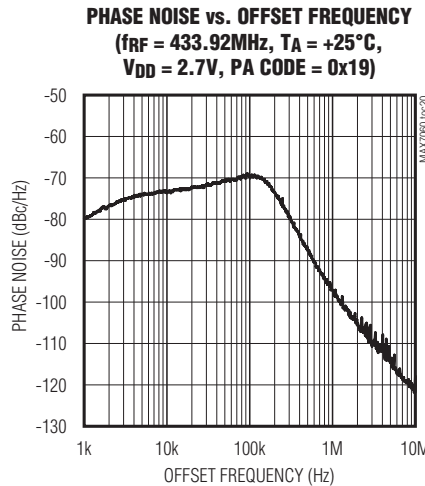
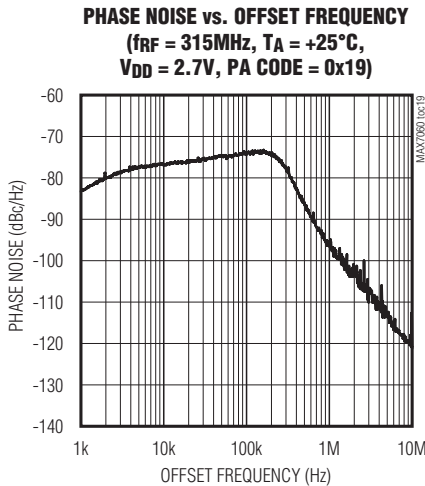
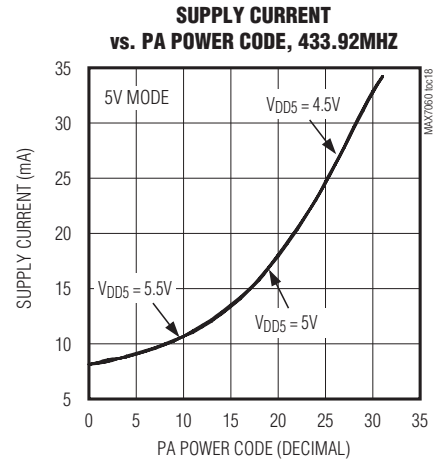
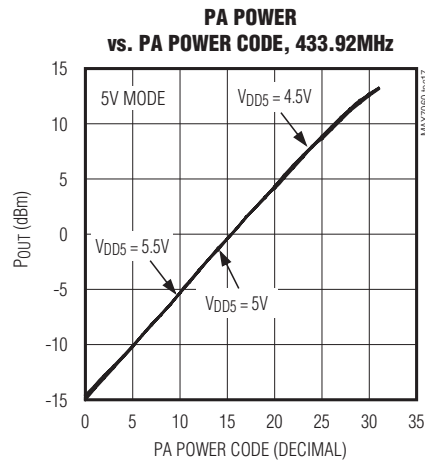
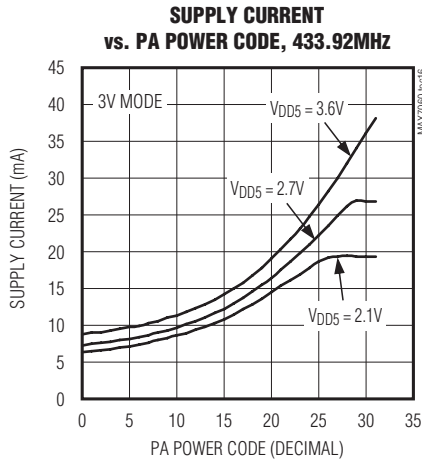
(Typical Application Circuit, 50Ω system impedance, $V_{DD5} = V_{GPOVDD} = V_{AVDD} = V_{DVDD} = V_{PAVDD} = 2.1V$ to $3.6V$, $f_{RF} = 280MHz$ to $450MHz$, $f_{XTAL} = 16MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD5} = V_{GPOVDD} = V_{AVDD} = V_{DVDD} = V_{PAVDD} = 2.7V$, $T_A = +25^{\circ}C$, PA matched for optimum output power, unless otherwise noted. Supply current and output power are greatly dependent on board layout and PAOUT match.)



280MHz至450MHz可编程 ASK/FSK发送器

典型工作特性(续)

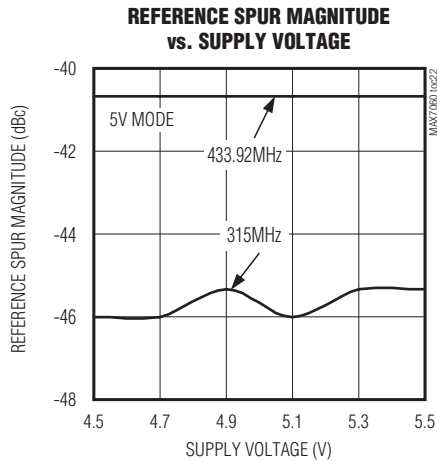
(Typical Application Circuit, 50Ω system impedance, $V_{DD5} = V_{GPOVDD} = V_{AVDD} = V_{DVDD} = V_{PAVDD} = 2.1V$ to $3.6V$, $f_{RF} = 280MHz$ to $450MHz$, $f_{XTAL} = 16MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD5} = V_{GPOVDD} = V_{AVDD} = V_{DVDD} = V_{PAVDD} = 2.7V$, $T_A = +25^{\circ}C$, PA matched for optimum output power, unless otherwise noted. Supply current and output power are greatly dependent on board layout and PAOUT match.)



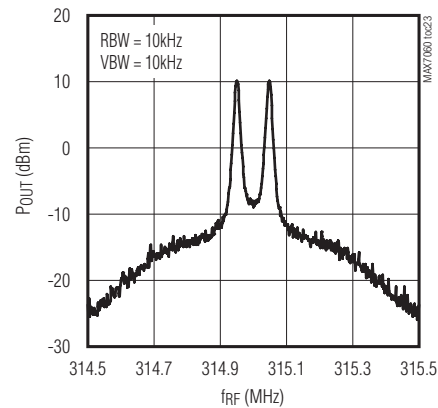
280MHz至450MHz可编程 ASK/FSK发送器

典型工作特性(续)

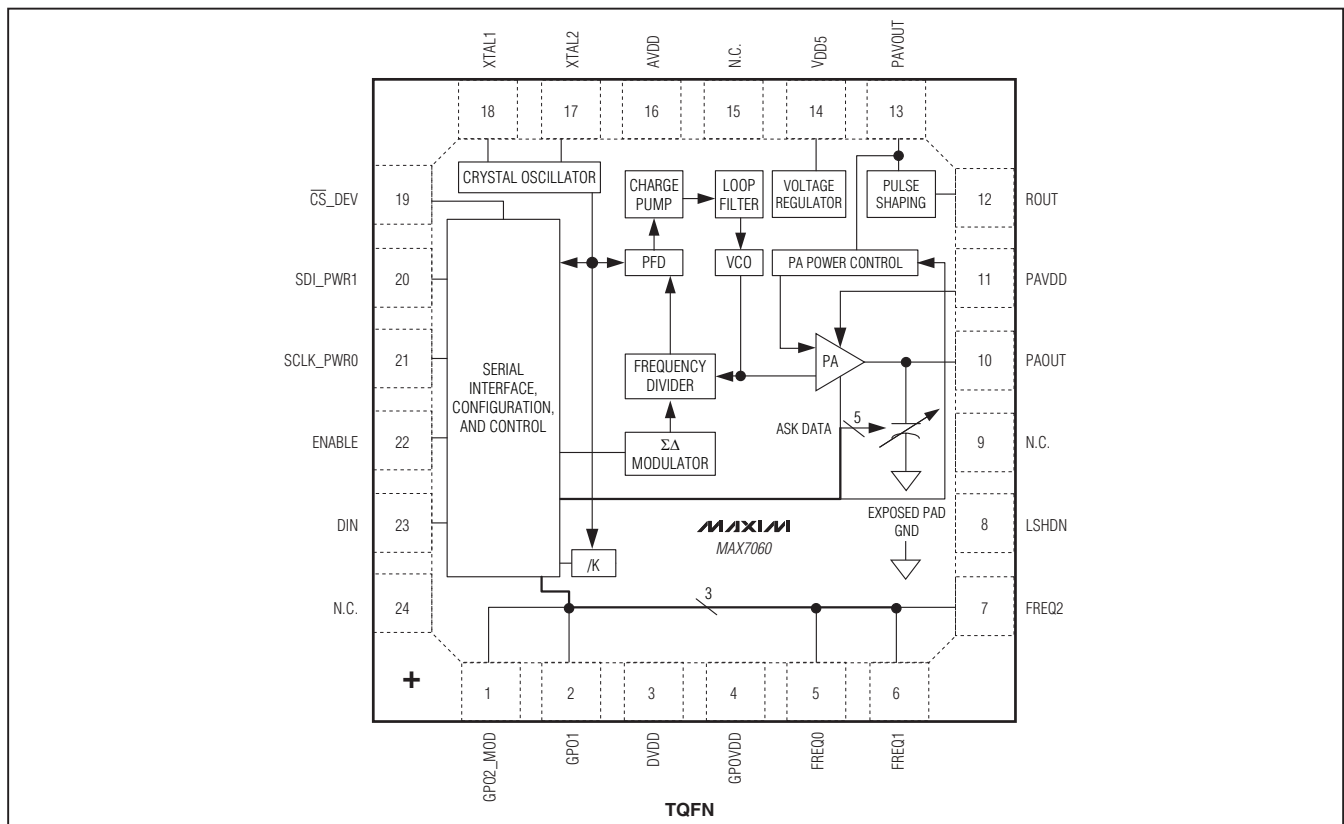
(Typical Application Circuit, 50Ω system impedance, $V_{DD5} = V_{GPOVDD} = V_{AVDD} = V_{DVDD} = V_{PAVDD} = 2.1V$ to $3.6V$, $f_{RF} = 280MHz$ to $450MHz$, $f_{XTAL} = 16MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD5} = V_{GPOVDD} = V_{AVDD} = V_{DVDD} = V_{PAVDD} = 2.7V$, $T_A = +25^{\circ}C$, PA matched for optimum output power, unless otherwise noted. Supply current and output power are greatly dependent on board layout and PAOUT match.)



**FSK SPECTRUM ($f_{RF} = 315MHz$, $+25^{\circ}C$, $V_{DD} = 2.7V$,
PA CODE = 0x19 $\pm 50kHz$ DEVIATION,
4kHz SQUARE WAVE ON DIN)**



引脚配置/功能框图



280MHz至450MHz可编程 ASK/FSK发送器

引脚说明

引脚	名称	功能
1	GPO2_MOD	(SPI模式/手动模式)数字输入/输出。SPI模式下为GPO2输出， $\overline{CS_DEV}$ 为低电平时作为SPI数据输出；手动模式下为ASK (0)/FSK (1)调制选择输入，该引脚在手动模式下由内部拉低。
2	GPO1	通用输出1，该引脚在SPI模式下可输出多个内部状态信号；手动模式下，该引脚输出合成器锁存检测(已锁定)信号。
3	DVDD	数字电源输入，通过一个0.01 μ F的电容旁路至GND，电容须尽量靠近引脚放置。
4	GPOVDD	GPO和ESD保护电路的供电电源输入，通过一个0.01 μ F的电容旁路至GND，电容须尽量靠近引脚放置。
5	FREQ0	手动模式下为频率选择引脚0，内部下拉；SPI模式下，FREQ0 = FREQ1 = FREQ2 = 0。
6	FREQ1	手动模式下为频率选择引脚1，内部下拉；SPI模式下，FREQ0 = FREQ1 = FREQ2 = 0。
7	FREQ2	手动模式下为频率选择引脚2，内部下拉；SPI模式下，FREQ0 = FREQ1 = FREQ2 = 0。
8	LSHDN	低功耗关断电流选择数字输入，关闭内部POR电路并禁止上拉/下拉电流。3V模式下必须驱动为低电平才能正常工作。仅用于3V模式，5V模式下接GND。
9, 15, 24	N.C.	未连接，内部没有连接。保持浮空。
10	PAOUT	功率放大器输出。需要一个电感上拉至PAVOUT，可以作为连接至天线的输出匹配网络的一部分。
11	PAVDD	功率放大器预驱动供电电源输入，通过一个680pF和一个0.01 μ F的并联电容旁路至GND，电容须尽量靠近引脚放置。
12	ROUT	包络整形电阻连接，详细信息请参考典型应用电路和ASK包络整形部分。
13	PAVOUT	功率放大器功率控制输出，控制发射功率。连接至PA上拉电感，通过680pF电容旁路至地。
14	VDD5	电源输入，通过0.01 μ F和0.1 μ F电容旁路至地。
16	AVDD	模拟供电电源和稳压器输出，通过0.1 μ F和0.01 μ F的并联电容旁路至GND，电容须尽量靠近引脚放置。
17	XTAL2	晶振输入2，XTAL2可通过交流耦合由外部参考时钟驱动。
18	XTAL1	晶振输入1，若XTAL2通过交流耦合由外部参考时钟驱动，该引脚交流耦合至GND。
19	$\overline{CS_DEV}$	(SPI模式/手动模式)串行外设接口(SPI)片选输入，低电平有效；手动模式下为FSK频偏输入(0 = 下频偏，1 = 上频偏)，内部上拉。
20	SDI_PWR1	(SPI模式/手动模式) SPI模式下为SPI数据输入；手动模式下为功率控制MSB输入，内部下拉。
21	SCLK_PWR0	(SPI模式/手动模式) SPI模式下为SPI时钟输入；手动模式下为功率控制LSB输入，内部下拉。
22	ENABLE	使能数字输入，ENABLE的上升沿使能所有内部电路(ASK模式下的PA除外)，内部下拉。
23	DIN	发送数据数字输入，内部下拉。
—	EP	裸焊盘，为了确保正常工作，将其均匀地焊接至印制板的接地区域。

280MHz至450MHz可编程 ASK/FSK发送器

详细说明

MAX7060的输出功率和频率可编程，频率范围为280MHz至450MHz。MAX7060内部具有发射功率控制功能，可在28dB功率范围内编程。MAX7060在功率放大器(PA)的输出上带有调谐电容，确保在单匹配网络、不同编程频率下保持较高功效。

MAX7060采用基于晶振的架构，提供了更大的调制深度、更快的频率稳定时间、更严格的发射频率容差，并降低了温度的影响，避免了采用SAW发送器的常见问题。更重要的是，严格的发送频率容差意味着可以配合使用窄带IF（从而降低噪声带宽）的超外差接收器，从而在使用MAX1473、MAX1471、MAX7033、MAX7034、MAX7036和MAX7042等超外差接收器时可以获得更好的接收性能。

MAX7060可配置为SPI或手动模式，无需SPI接口即可方便地配置发送器。

3V工作时，通过拉低ENABLE并拉高LSHDN，将MAX7060置于低功耗关断模式。该模式下，所有电路均被关断，包括上电复位(POR)。所有MAX7060寄存器必须在LSHDN变为高电平后重新编程。5V工作时，低功耗关断模式无效，应将LSHDN连接至GND。

频率编程

MAX7060是基于晶振的锁相环(PLL) VHF/UHF发送器，在较宽的频率范围发送数据。内部VCO可在280MHz至450MHz范围内调节，受控于单晶振，覆盖高达1.47:1的载频范围。发送频率由晶振频率和PLL的可编程分频器设置，可编程PLL分频比可以设置为19至28之间的任意值。这就意味着当晶振频率为15MHz时，输出为285MHz至420MHz；晶振频率为16MHz时，输出为304MHz至448MHz。

MAX7060带有一个内部可变电容，连接在PA输出。对该电容进行编程，确保在1.47至1 (28/19)调谐范围内的任意频率下保持高效率发送。这意味着能够在非常短的时间内改变频率并将天线重新调谐到一个新的载频。快速天线调谐与

快速合成器调谐相结合，使MAX7060成为一款名副其实的频率捷变发送器。调谐电容的标称分辨率为0.25pF，从0至7.75pF。

MAX7060的数据速率在ASK模式下高达100kbps NRZ，FSK模式下高达140kbps NRZ。FSK模式下，对应于第1位和第0位设置，频偏可以低至 $\pm 2\text{kHz}$ ，最高可达 $\pm 100\text{kHz}$ 。频偏在SPI模式下可完全编程，在手动模式下可选择 $\pm 16\text{kHz}$ 或 $\pm 50\text{kHz}$ 。

功率放大器(PA)

MAX7060的PA为高效率、漏极开路、开关模式放大器。开关模式放大器中，末级FET的栅极由占空比为25%、陡峭的方波驱动，其频率为发送频率。该方波来自于合成器电路。匹配网络正确调谐时，输出FET与储能电路发生谐振，FET功耗最低。采用合适的输出匹配网络，PA可驱动各种范围的天线阻抗，包括小环路PCB引线和50 Ω 天线。输出匹配网络抑制载波谐波，并将天线阻抗转变为PAOUT的最佳阻抗，范围从60 Ω 至125 Ω 。输出匹配网络调谐适当时，MAX7060能够以极高的总体效率发射功率。PA本身的效率大约为50%。

发送器功率控制

MAX7060的发送器功率能够以接近1dB步长设置(SPI模式)，采用5V电源时产生的最大输出功率水平为+14dBm。若采用电池供电，最大输出功率范围为：3.6V下的+15dBm至2.1V下的+10dBm。5V供电或电池供电时，最小功率水平均为-14dBm。通过增大PA的负载阻抗，可减小最大发射功率(以及发送器电流)。手动模式下有4个固定功率水平可选。

采用5V供电时，V_{DD5}和GPOVDD引脚连接至5V电源。AVDD为内部稳压器输出，必须在外部连接至DVDD和PAVDD。PAVOUT引脚通过偏置电感连接至PAOUT引脚。PAVOUT不与任何电源引脚连接。将PAVOUT连接至PAOUT，使能Tx功率控制。SPI模式下有31组功率控制设置，大约以1dB为步长。手动模式下有4组功率控制设置可选。

280MHz至450MHz可编程 ASK/FSK发送器

ASK包络整形

MAX7060有两种ASK包络整形：数字整形(仅限SPI模式)和通过内部电阻模拟整形。包络整形会使PA的调制输出信号频宽变窄。

数字整形中，用户可选择最终的Tx功率设置，采用16MHz晶振时，功率步长可降至1dB，阶跃时间间隔低至0.25 μ s，这种整形方法使PA发送的包络以分贝为单位随时间线性(以功率则为指数)上升。数字整形通过SPI接口设置。

模拟整形采用内部包络整形电阻进行ASK调制，该电阻连接在PAVOUT和ROUT之间。连接至PA上拉电感时，包络整形电阻放慢PA的开/关时间。用户可通过SPI选择3组开/关时间。手动模式下由内部设定单个开/关时间。

可变电容

MAX7060有一组内部电容，通过连接和断开电容在PA输出端呈现不同的电容值。电容由PA输出连接到地。这样可以在发送频率每次变化时随合成器分频比修改调谐网络，以保持最大发射功率，并从一个频率快速转换到另一频率。

SPI模式下，通过寄存器设置可变电容。手动模式下，通过DIN引脚设置可变电容。

调谐电容的标称分辨率为0.25pF，从0至7.75pF。

锁相环(PLL)

MAX7060的频率合成器采用完全集成的N分数PLL频率合成器。所有PLL元件位于片上，包括环路滤波器。SPI模式下有两个环路带宽可选。合成器具有16位N分数拓扑(4位整数、12位小数)，分频比可置为19至28，使发送频率以 $f_{XTAL}/4096$ 为增量调节。

N分数架构还允许准确设置FSK频偏，完全消除与晶振牵引产生频偏的相关问题。

SPI模式下，FSK频偏可以设置在最低 ± 2 kHz，最高 ± 100 kHz。手动模式下，用户可选择 ± 16 kHz或 ± 50 kHz。

PLL分频比的整数和小数部分设置发送频率。SPI模式下通过加载分频比寄存器完成；手动模式下通过选择三个频率控制引脚(FREQ2、FREQ1、FREQ0)的状态完成。对于ASK调制，用中心频率和晶振决定的分频比加载两个8位中心频率寄存器(fce[15:0])；对于FSK调制，加载两个8位高(传号)频寄存器(fhi[15:0])和两个8位低(空号)频寄存器(flo[15:0])。fhi和flo分频比由中心频率、频偏和晶振频率决定。在SPI模式设置部分给出了ASK和FSK调制的典型设置示例。

晶体(XTAL)振荡器

MAX7060中的XTAL振荡器在XTAL1和XTAL2之间的等效电容大约为6pF。大多数情况下，加上典型的PCB寄生电容后，相当于在外部晶体施加了8pF负载电容。采用负载电容等于MAX7060晶振电容加上PCB寄生电容之和的晶体非常重要。若所用晶体的负载电容不同，晶振就会偏离其规定的工作频率，在参考时钟频率引入误差。若晶体设计工作在较高的负载电容(高于振荡器的规定值)，则会拉高晶振频率。增加电容使晶体负载电容增大时，会延长启动时间，而且可能导致晶体停振。

实际上，振荡器会牵引每个晶体。晶体的固有频率低于其规定频率，但施加具有指定负载电容的负载时，将牵引晶体使其按照规定的频率振荡。负载电容指标已经考虑了这种牵引。

280MHz至450MHz可编程 ASK/FSK发送器

若已知晶体的电气参数，即可计算更大的牵引。频率牵引由下式给出：

$$f_P = \frac{C_M}{2} \left(\frac{1}{C_{CASE} + C_{LOAD}} - \frac{1}{C_{CASE} + C_{SPEC}} \right) \times 10^6$$

式中：

f_P 为被牵引的总晶体频率，单位为ppm

C_M 为晶体的动态电容

C_{CASE} 为外壳电容

C_{SPEC} 为规定的负载电容

C_{LOAD} 为实际负载电容

当晶体负载符合规格要求时(即 $C_{LOAD} = C_{SPEC}$)，频率牵引为零。

通用输出(GPO)/时钟输出

MAX7060在SPI模式下有两个GPO引脚(GPO2_MOD和GPO1)，在手动模式下有一个GPO引脚(GPO1)。

SPI模式下，GPO1引脚可作为时钟用于微处理器或任何其它GPO功能；手动模式下，该引脚输出合成器锁定检测(已锁定)状态，在此之后，用户即可通过DIN引脚发送数据。

SPI模式下， $\overline{CS_DEV}$ 引脚为低电平时，GPO2_MOD引脚作为SPI数据输出； $\overline{CS_DEV}$ 为高电平时，它作为GPO输出不同的内部信号，例如合成器锁定检测(已锁定)。

SPI模式下，可通过GPO1切换的输出时钟是经过分频后的晶振频率。分频比由MAX7060寄存器设置，分频设置为1(不分频)、2、4、8或16。如果所选分频设置为1、2或4，建议采用外部缓冲器驱动外部器件。

串行外设接口(SPI)

MAX7060采用4线SPI协议设置寄存器，配置并控制整个发送器的工作。为实现SPI操作，FREQ2、FREQ1和FREQ0引脚必须复位为0。

以下数字I/O控制SPI的工作：

$\overline{CS_DEV}$ 低电平有效SPI片选

SDI_PWR1 SPI数据输入

SCLK_PWR0 SPI时钟

GPO2_MOD SPI数据输出

图2所示为SPI协议的通用时序图。

在一个 $\overline{CS_DEV}$ 引脚设置的有效周期内可以以突发模式发送任意数量的8位数据(数据1、数据2 ... 数据n)，允许进行突发写操作或突发读操作。 $\overline{CS_DEV}$ 为低电平时，SPI数据输出通过GPO2_MOD引脚切换。

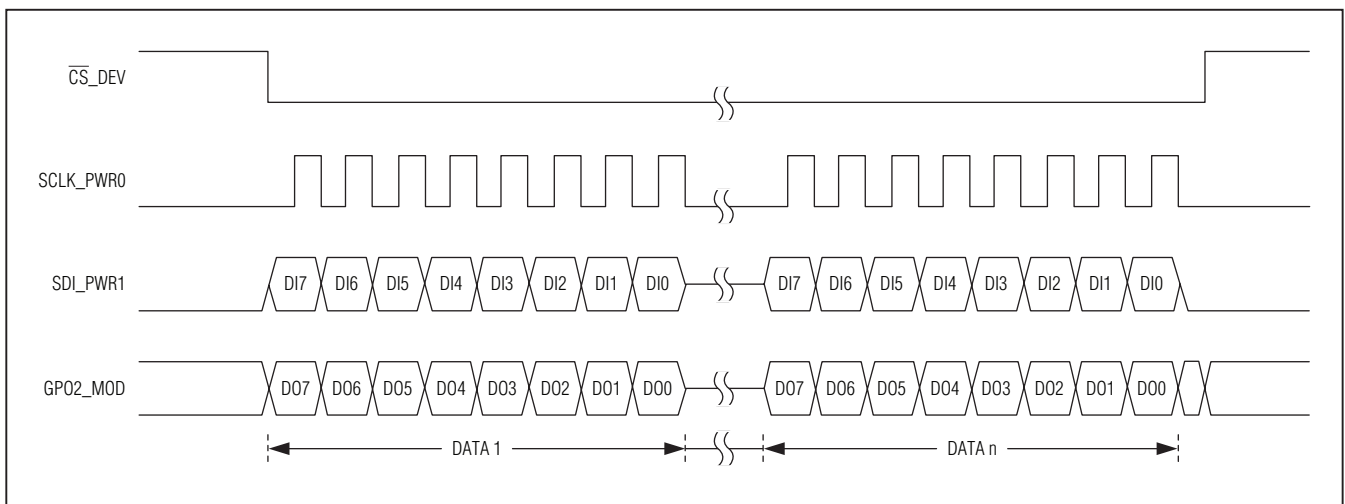


图2. SPI格式

280MHz至450MHz可编程 ASK/FSK发送器

SPI命令

MAX7060支持以下命令：

写：在相同 $\overline{CS_DEV}$ 周期内，按照以下方式执行写命令：

SDI_PWR1: <0x01> <Initial Address> <Data 1> <Data 2> ... <Data N>

利用该命令，将Data 1写入<Initial Address>指定的地址，Data 2写入<Initial Address + 1>，依此类推。

读：在相同 $\overline{CS_DEV}$ 周期内，按照以下方式执行读命令：

SDI_PWR1: <0x02> <Address 1> <Address 2> <Address 3> ... <Address N> <0x00>

GPO2_MOD: <0xXX> <0xXX> <Data 1> <Data 2> ... <Data N - 1> <Data N>

利用该命令，在相同的 $\overline{CS_DEV}$ 周期内可读取所有寄存器。能够以任意顺序指定地址。

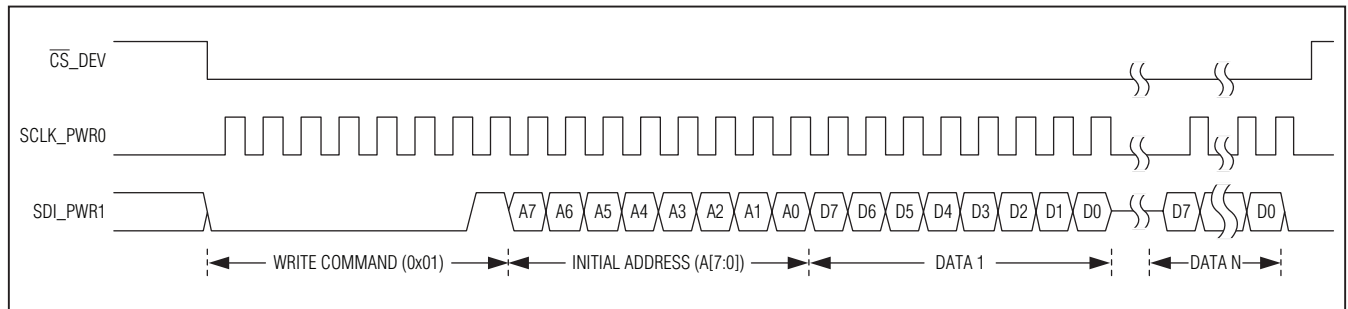


图3. SPI写命令格式

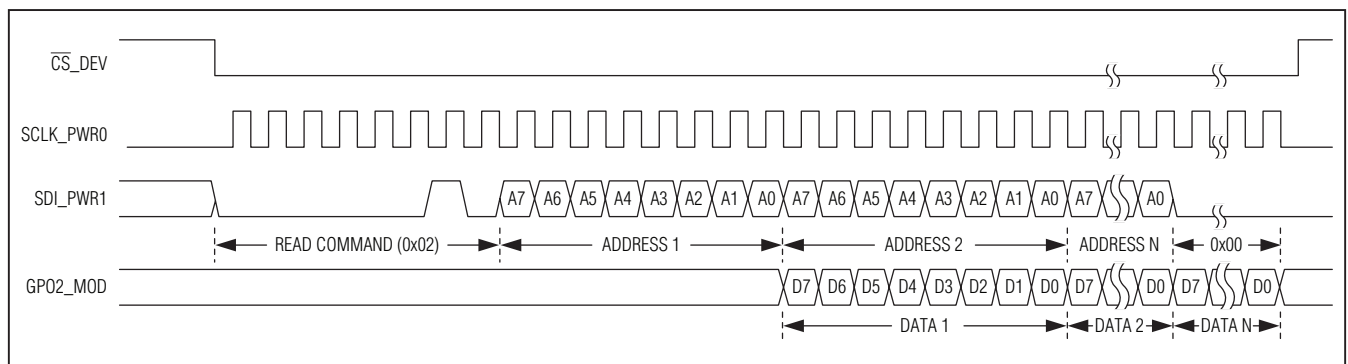


图4. SPI读命令格式

280MHz至450MHz可编程 ASK/FSK发送器

读取所有数据：在两个 $\overline{\text{CS_DEV}}$ 周期内，按照以下方式执行读取所有数据指令：

	$\overline{\text{CS_DEV}}$ Cycle 1	$\overline{\text{CS_DEV}}$ Cycle 2
SDI_PWR1:	<0x03> <Address N>	<0x00> <0x00> <0x00> ... <0x00>
GPO2_MOD:		<Data N><Data N + 1><Data N + 2>...<Data N + n>

复位：按照以下方式执行SPI复位指令：

SDI_PWR1: <0x04>

产生一个内部低电平有效的主控制器复位脉冲，从上一个SCLK_PWR0信号的下降沿至下一个 $\overline{\text{CS_DEV}}$ 信号的下降沿 ($t_{\text{HCS}} + t_{\text{CSH}}$)。

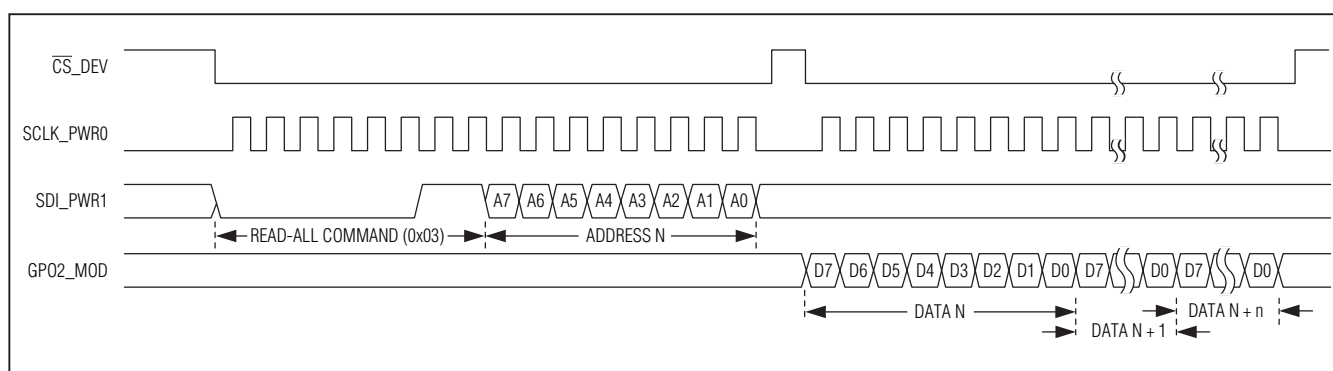


图5. SPI读取所有数据的命令格式

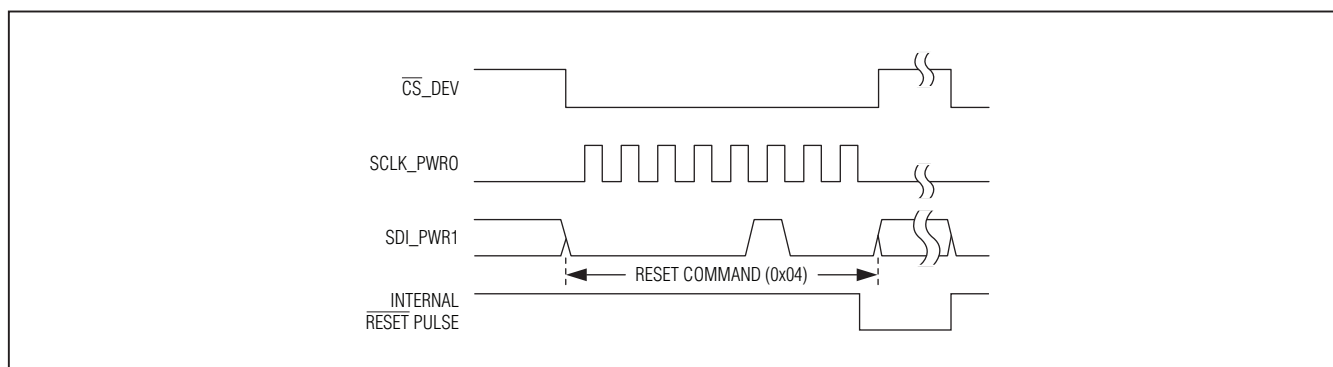


图6. SPI复位命令格式

280MHz至450MHz可编程 ASK/FSK发送器

应用信息

SPI模式设置 ASK载频

MAX7060处于ASK模式时，仅需设置载频。具体设置时，用户根据载频和晶振频率计算分频比。以下说明了如何正确确定载频寄存器(fce[15:0])的加载值。

由于发送PLL分频器的固有特性，必须从发送PLL分频比中减去一个固定偏移16，设置MAX7060的发送频率寄存器。为了确定MAX7060的发送频率寄存器值，将下式中的十进制数转换成最接近十六进制：

$$\left(\frac{f_{RF}}{f_{XTAL}} - 16 \right) \times 4096 = \text{设置发送频率寄存器的十进制数}$$

假设ASK发送频率为315MHz， f_{XTAL} 为16MHz。本例中，取舍后的十进制数为15,104或0x3B00。高位字节(0x3B)加载至FCenter0寄存器(fce[15:8])，低位字节(0x00)加载至FCenter1寄存器(fce[7:0])。

FSK传号和空号频率

MAX7060处于FSK模式时，需要设置两个频率：传号(逻辑1)频率和空号(逻辑0)频率。大多数情况下，这两个频率分别比载频高或低一个频偏值。因此，用户需要计算这两个频率的分频比并将其加载到4个寄存器。计算寄存器设置的步骤与计算载频的步骤相同。下面说明了在频偏为±50kHz(传号和空号间隔100kHz)时如何确定传号和空号频率的寄存器设置。

假设FSK发送器的中心频率为433.92MHz，传号频率为433.97MHz，空号频率为433.87MHz，晶振频率为16MHz。在本例中，传号频率经取舍后的十进制数为45,560或0xB1F8。空号频率经取舍后的十进制数为45,535或0xB1DE。传号设置加载至FHigh0和FHigh1寄存器(fhi[15:0])，空号设置加载至FLow0和FLow1寄存器(flo[15:0])。

发射功率设置(5V电源)

通过PApwr寄存器(papwr[4:0])的5位数值设置输出功率水平。最大值(30dec或0x1E)对应于最高发射功率。每级间隔略小于1dB(大约0.95dB)，最小值产生的发射功率比最高功率小28dB。最高发射功率取决于PA输出的负载。采用papwr[4:0]的最大设置(0x1E)时，50Ω或60Ω负载产生的输出功率分别为+14dBm至+15dBm。增大负载电阻则降低输出功率。每减小一级设置大约降低1dB的功率，最小发射功率仍然比最大功率小28dB。例如，若负载电阻被增加至最大设置(0x1E)时的输出功率为+10dBm，最小设置(0x00)产生的输出功率则大约为-18dBm。

发射功率设置(3V电源)

3V工作时的输出功率设置与5V工作时的方式相同，但是3V电源的波动(指标范围为2.1V至3.6V)影响可发送的最大功率。若电源为3.6V，papwr[4:0]的最大设置(0x1E)仍然产生+14dBm至+15dBm发射功率。电源电压下降时，相应地降低最大发射功率，所以最大功率设置和较低功率设置将产生相同的发射功率，发射功率低于3.6V电源供电时所能达到+14dBm至+15dBm。例如，2.7V电源产生的最大发射功率为+12dBm至+13dBm，PApwr寄存器设置0x1B至0x1E(27dec至30dec)产生相同的发射功率。压缩最大发射功率范围后，其余功率设置能够给出5V电源时相同的发射功率。采用最低2.1V供电时，最大设置产生的最大发射功率为+10dBm，从0x19至0x1E(25dec至30dec)的PApwr寄存器设置产生相同的发射功率。较低的电源电压会降低最大功率和调节范围，最小设置对应的发射功率保持不变。

将PAOUT直接连接到PAVDD并断开(保持开路)PAVOUT引脚，采用3V供电时，发射功率可以设置到高于上述功率的水平。这种连接方式的代价是不能调节发射功率。

280MHz至450MHz可编程 ASK/FSK发送器

ASK幅度整形

数据率高于30kbps曼彻斯特码(60kbps NRZ)时,可能需要整形ASK发送脉冲,将所占的发送信号带宽降低到规范(美国的FCC,欧洲的ETSI)要求。FSK调制无需整形。MAX7060有两种形式的幅度整形:数字和模拟。

数字幅度整形

利用数字整形功能,用户可选择一个线性阶梯函数,当PA打开和关闭形成一个ASK位间隔时增大、减小功率。由三个寄存器控制数字幅度整形设置。第一项设置是脉冲达到其最大值时对应的PA最终功率(PApwr寄存器)。第二项设置是每一级的幅值变化,单位为分贝,每一步对应于纵轴的台阶(PAstep寄存器)。第三项设置是每一级的时间间隔,它是阶梯的横轴(Tstep寄存器)。最终功率设置(十进制0至30,增量为1dB)保存在PApwr寄存器。幅度步长(十进制0至30,增量为1dB)保存在PAstep寄存器。时间间隔(十进制0至60/f_{XTAL},增量为4/f_{XTAL})保存在Tstep寄存器。例如,在整形80kbps NRZ数据流(12.5μs位间隔)时,假设晶振频率为16MHz,用户可选择最大功率水平0x1E (30dec),幅度步长5dB,时间间隔0.5μs。这样产生的ASK脉冲以3μs爬升,保持关闭9.5μs,然后在3μs内下降。由于幅度步长的单位为分贝,所以脉冲上升和下降的形状在线性屏幕(例如示波器)上呈指数。由于大多数ASK接收器采用对数检波器,调制脉冲具有线性爬升形状。将Tstep置为0x00禁用数字整形。

模拟幅度整形

为了使用模拟整形功能,用户必须将偏置电感连接到ROUT引脚,而不是直接连接至PAVOUT引脚。这样就在PAVOUT和PAOUT之间放置了一个MOS电阻,放慢了PA开启时施加到PA FET的漏极的PAVOUT电压的速度。在Conf0寄存器的anshp[1:0]位中有三组设置用于控制脉冲爬升的速率: anshp[1:0] = 11时最快(接近1μs); anshp[1:0] = 10时接近1.5μs, anshp[1:0] = 01时接近3μs; anshp[1:0] = 00设置断开PAOUT和PAVOUT之间的连接,禁用模拟幅值整形功能。

调谐电容设置

内部可调并联电容,能够在发射频率变化时确保PA与天线之间匹配,受控于寄存器中的5位电容变量设置。这样可实现32级并联电容控制。由于这5位控制与其它设置无关,所以在任何频率下都可以选择任意电容值,从而有可能既保持最大发送器效率,又能在频率之间快速切换。内部调谐电容能够在PA输出端增加0至7.75pF电容,步长为0.25pF。PA输出电容在最小电容设置时大约为4.5pF。

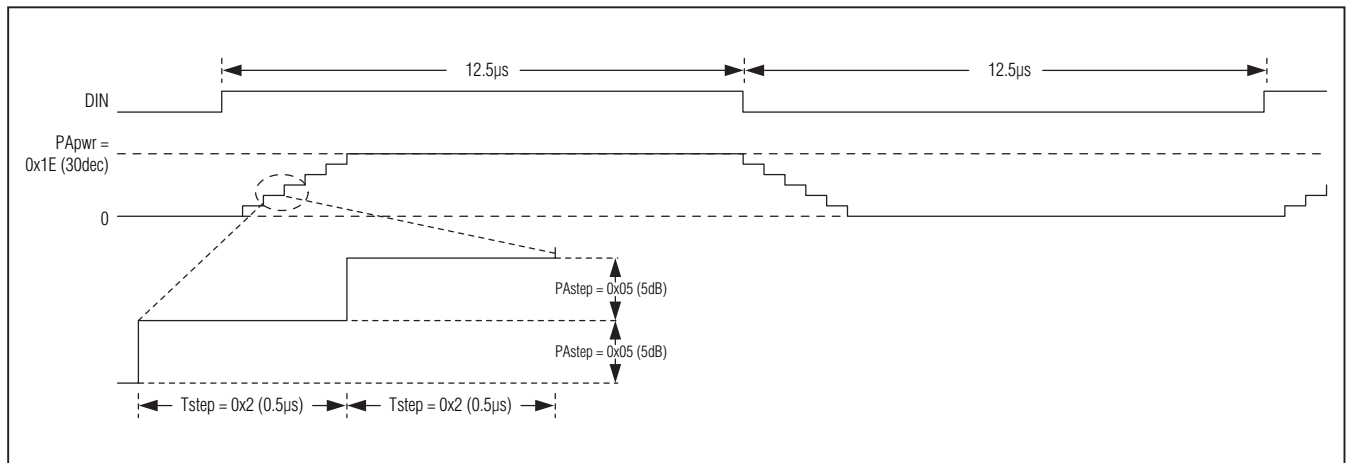


图7. 数字幅度整形时序图

280MHz至450MHz可编程 ASK/FSK发送器

寄存器详细说明

下表列出了关于MAX7060寄存器的信息。

表1. 寄存器汇总表

REGISTER	ADDRESS	DESCRIPTION
Ident	0x00	Read-only register used for identification purpose. The content of this register is always 0xA6.
Conf0	0x01	Configuration 0 register. Controls the GPO1 boost mode, PLL bandwidth, analog shaping, crystal clock output, and the modulation mode (ASK/FSK).
Conf1	0x02	Configuration 1 register. Controls the clock output frequency divider and the capacitance at the PA output.
Conf2	0x03	Configuration 2 register. Controls the emulation mode.
IOConf0	0x04	IO configuration 0 register. Selects the status register bus for SPI operation.
IOConf1	0x05	IO configuration 1 register. Selects the outputs of GPO1 and GPO2_MOD pins.
Tstep	0x06	Digital shaping time step register. Controls the time step in the digital shaping.
PAstep	0x07	Digital shaping power step register. Controls the power step in the digital shaping.
PApwr	0x08	Final power register. Controls the final output power.
FHigh0	0x09	High-frequency 0 register (upper byte). Sets the high frequency in FSK transmission.
FHigh1	0x0A	High-frequency 1 register (lower byte). Sets the high frequency in FSK transmission.
FCenter0	0x0B	Center-frequency 0 register (upper byte). Sets the carrier frequency in ASK transmission.
FCenter1	0x0C	Center-frequency 1 register (lower byte). Sets the carrier frequency in ASK transmission.
FLow0	0x0D	Low-frequency 0 register (upper byte). Sets the low frequency in FSK transmission.
FLow1	0x0E	Low-frequency 1 register (lower byte). Sets the low frequency in FSK transmission.
FLoad	0x0F	Frequency-load register. Performs the frequency-load function.
EnableReg	0x10	Enable register. Register equivalent of ENABLE pin.
DataReg	0x11	Datain register. Register equivalent of DIN pin.
Status	0x12	Status register

表2. 配置寄存器

REGISTER	ADDRESS	DATA								MODE
		BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	
Ident	0x00	1	0	1	0	0	1	1	0	R
Conf0	0x01	—	gp1bst	pllbw	anshp_1	anshp_0	clksby	clkout	mode	R/W
Conf1	0x02	ckdiv_2	ckdiv_1	ckdiv_0	cap_4	cap_3	cap_2	cap_1	cap_0	R/W
Conf2	0x03	fixed	fxmode	fxpwr_1	fxpwr_0	fxhdev	fxfrq_2	fxfrq_1	fxfrq_0	R/W
IOConf0	0x04	—	—	—	—	—	tmux_2	tmux_1	tmux_0	R/W
IOConf1	0x05	—	gp2s_2	gp2s_1	gp2s_0	—	gp1s_2	gp1s_1	gp1s_0	R/W
Tstep	0x06	—	—	—	—	tstep_3	tstep_2	tstep_1	tstep_0	R/W
PAstep	0x07	—	—	—	pastp_4	pastp_3	pastp_2	pastp_1	pastp_0	R/W
PApwr	0x08	—	—	—	papwr_4	papwr_3	papwr_2	papwr_1	papwr_0	R/W
FHigh0	0x09	fhi_15	fhi_14	fhi_13	fhi_12	fhi_11	fhi_10	fhi_9	fhi_8	R/W
FHigh1	0x0A	fhi_7	fhi_6	fhi_5	fhi_4	fhi_3	fhi_2	fhi_1	fhi_0	R/W
FCenter0	0x0B	fce_15	fce_14	fce_13	fce_12	fce_11	fce_10	fce_9	fce_8	R/W
FCenter1	0x0C	fce_7	fce_6	fce_5	fce_4	fce_3	fce_2	fce_1	fce_0	R/W

280MHz至450MHz可编程 ASK/FSK发送器

表2. 配置寄存器(续)

REGISTER	ADDRESS	DATA								MODE
		BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	
FLow0	0x0D	flo_15	flo_14	flo_13	flo_12	flo_11	flo_10	flo_9	flo_8	R/W
FLow1	0x0E	flo_7	flo_6	flo_5	flo_4	flo_3	flo_2	flo_1	flo_0	R/W
FLoad	0x0F	—	—	—	—	—	—	—	hop	R/W
EnableReg	0x10	—	—	—	—	—	—	—	enable	R/W
DataReg	0x11	—	—	—	—	—	—	—	datain	R/W
Status	0x12	status_7	status_6	status_5	status_4	status_3	status_2	status_1	status_0	R

表3. 标识(Ident)寄存器地址(地址: 0x00)

BIT	NAME	FUNCTION
7:0	ident	Read-only register used for identification purpose. The content of this register is always 0xA6.

表4. 配置0 (Conf0)寄存器(地址: 0x01)

BIT	NAME	FUNCTION
6	gp1bst	0 = Normal GPO1 output driver 1 = Extended driving capability on GPO1
5	pllbw	PLL bandwidth setting, low (0) = 300kHz or high (1) = 600kHz; 300kHz is recommended for fractional-N and 600kHz for fixed-N (ASK mode only)
4:3	anshp[1:0]	Control time constants of the analog shaping anshp[1:0] Rise/fall time 00 no analog shaping 01 nominal 3.0 μ s rise/fall time 10 nominal 1.5 μ s rise/fall time 11 nominal 1.0 μ s rise/fall time
2	clksby	Crystal clock output enable (1) while part is in standby mode
1	clkout	Crystal clock output enable (1) on GPO1 output, gp1s[2:0] = 0x2
0	mode	ASK (0) or FSK (1)

表5. 配置1 (Conf1)寄存器(地址: 0x02)

BIT	NAME	FUNCTION
7:5	ckdiv[2:0]	3-bit clock output frequency divider
4:0	cap[4:0]	5-bit capacitor setting

表6. 时钟输出的晶体分频设置

ckdiv[2:0]	CRYSTAL FREQUENCY DIVIDED BY
000	1
001	2
010	4
011	8
1XX	16

280MHz至450MHz可编程 ASK/FSK发送器

表7. 配置2 (Conf2)寄存器(地址: 0x03)

BIT	NAME	FUNCTION
7	fixed	Enable (1) or disable (0) emulation mode
6	fxmode	FSK (1) or ASK (0)
5:4	fxpwr[1:0]	Output power setting fxpwr[1:0] dB below P_{MAX} 00 0 01 3 10 6 11 10
3	fxhdev	100kHz (1) or 32kHz (0) frequency deviation in FSK
2:0	fxfrq[2:0]	Frequency selection The combinations are same as those in manual mode. When a 16MHz crystal is used, the following frequency values are selected by fxfrq[2:0]. fxfrq[2:0] Freq (MHz) Divide Ratio 000 N/A N/A 001 315.00 19.68750 010 433.62 27.10125 011 390.00 24.37500 100 418.00 26.12500 101 372.00 23.25000 110 345.00 21.56250 111 433.92 27.12000

表8. IO配置0 (IOConf0)寄存器(地址: 0x04)

BIT	NAME	FUNCTION
2:0	tmux[2:0]	Status register output selection bits

280MHz至450MHz可编程 ASK/FSK发送器

MAX7060

表9. IO配置1 (IOConf1)寄存器(地址: 0x05)

BIT	NAME	FUNCTION				
6:4	gp2s[2:0]	GPO2 output selection				
		CS_DEV	Bit 2	Bit 1	Bit 0	GPO2_MOD
		0	X	X	X	SPI Data Output
		1	0	0	0	lockdet
		1	0	0	1	—
		1	0	1	0	ckout
		1	0	1	1	—
		1	1	0	0	—
		1	1	0	1	nock
2:0	gp1s[2:0]	GPO1 output selection				
		Bit 2	Bit 1	Bit 0	GPO1	
		0	0	0	lockdet	
		0	0	1	—	
		0	1	0	ckout	
		0	1	1	—	
		1	0	0	—	
		1	0	1	nock	
		1	1	0	—	
		1	1	1	—	

其中,

- 保留信号
- nock 无时钟标识, 若晶振被禁用则为(1), 若观察到时钟活动则为(0)
- ckout 时钟输出信号, 对应于被编程的分频器(ckdiv[2:0])
- lockdet PLL锁定检测标识

表10. ASK数字整形时间步长(Tstep)寄存器(地址: 0x06)

BIT	NAME	FUNCTION
3:0	tstep[3:0]	Time interval value used in digital shaping, in increments of 4/f _{XTAL}

表11. PA数字整形幅度步长(PAstep)寄存器(地址: 0x07)

BIT	NAME	FUNCTION
4:0	pastp[4:0]	Power step in digital shaping, in increments of 1dB

表12. PA功率(PApwr)寄存器(地址: 0x08)

BIT	NAME	FUNCTION
4:0	papwr[4:0]	Final PA output power setting

表13. FSK高频0 (FHigh0)寄存器(地址: 0x09)

BIT	NAME	FUNCTION
7:0	fhi[15:8]	8-bit upper byte of high-frequency divider for FSK

280MHz至450MHz可编程 ASK/FSK发送器

表14. FSK高频1 (FHigh1)寄存器(地址: 0x0A)

BIT	NAME	FUNCTION
7:0	fhi[7:0]	8-bit lower byte of high-frequency divider for FSK

FHigh0的4个MSB (fhi[15:12])是分频器的整数部分, 不包括偏移16。12个LSB (fhi[11:0])是分频器的小数部分。

表15. ASK中心频率0 (FCenter0)寄存器(地址: 0x0B)

BIT	NAME	FUNCTION
7:0	fce[15:8]	8-bit upper byte of frequency divider for ASK

表16. ASK中心频率1 (FCenter1)寄存器(地址: 0x0C)

BIT	NAME	FUNCTION
7:0	fce[7:0]	8-bit lower byte of frequency divider for ASK

FCenter0的4个MSB (fce[15:12])是分频器的整数部分, 不包括偏移16。12个LSB (fce[11:0])是分频器的小数部分。

fce[11:0]全为零且选择ASK模式(模式位 = 0)时, PLL在N固定值模式下工作, 可降低耗流和参考时钟杂散分量。将pllhw (Conf0寄存器, 第5位)置“1”。对于其它组合, PLL在N分数模式下工作。

表17. FSK低频0 (FLow0)寄存器(地址: 0x0D)

BIT	NAME	FUNCTION
7:0	flo[15:8]	8-bit upper byte of low-frequency divider for FSK

表18. FSK低频1 (FLow1)寄存器(地址: 0x0E)

BIT	NAME	FUNCTION
7:0	flo[7:0]	8-bit lower byte of low-frequency divider for FSK

FLow0的4个MSB (flo[15:12])是分频器的整数部分, 不包括偏移16。12个LSB (flo[11:0])是分频器的小数部分。

表19. 分频器的最大和最小值

DECIMAL VALUE	fhi[15:0], fce[15:0], flo[15:0]
12.0220	0xC05A
2.9536	0x2F42

表20. 频率负载(FLoad)寄存器(地址: 0x0F)

BIT	NAME	FUNCTION
0	hop	Effectively changes the PLL frequency to the ones written in registers 0x09 to 0x0E. This is a self-reset bit and is reset to zero after the operation is completed.

280MHz至450MHz可编程 ASK/FSK发送器

表21. 使能(EnableReg)寄存器(地址: 0x10)

BIT	NAME	FUNCTION
0	enable	SPI equivalent of the ENABLE pin, which should be kept low (0) if the external ENABLE pin is used. The external ENABLE pin should also be kept low (0) if the enable bit is used.

表22. 数据输入(DataReg)寄存器(地址: 0x11)

BIT	NAME	FUNCTION
0	datain	SPI equivalent of DIN, where the transmitted data can be controlled through the SPI interface. It should be kept low (0) if only the external DIN pin is used. The external DIN pin should also be kept low (0) if the datain bit is used.

表23. 状态(Status)寄存器(地址: 0x12)

BIT	NAME	FUNCTION
7:0	status[7:0]	Read-only status register, selected through tmux[2:0] (register 0x04 IOConf0)

表24. 状态总线信号

tmux[2:0]	status[7]	status[6]	status[5]	status[4]	status[3]	status[2]	status[1]	status[0]
0	—	—	—	—	ckout	ckd16	ckd4	nock
1	—	—	—	—	—	—	—	—
2	—	—	—	—	enable	—	—	—
3	—	frac_fxdb	—	cap[4]	cap[3]	cap[2]	cap[1]	cap[0]
4	—	—	notover	capfxd[4]	capfxd[3]	capfxd[2]	capfxd[1]	capfxd[0]
5	integ[3]	integ[2]	integ[1]	integ[0]	frac[11]	frac[10]	frac[9]	frac[8]
6	frac[7]	frac[6]	frac[5]	frac[4]	frac[3]	frac[2]	frac[1]	frac[0]
7	—	—	—	—	—	—	lockdet	xmit_en

—	保留信号	frac_fxdb	N分数模式(1)或ASK N定值模式(0)
nock	无时钟标识, 若晶振被禁用则为(1), 若观察到时钟有效则为(0)	capfxd[4:0]	仿真模式可变电容设置
ckd4	4分频后的晶振时钟信号	notover	ASK数字整形标识, 当PA功率值不为0时为(1)
ckd16	16分频后的晶振时钟信号	integ[3:0]	N分数4位整数
ckout	时钟输出信号, 对应于编程分频器(ckdiv[2:0])	frac[11:0]	N分数12位小数值
enable	内部使能信号(ENABLE引脚和使能位的“或”函数)	xmit_en	发送器PA使能标识
cap[4:0]	SPI模式电容设置	lockdet	PLL锁定检测标识

280MHz至450MHz可编程 ASK/FSK发送器

手动模式设置

MAX7060可由特定引脚直接控制工作，无需SPI控制器。频率和功率设置的选择有一定限制，但是工作方式更简单。用于手动模式的引脚有：

引脚1: GPO2_MOD (调制模式，0 = ASK，
1 = FSK)

引脚5、6、7: FREQ0、FREQ1、FREQ2

引脚19: $\overline{CS_DEV}$ (FSK频偏选择，0 = $\pm 16\text{kHz}$ ，
1 = $\pm 50\text{kHz}$)

引脚20、21: SDI_PWR1和SCLK_PWR0
(2引脚功率选择)

引脚22、23: ENABLE和DIN (PA可变电容设置，
数据输入，使能)

若需将MAX7060置于手动模式，将FREQ0、FREQ1、FREQ2引脚(5、6和7)的任意一个置为逻辑高电平。这些引脚通常拉低，所以MAX7060的默认状态为SPI模式。手动模式下可按表25设置。

表25. 手动模式频率选择

FREQ2	FREQ1	FREQ0	FREQUENCY (MHz)	DIVIDE RATIO
0	0	0	SPI	N/A
0	0	1	315.00	19.68750
0	1	0	433.62	27.10125
0	1	1	390.00	24.37500
1	0	0	418.00	26.12500
1	0	1	372.00	23.25000
1	1	0	345.00	21.56250
1	1	1	433.92	27.12000

表26. 手动模式频率对切换

LOW FREQUENCY (MHz)	HIGH FREQUENCY (MHz)	FREQ2, FREQ1, FREQ0
315.00	433.92	001 to 111. Set FREQ0 high, shorting FREQ1 and FREQ2, toggling 1 line.
418.00	433.92	100 to 111. Set FREQ2 high, shorting FREQ1 and FREQ0, toggling 1 line.
433.62	433.92	010 to 111. Set FREQ1 high, shorting FREQ2 and FREQ0, toggling 1 line.
315.00	390.00	001 to 011. Set FREQ0 high and FREQ2 low, toggling FREQ1.
315.00	372.00	001 to 101. Set FREQ1 low and FREQ0 high, toggling pin FREQ2.
345.00	433.92	110 to 111. Set FREQ2 and FREQ1 high, toggling FREQ0.
390.00	433.92	011 to 111. Set FREQ1 and FREQ0 high, toggling FREQ2.

频率选择

内部有7组N分数分频比设置，对应于采用16MHz晶振时的常用频率。

请注意，通过选择晶振频率及表25中的分频比，MAX7060可手动工作于280MHz至450MHz范围内的任何单点频率。例如，选择19.68750分频比和15.6444MHz的晶振，即可获得308MHz的发送频率。

手动模式下的频率设置方式使用用户只需切换一根控制线的低电平和高电平状态即可在7组常用频率对之间切换(参见表26)。

ASK或FSK调制

引脚1 (GPO2_MOD)置0时为ASK调制，置1时为FSK调制。利用ROUT引脚使能ASK模式下的模拟整形。打开和关闭时间固定为大约1 μs 。

280MHz至450MHz可编程 ASK/FSK发送器

表27. 输出功率设置

SDI_PWR1	SCLK_PWR0	dB BELOW P _{MAX}
0	0	0
0	1	3
1	0	6
1	1	10

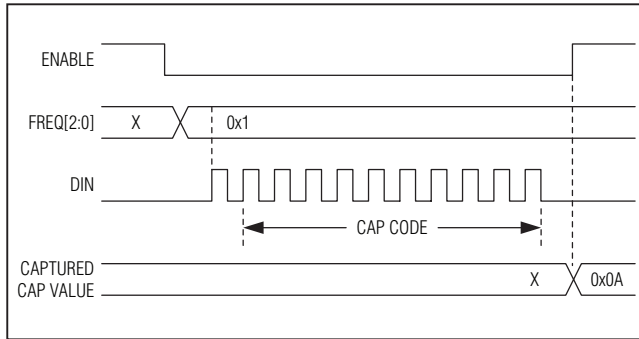


图8. 可变电容设置时序图

频偏

将引脚19 ($\overline{\text{CS_DEV}}$)置0，选择32kHz ($\pm 16\text{kHz}$) FSK频偏；置1时，选择100kHz ($\pm 50\text{kHz}$) FSK频偏。

发射功率

通过SDI_PWR1 (引脚20)和SCLK_PWR0 (引脚21)提供4组功率设置(相对于最大功率设置)。

注意，电池电压低于3V时，前面的2组功率设置被压缩，功率差小于3dB。

PA可变电容设置

手动模式下，可以将电容增添到PA输出，以支持所选择的频率。用户可以在按照手动选择表切换两个频率时对匹配网络进行调节，或可以切换到某个与表中所列频率有显著差异的频率。用户通过将ENABLE置为逻辑低电平设置电容，然后从7组可选设置中选择需要增加电容的频率，随后通过DIN引脚发送1至32个脉冲数据流。第一个脉冲用于复位内

部电容计数器并锁存所选的频率。第一个脉冲之后，其余发送脉冲的数量等于可变电容设置。ENABLE引脚变为高电平时，建立特定频率的电容设置，在相应频率被选中时将编程的电容增加至PA。这种可变电容设置机制只能执行一次。

例如，用户可将ENABLE引脚置为低电平，将FREQ0、FREQ1、FREQ2引脚置为001 (315MHz)，并发送相应数量的脉冲至DIN引脚，然后将ENABLE引脚置为高电平，从而使MAX7060工作在315MHz和433.92MHz窄带天线应用。频率设为433.92MHz (或表中除315MHz之外的其它频率)时，不在PA输出增加电容。频率设为315MHz时，PA电容则增加编程值。

图8所示为如何设置电容。首先将ENABLE引脚拉低。在第一个脉冲的上升沿采样频率。第2至第11个脉冲将电容编码置为0x0A (10dec)，大约为2.5pF。然后将ENABLE引脚拉高，结束设置。

仿真模式设置

手动工作模式下可提供的所有设置均可在SPI模式下轻松操作。该模式称为仿真模式，因此仅需写一个或两个寄存器，即可配置整个发送器。Conf2寄存器控制该模式。

仿真模式是SPI模式的一个子集。它使SPI用户仅需设置一个或两个寄存器即可操作部件，无需设置所有寄存器。

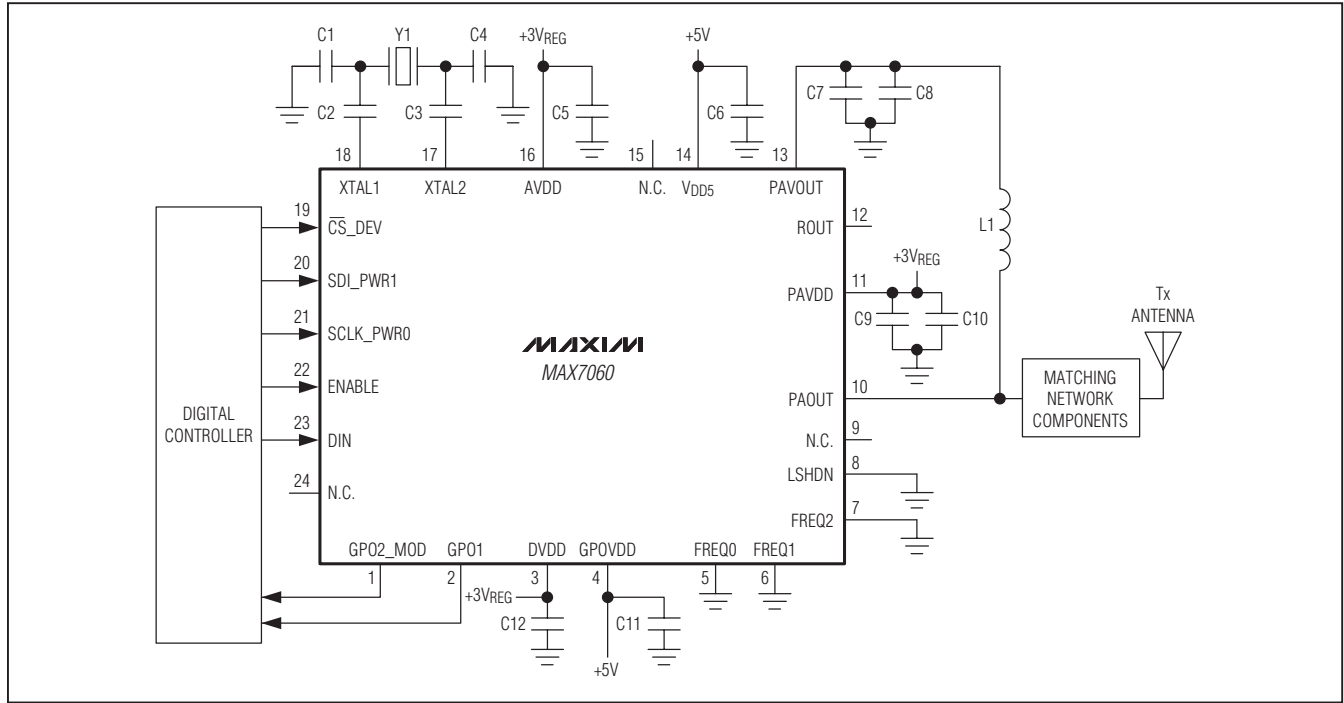
由于该模式仍然是SPI模式，所以引脚5、6和7 (FREQ0、FREQ1和FREQ2)必须拉低。Conf2寄存器是唯一需要设置的寄存器。将第7位(fixed)置1使能该模式。第6位(fxmode)相当于手动模式下的引脚1 (GPO2_MOD)。第5位和第4位(fxpwr[1:0])相当于手动模式下的引脚20和引脚21 (SDI_PWR1和SCLK_PWR0)。第3位(fxhdev)相当于手动模式下的引脚19 ($\overline{\text{CS_DEV}}$)。第2位、第1位和第0位(fxfrq[2:0])相当于手动模式下的引脚5、引脚6和引脚7 (FREQ0、FREQ1和FREQ2)。

与手动模式类似，仿真模式下的PA电容设置可在ENABLE引脚为低电平时触发DIN完成。此外，亦可通过直接写电容寄存器(Conf1寄存器的4:0位，cap[4:0])设置电容。只要电容寄存器的数值不为零，将忽略通过触发DIN引脚发送的电容值。

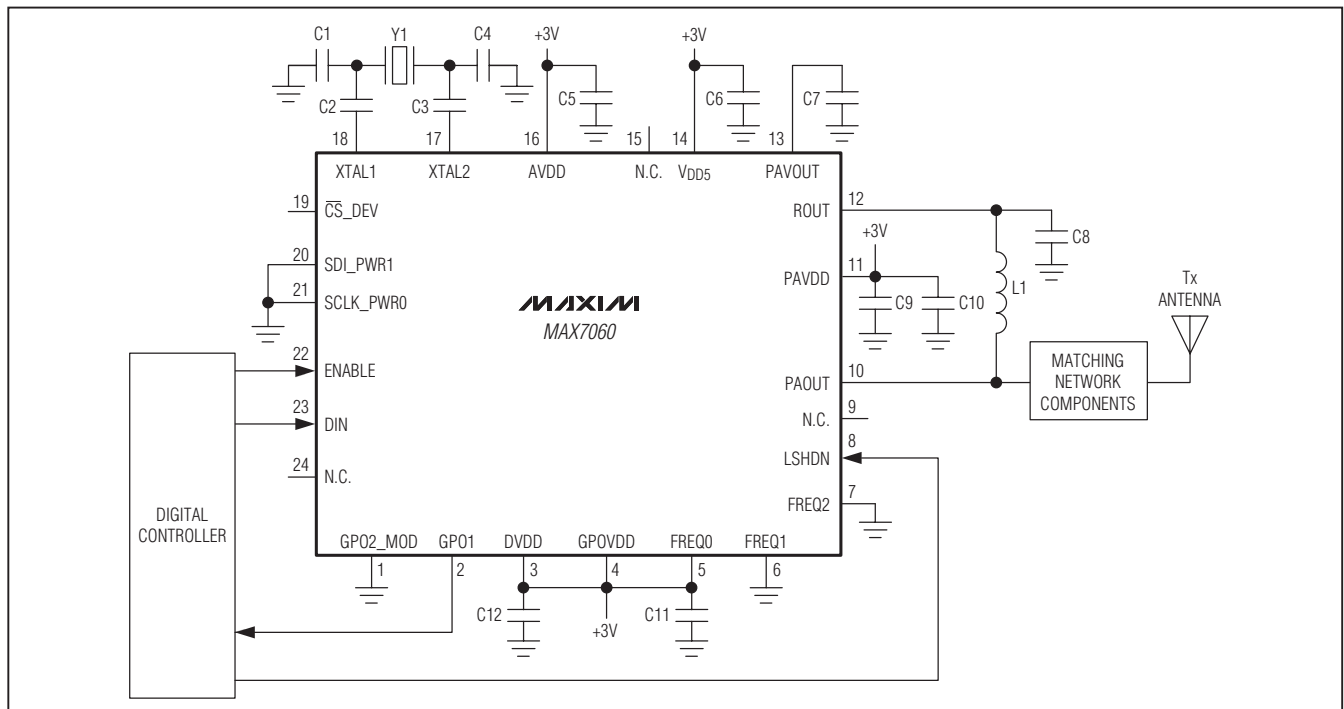
280MHz至450MHz可编程 ASK/FSK发送器

典型应用电路

SPI模式(5V电源)



手动模式(3V电源, 整形ASK调制, 315MHz)



280MHz至450MHz可编程 ASK/FSK发送器

MAX7060

元件列表

SPI模式(5V电源)

DESIGNATION	QTY	DESCRIPTION
C1, C4	2	Not needed if crystal load capacitance is 8pF
C2, C3	2	1.5nF $\pm 10\%$, 50V X7R ceramic capacitors (0603) Murata GRM188R71H152K
C5, C6	2	100nF $\pm 10\%$, 50V X7R ceramic capacitors (0603) Murata GRM188R71H104K
C7, C8, C9	3	220pF $\pm 5\%$ ceramic capacitors (0603) Murata GRM1885C1H220JA01D
C10, C11, C12	3	10nF $\pm 10\%$, 50V X7R ceramic capacitors (0603) Murata GRM188R71H103K
L1	1	$\pm 5\%$ wire-wound inductor (0603) Murata LQW18 series (value depends on matching network)
Matching Network Components	4	3 capacitors and 1 inductor (values depend on frequency range and antenna impedance)
U1	1	Maxim MAX7060ATG+
Y1	1	16MHz crystal Crystek 17466 Suntsu SCX284

手动模式(3V电源)

DESIGNATION	QTY	DESCRIPTION
C1, C4	2	Not needed if crystal load capacitance is 8pF
C2, C3	2	1.5nF $\pm 10\%$, 50V X7R ceramic capacitors (0603) Murata GRM188R71H152K
C5, C6	2	100nF $\pm 10\%$, 50V X7R ceramic capacitors (0603) Murata GRM188R71H104K
C7, C8, C9	3	220pF $\pm 5\%$ ceramic capacitors (0603) Murata GRM1885C1H220JA01D
C10, C11, C12	3	10nF $\pm 10\%$, 50V X7R ceramic capacitors (0603) Murata GRM188R71H103K
L1	1	$\pm 5\%$ wire-wound inductor (0603) Murata LQW18 series (value depends on matching network)
Matching Network Components	4	3 capacitors and 1 inductor. Values depend on frequency range and antenna impedance.
U1	1	Maxim MAX7060ATG+
Y1	1	16MHz crystal Crystek 17466 Suntsu SCX284

280MHz至450MHz可编程 ASK/FSK发送器

芯片信息

PROCESS: CMOS

封装信息

如需最近的封装外形信息和焊盘布局，请查询china.maxim-ic.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	文档编号
24 TQFN-EP	T2444+3	21-0139

Maxim北京办事处

北京8328信箱 邮政编码 100083
免费电话: 800 810 0310
电话: 010-6211 5199
传真: 010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

30 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2010 Maxim Integrated Products

Maxim是Maxim Integrated Products, Inc.的注册商标。