

可提供评估板

MAXIM

低功耗音频CODEC,
提供DirectDrive耳机放大器

MAX9856

概述

MAX9856是高性能、低功耗立体声音频CODEC，用于MP3、个人媒体播放器(PMP)或其它便携式多媒体设备。利用内置立体声DirectDrive®耳机放大器，采用1.8V单电源供电时，CODEC能够为32Ω立体声耳机提供30mW功率。9mW的超低功耗播放使其成为电池供电产品的理想选择。MAX9856提供麦克风输入放大器、灵活的输入选择、信号混音以及自动增益控制(AGC)等功能。负载电阻检测能够使MAX9856自动检测常见的音频及音频/视频耳机和插孔。

输出包括立体声DirectDrive线出及DirectDrive耳机放大器。立体声ADC可转换来自内部或外部麦克风的音频信号，输入可配置为单端或差分模式。线入可以配置为立体声输入、差分输入或单声道输入，通过麦克风的一个通道馈入。在转换成数字信号之前，选定的模拟输入可与其它输入源同时放大或混音。ADC还具有可编程数字高通滤波器，以消除直流失调电压和风噪声。

MAX9856支持主机和从机模式下8kHz至48kHz范围内的常用采样频率。串行数字音频接口支持多种格式，包括I²S、左对齐和PCM模式。

MAX9856采用增强散热、节省空间的40引脚6mm x 6mm x 0.8mm TQFN封装。

应用

MP3播放器
个人媒体播放器
手持式游戏控制台
蜂窝电话

引脚配置在数据资料的最后给出。

DirectDrive是Maxim Integrated Products, Inc.的注册商标。

特性

- ◆ 1.71V至3.6V单电源供电
- ◆ 立体声30mW DirectDrive耳机放大器
- ◆ 立体声1V_{RMS} DirectDrive线出 (V_{DD} = 1.8V)及立体声线入
- ◆ 低噪声立体声和单声道差分麦克风输入，带有自动增益控制及静噪功能
- ◆ 9mW播放功耗(V_{DD} = 1.8V)
- ◆ 91dB 96kHz 18位立体声DAC
- ◆ 85dB 48kHz 18位立体声ADC
- ◆ 支持10MHz至60MHz之间的任何主时钟频率
- ◆ ADC和DAC能够工作在独立的采样频率
- ◆ 灵活的音频混音及音量控制
- ◆ 工作时无咔嗒/噼噻声
- ◆ 耳机检测逻辑电路
- ◆ I²C控制接口

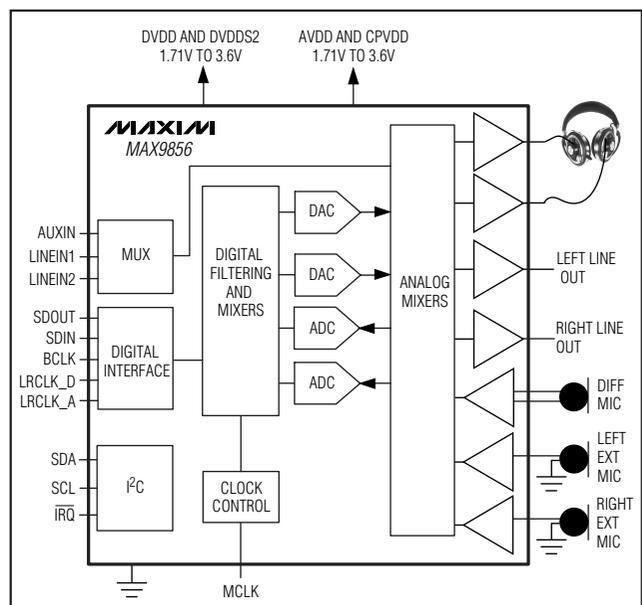
订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX9856ETL+	-40°C to + 85°C	40 TQFN-EP*

+表示无铅/符合RoHS标准的封装。

*EP = 裸焊盘。

简化框图



MAXIM

Maxim Integrated Products 1

本文是Maxim正式英文资料的译文，Maxim不对翻译中存在的差异或由此产生的错误负责。请注意译文中可能存在文字组织或翻译错误，如需确认任何词语的准确性，请参考Maxim提供的英文版资料。

索取免费样品和最新版的数据资料，请访问Maxim的主页：www.maxim-ic.com.cn。

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

ABSOLUTE MAXIMUM RATINGS

(Voltages with respect to AGND.)

AVDD, DVDD, DVDDS2, CPVDD	-0.3V to +4V
PVSS, SVSS	Capacitor connection only
AGND, DGND, CPGND	-0.3V to +0.3V
HPL, HPR	(SVSS - 0.3V) to (AVDD + 0.3V)
HGNDNSNS, LGNDNSNS, MICGND	-0.3V to +0.3V
JACKSNS	(SVSS - 0.3V) to (AVDD + 0.3V)
LOUTL, LOUTR	(SVSS - 0.3V) to (AVDD + 0.3V)
LINEIN1, LINEIN2, AUXIN	-2V to +2V
MICL, MICR, INLP, INLM, INRM	-2V to +2V
C1N	(PVSS - 0.3V) to (CPGND + 0.3V)
C1P	(CPGND - 0.3V) to (CPVDD + 0.3V)
PREG, REF, MBIAS, MICBIAS	-0.3V to (AVDD + 0.3V)
NREG	(SVSS - 0.3V) to +0.3V
MCLK	-0.3V to +4V
SDA, SCL, I \bar{R} Q	-0.3V to +4V

LRCLK_A, LRCLK_D, BCLK,	
SDIN, SDOUT	-0.3V to (DVDDS2 + 0.3V)
Continuous Current Into/Out of HPR/HPL/ LOUTL/LOUTR	150mA
CPVDD/CPGND/C1P/C1N/PVSS	300mA
Any Other Pin	20mA
Duration of HPR/HPL/LOUTL/LOUTR Short Circuit to AVDD/AGND/CPVDD/CPGND	Continuous
Continuous Power Dissipation (T _A = +70°C)	
40-Pin TQFN (derate 26.3mW/°C above +70°C, single-layer board)	2105mW
40-Pin TQFN (derate 37mW/°C above +70°C, multilayer board)	2963mW
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{AVDD} = V_{CPVDD} = V_{DVDDS2} = V_{DVDD} = 1.8V, R_{HP} = 32Ω, R_{LINE} = 10kΩ, C₁ = 4.7μF, C₂ = 4.7μF, C_{REF} = C_{MBIAS} = C_{PREG} = C_{NREG} = 1μF, A_{VPRE} = +20dB, C_{MICBIAS} = 1μF, A_{VMIGPGA} = 0dB, MCLK = 11.2896MHz, DRATE = 00, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage Range		AVDD = CPVDD (inferred from HP output PSRR)	1.71	1.80	3.60	V
		DVDD, DVDDS2 (inferred from CODEC performance tests)	1.71	1.80	3.60	
Total Supply Current (Note 2)	I _{VDD}	DAC playback mode (f _s = 44.1kHz) analog	I _{AVDD} + I _{CPVDD}	2.9	5.1	mA
			I _{DVDD} + I _{DVDDS2}	2.3		
		Line-only playback mode (DAC/ADC disabled)	I _{AVDD} + I _{CPVDD}	2.9	4.3	
			I _{DVDD} + I _{DVDDS2}	0.14	0.20	
		DAC + line input playback mode (f _s = 44.1kHz)	I _{AVDD} + I _{CPVDD}	3.9	5.4	
			I _{DVDD} + I _{DVDDS2}	2.3	3.5	
		Full operation, f _s = 44.1kHz (DAC + ADC + LINEIN + MIC + AUXIN)	I _{AVDD} + I _{CPVDD}	11.0	15.5	
			I _{DVDD} + I _{DVDDS2}	3.7	4.5	
		DAC playback, f _s = 44.1kHz mono ADC record f _s = 8kHz	I _{AVDD} + I _{CPVDD}	6.6	9.1	
			I _{DVDD} + I _{DVDDS2}	2.8	3.5	
ADC record, f _s = 44.1kHz	I _{AVDD} + I _{CPVDD}	7.8	10.5			
	I _{DVDD} + I _{DVDDS2}	2.3	3.5			
Shutdown Supply Current		I _{AVDD} + I _{CPVDD}	2.2	10	μA	
		I _{DVDD} + I _{DVDDS2}	0.6	10		
Shutdown to Full Operation			50		ms	

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

ELECTRICAL CHARACTERISTICS (continued)

(VAVDD = VCPVDD = VD VDDS2 = VD VDD = 1.8V, RHP = 32Ω, RLINE = 10kΩ, C1 = 4.7μF, C2 = 4.7μF, CREF = CMBIAS = CPREG = CNREG = 1μF, AVPRE = +20dB, CMICBIAS = 1μF, AVMICPGA = 0dB, MCLK = 11.2896MHz, DRATE = 00, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STEREO DAC (Note 3)						
Gain Error				±1	±5	%
Channel Gain Mismatch				±1		%
DAC DYNAMIC SPECIFICATIONS						
Dynamic Range (Note 4)		fS = 44.1kHz, A-weighted, DRATE = 10	80	91		dB
		fS = 8kHz to 96kHz, A-weighted	DRATE = 00	87		
			DRATE = 10	91		
Total Harmonic Distortion	THD	fIN = 1kHz, fS = 8kHz to 96kHz, 0dBFS		82		dB
Signal-to-Noise Ratio	SNR	fS = 8kHz to 96kHz, A-weighted (Note 5)	DRATE = 00	87		dB
			DRATE = 10	91		
Crosstalk		Driven channel at -1dBFS, fIN = 1kHz, fS = 8kHz		78		dB
Power-Supply Rejection Ratio	PSRR	f = 217Hz, VRIPPLE = 100mV, AVPGA = 0dB		93		dB
		f = 10kHz, VRIPPLE = 100mV, AVPGA = 0dB		60		
DAC DIGITAL FILTER (8x interpolation, FIR (fS = 7.8kHz to 50kHz))						
Passband Cutoff	fP	-0.2dB from peak		0.44		fS
Passband Ripple		f < 0.44 x fS		±0.1		dB
Stopband Cutoff	fS			0.58		fS
Stopband Attenuation		f > fS		58		dB
Attenuation at fS/2				-6.02		dB
DAC DIGITAL FILTER (4x interpolation, FIR (fS = 50kHz to 100kHz))						
Passband Cutoff	fP	-0.2dB from peak		0.24		fS
Passband Ripple		f < 0.23 x fS		±0.1		dB
Stopband Cutoff	fS			0.5		fS
Stopband Attenuation		f > fS		54		dB
Attenuation at fS/2				-60		dB
DAC HIGHPASS FILTER						
-3dB Corner Frequency (fS = 44.1kHz)	HPFILT	DACHP = 000		Disabled		Hz
		DACHP = 001; LRCLK/1598		28		
		DACHP = 010; LRCLK/798		55		
		DACHP = 011; LRCLK/398		111		
		DACHP = 100; LRCLK/197		224		
		DACHP = 101; LRCLK/97		455		
		DACHP = 110; LRCLK/47		938		
		DACHP = 111; LRCLK/22		2004		
DC Attenuation	DCATTEN	DACHP ≠ 000		60		dB

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{CPVDD} = V_{DVDDS2} = V_{DVDD} = 1.8V$, $R_{HP} = 32\Omega$, $R_{LINE} = 10k\Omega$, $C1 = 4.7\mu F$, $C2 = 4.7\mu F$, $C_{REF} = C_{MBIAS} = C_{PREG} = C_{NREG} = 1\mu F$, $A_{VPRE} = +20dB$, $C_{MICBIAS} = 1\mu F$, $A_{VMICPGA} = 0dB$, $MCLK = 11.2896MHz$, $DRATE = 00$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STEREO ADC (Note 6)						
Gain Error				± 1	± 5	%
Full-Scale Conversion	0dBFS	$f_{IN} = 1kHz$, line input PGA = 0dB		2		V _{P-P}
Channel Gain Mismatch				± 1		%
ADC DYNAMIC SPECIFICATIONS						
Dynamic Range (Note 4)		$f_S = 8kHz$ to $32kHz$, BW = $22Hz$ to $f_S/2$		80		dB
		$f_S = 44.1kHz$, BW = $22Hz$ to $20kHz$, A-weighted	78	84		
		$f_S = 48kHz$, BW = $22Hz$ to $20kHz$, A-weighted		85		
Total Harmonic Distortion	THD	1kHz, 0dBFS, $f_S = 8kHz$		-63		dB
		1kHz, 0dBFS, $f_S = 48kHz$		-68		
Signal-to-Noise Ratio	SNR	1kHz, 0dBFS, $f_S = 8kHz$, BW = $22Hz$ to $20kHz$, A-weighted		77		dB
		1kHz, 0dBFS, $f_S = 48kHz$, BW = $22Hz$ to $20kHz$, A-weighted		77		
Channel Crosstalk		Driven channel at -1dBFS, $f_{IN} = 1kHz$, $f_S = 8kHz$		65		dB
Power-Supply Rejection Ratio (Note 7)	PSRR	$V_{AVDD} = 1.71V$ to $3.6V$	60	100		dB
		$f = 1kHz$, $V_{RIPPLE} = 100mV$		80		
		$f = 10kHz$, $V_{RIPPLE} = 100mV$		50		
ADC DIGITAL FILTER PATH						
Passband Cutoff	f_p	-0.2dB from peak		0.44		f_S
Passband Ripple		$f < f_p$		± 0.1		dB
Stopband Cutoff	f_s			0.56		f_S
Stopband Attenuation		$f > f_s$		60		dB
Attenuation at $f_S/2$				-6.02		dB
ADC HIGHPASS FILTER						
-3dB Corner Frequency ($f_S = 44.1kHz$)	HP_{FILT}	ADCHP = 000		Disabled		Hz
		ADCHP = 001; LRCLK/1598		28		
		ADCHP = 010; LRCLK/798		55		
		ADCHP = 011; LRCLK/398		111		
		ADCHP = 100; LRCLK/197		224		
		ADCHP = 101; LRCLK/97		455		
		ADCHP = 110; LRCLK/47		938		
		ADCHP = 111; LRCLK/22		2004		
DC Attenuation	DCATTEN	ADCHP anything other than 000		90		dB
DC Output Offset		ADCHP = 000		-40		dBFS

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

ELECTRICAL CHARACTERISTICS (continued)

(VAVDD = VCPVDD = VDVBDS2 = VDVBDD = 1.8V, RHP = 32Ω, RLINE = 10kΩ, C1 = 4.7μF, C2 = 4.7μF, CREF = CMBIAS = CPREG = CNREG = 1μF, AVPRE = +20dB, CMICBIAS = 1μF, AVMICPGA = 0dB, MCLK = 11.2896MHz, DRATE = 00, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ADC/DAC DATA RATE ACCURACY						
LRCLK_D and LRCLK_A Output Average Sample Rate Deviation (Master Mode, Any MCLK)		(Note 8)	-0.025		+0.025	%
LRCLK_D Output Sample Rate Deviation (Master Mode)		PCLK/LRCLK = 1536, 1024, 768, 512, 384, 256, 192, or 128		0		%
LRCLK Input Sample Rate Range (Slave Mode)		LRCLK_A, LRCLK_D (DHF = 0)	7.8		50	kHz
		LRCLK_D (DHF = 1)	15.6		100	
LRCLK_D and LRCLK_A PLL Lock Time	t _{LOCK}	Any allowable LRCLK and PCLK rates		12	25	ms
LRCLK_D and LRCLK_A Acceptable Jitter for Maintaining PLL Lock (All Slave Modes)		Allowable LRCLK period change from nominal for slave PLL mode at any allowable LRCLK and PCLK rates			±20	ns
HEADPHONE AMPLIFIERS						
Output Power	P _{OUT}	f = 1kHz, THD < 1%, TA = +25°C	R _L = 16Ω	35		mW
			R _L = 32Ω	15	28	
0dBFS DAC Output Voltage		+0dB volume setting	3.40	3.51	3.80	V _{P-P}
Line In to HP Out Voltage Gain		+4.5dB volume setting, 0dB PGA setting	1.77			V/V
Output Offset Voltage	V _{OS}	TA = +25°C, -40dB volume setting	±0.6		±4	mV
Total Harmonic Distortion Plus Noise	THD+N	R _L = 32Ω, P _{OUT} = 25mW, f = 1kHz	0.03			%
		R _L = 16Ω, P _{OUT} = 25mW, f = 1kHz	0.05			
Dynamic Range	DR	+5.5dB volume setting, DAC input at f _S = 44.1kHz (Note 4)	80	91		dB
Power-Supply Rejection Ratio	PSRR	VAVDD = 1.71V to 3.6V	70	94		dB
		V _{RIPPLE} = 100mV _{P-P} , f = 217Hz	80			
		V _{RIPPLE} = 100mV _{P-P} , f = 10kHz	50			
Capacitive Drive	C _L	No sustained oscillations	150			pF
Crosstalk		P _{OUT} = 1.6mW, f = 1kHz, (HPL to HPR) or (HPR to HPL)	69			dB
Channel Gain Matching	AVMATCH		±2			%
Click-and-Pop Level		Peak voltage, A-weighted, 32 samples per second	Into shutdown	-70		dBV
			Out of shutdown	-70		
LINE AMPLIFIERS						
0dBFS DAC Output Voltage			1.0			V _{RMS}
Line-In to Line-Out Voltage Gain		0dB input PGA setting	1.3	1.34	1.4	V/V
Output Offset Voltage	V _{OS}	TA = +25°C	±0.7		±10	mV

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{CPVDD} = V_{DVDDS2} = V_{DVDD} = 1.8V$, $R_{HP} = 32\Omega$, $R_{LINE} = 10k\Omega$, $C_1 = 4.7\mu F$, $C_2 = 4.7\mu F$, $C_{REF} = C_{BIAS} = C_{PREG} = C_{NREG} = 1\mu F$, $A_{VPRE} = +20dB$, $C_{MICBIAS} = 1\mu F$, $A_{VMICPGA} = 0dB$, $MCLK = 11.2896MHz$, $DRATE = 00$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Total Harmonic Distortion Plus Noise	THD+N	$V_{OUT} = 1V_{RMS}$, $f = 1kHz$		0.024		%	
Signal-to-Noise Ratio	SNR			98		dB	
Power-Supply Rejection Ratio	PSRR	$V_{AVDD} = 1.71V$ to $3.6V$	70	108		dB	
		$V_{RIPPLE} = 100mV_{P-P}$, $f = 217Hz$		93			
		$V_{RIPPLE} = 100mV_{P-P}$, $f = 10kHz$		60			
Capacitive Drive	C_L	No sustained oscillations		150		pF	
Crosstalk		$V_{OUT} = 2V_{P-P}$, $f = 1kHz$, (LOUTL to LOUTr) or (LOUTr to LOUtl)		98		dB	
Channel Gain Matching	A_{VMATCH}			± 2		%	
VOLUME CONTROL							
Headphone Volume Control Range			-74.0		+5.5	dB	
Headphone Volume Control Step Size		5.5dB to 2dB		0.5		dB	
		+2.5dB to -2dB		1			
		-2dB to -46dB		2			
		-46dB to -74dB		4			
Headphone Mute Attenuation		$f = 1kHz$		92		dB	
CHARGE PUMP							
Charge-Pump Oscillator Frequency	f_{OSC}	$T_A = +25^\circ C$	600	665	720	kHz	
MICROPHONE AMPLIFIERS							
Preamplifier Gain	A_{VPRE}	MICL or MICR	PALEN/PAREN = 01	-0.5	0	+0.5	dB
			PALEN/PAREN = 10	19	20	21	
			PALEN/PAREN = 11	28.5	30.0	31.5	
MIC PGA Gain	$A_{VMICPGA}$	PGAML/R = 0x20	-0.5	0	+0.5	dB	
		PGAML/R = 0x00	19.5	20.0	19.5		
MIC PGA Gain Step Size				1		dB	
MIC Mute Attenuation		$f = 1kHz$		92		dB	
Common-Mode Rejection Ratio	CMRR	$INL\pm$, $V_{IN} = 100mV_{P-P}$ at 217Hz, $A_{VPRE} = +20dB$		73		dB	
MIC Input Resistance	R_{IN_MIC}	$INL\pm$, MICL or MICR, $A_{VPRE} = +30dB$	4	8	10	k Ω	
		$INL\pm$, MICL or MICR, $A_{VPRE} = +20dB$	12	18	28		
		$INL\pm$, MICL or MICR, $A_{VPRE} = 0dB$	60	100	160		
MIC Input Resistance Matching	R_{MATCH}	$INL+$ to $INL-$ or MICL/MICR to AGND		1		%	
MIC Input Bias Voltage	V_{CML}	Measured at $INL\pm$, MICR, MICL, and AGND	-0.05	0	+0.05	V	
Input Voltage Noise		$f = 1kHz$, $A_{VPRE} = +30dB$		15		nV/ \sqrt{Hz}	

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{CPVDD} = V_{DVDDS2} = V_{DVDD} = 1.8V$, $R_{HP} = 32\Omega$, $R_{LINE} = 10k\Omega$, $C1 = 4.7\mu F$, $C2 = 4.7\mu F$, $C_{REF} = C_{MBIAS} = C_{PREG} = C_{NREG} = 1\mu F$, $A_{VPRE} = +20dB$, $C_{MICBIAS} = 1\mu F$, $A_{VMICPGA} = 0dB$, $MCLK = 11.2896MHz$, $DRATE = 00$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LINEIN1/LINEIN2 INPUTS						
Line Input Full-Scale Input Voltage	0dBFS			2		V _{P-P}
Input DC Bias Voltage				0		V
Line Input Resistance	R_{IN}	PGA = 0dB (Note 9)	12	21		k Ω
Crosstalk		LINEIN1 to LINEIN2 or LINEIN2 to LINEIN1, f = 1kHz		97		dB
Line Channel-to-Channel Gain Matching	A_{VMATCH}			± 2		%
PGA Gain Range			-32		+30	dB
PGA Gain Step Size		-32dB to +30dB		2		dB
AUXIN INPUT						
AUXIN Full-Scale Input Voltage	0dBFS	AUXDC = 0		2		V _{P-P}
Input DC Voltage Range		AUXDC = 1	0		1	V
Input DC Bias Voltage		AUXDC = 0		0		V
AUXIN Input Resistance	R_{IN}	AUXDC = 0	12	21		k Ω
		AUXDC = 1		100		M Ω
Line Channel-to-Channel Gain Matching	A_{VMATCH}			± 2		%
PGA Gain Range			-32		+30	dB
PGA Gain Step Size		-32dB to +30dB		2		dB
JACK SENSE OPERATION (EN[2:0] = 000)						
JACKSNS High Threshold (JKMIC)	V_{TH1}	$T_A = +25^\circ C$	0.92 x MICBIAS	0.95 x MICBIAS	0.98 x MICBIAS	V
JACKSNS Deglitch Period (JKMIC)	t_{GLITCH}	Pulses shorter than t_{GLITCH} are eliminated		12		ms
JACKSNS Voltage (JKMIC)		JDETEN = 1		AVDD		V
HEADSET IMPEDANCE DETECT MODE (EN[2:0] = 111)						
JACKSNS/HPL/HPR High Threshold (JSDET/ HSDETL/HSDETR)	V_{TH2}	HPL/HPR disabled	0.32	0.40	0.48	V
JACKSNS/HPL/HPR Low Threshold (JSDET/HSDETL/HSDETR)	V_{TH3}	HPL/HPR disabled	0.075	0.100	0.125	V
JACKSNS/HPL/HPR Sense Current (JSDET/HSDETL/HSDETR)	I_{SNS}	HPL/HPR disabled	1.7	2.0	2.3	mA

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{CPVDD} = V_{DVDDS2} = V_{DVDD} = 1.8V$, $R_{HP} = 32\Omega$, $R_{LINE} = 10k\Omega$, $C_1 = 4.7\mu F$, $C_2 = 4.7\mu F$, $C_{REF} = C_{MBIAS} = C_{PREG} = C_{NREG} = 1\mu F$, $A_{VPRE} = +20dB$, $C_{MICBIAS} = 1\mu F$, $A_{VMICPGA} = 0dB$, $MCLK = 11.2896MHz$, $DRATE = 00$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SLEEP MODE (JDETEN = 1, SHDNB = 0)						
JACKSNS/HPL Resistance	R_{PU}	MICBIAS = GND	400	1000		$k\Omega$
JACKSNS/HPL Sense Voltage	V_{PU}			AVDD		V
JACKSNS/HPL Sleep Threshold (JKSNS/LSNS)	V_{TH4}		AVDD - 0.8V	AVDD - 0.4V	AVDD - 0.15V	V

DIGITAL INTERFACE ELECTRICAL CHARACTERISTICS

($V_{DVDD} = V_{DVDDS2} = 1.8V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MCLK INPUT CHARACTERISTICS						
Input Voltage High	V_{IH}			$0.7 \times DVDD$		V
Input Voltage Low	V_{IL}				0.4	V
Input Leakage Current	I_{IH} , I_{IL}		-10		+10	μA
Input Capacitance				3		pF
MCLK Input Frequency			10		60	MHz
MCLK Duty Cycle			40	50	60	%
Maximum MCLK Input Jitter		For guaranteed performance limits		100		psRMS
DIGITAL INPUTS (BCLK, LRCLK_A, LRCLK_D, SDIN, SDA, SCL)						
Input Voltage High	V_{IH}		$0.7 \times DVDD$			V
Input Voltage Low	V_{IL}			$0.3 \times DVDD$		V
Input Hysteresis				200		mV
Input Leakage Current	I_{IH} , I_{IL}		-10		+10	μA
Input Capacitance				10		pF
CMOS DIGITAL OUTPUTS (BCLK, LRCLK_A, LRCLK_D, SDOUT)						
Output Low Voltage	V_{OL}	$I_{OL} = 3mA$			0.4	V
Output High Voltage	V_{OH}	$I_{OH} = 3mA$	$DVDD - 0.4$			V
OPEN-DRAIN DIGITAL OUTPUTS (IRQ, SDA)						
Output High Current	I_{OH}	$V_{OUT} = DVDD$			1	μA
Output Low Voltage	V_{OL}	$I_{OL} = 3mA$			0.4	V
DIGITAL AUDIO INTERFACE TIMING CHARACTERISTICS						
BCLK Cycle Time	t_{BCLKS}	Slave operation	75			ns
	t_{BCLKM}	Master operation	100	325		ns
BCLK High Time	t_{BCLKH}	Slave operation	30			ns
BCLK Low Time	t_{BCLKL}	Master operation	30			ns
BCLK or LRCLK_A/D Rise and Fall Time	t_r , t_f	Master operation, $C_L = 15pF$	7			ns

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

DIGITAL INTERFACE ELECTRICAL CHARACTERISTICS (continued)

(V_{DVDD} = V_{DVDDS2} = 1.8V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SDIN or LRCLK_A/D to BCLK Rising Setup Time	t _{SU}	BCI = 0 (see the I ² C Register Address Map and Definitions section)	30			ns
SDIN or LRCLK_A/D to BCLK Rising Hold Time	t _{HD}	BCI = 0 (see the I ² C Register Address Map and Definitions section)	5			ns
SDOUT Delay Time	t _{DLY}	BCI = 0 (see the I ² C Register Address Map and Definitions section), C _L = 30pF	0		50	ns
I²C INTERFACE TIMING CHARACTERISTICS						
Serial-Clock Frequency	f _{SCL}		0		400	kHz
Bus Free Time Between STOP and START Conditions	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD,STA}		0.6			μs
SCL Pulse Width Low	t _{LOW}		1.3			μs
SCL Pulse Width High	t _{HIGH}		0.6			μs
Setup Time for a Repeated START Condition	t _{SU,STA}		0.6			μs
Data Hold Time	t _{HD,DAT}		0		900	ns
Data Setup Time	t _{SU,DAT}		100			ns
SDA and SCL Receiving Rise Time	t _r	(Note 10)	20 + 0.1C _B		300	ns
SDA and SCL Receiving Fall Time	t _f	(Note 10)	20 + 0.1C _B		300	ns
SDA Transmitting Fall Time	t _f	V _{DVDD} = 1.8V (Note 10)	20 + 0.1C _B		250	ns
		V _{DVDD} = 3.6V (Note 10)	20 + 0.05C _B		250	
Setup Time for STOP Condition	t _{SU,STO}		0.6			μs
Bus Capacitance	C _b				400	pF
Pulse Width of Suppressed Spike	t _{SP}	T _A = +25°C	0		50	ns

Note 1: All devices are 100% production tested at room temperature. All temperature limits are guaranteed by design.

Note 2: Supply current measurements taken with no applied input signal to line and microphone inputs. A digital zero audio signal used for all digital serial audio inputs. Speaker and headphone outputs are loaded as stated in the global conditions.

Note 3: DAC performance measured at headphone outputs.

Note 4: Dynamic range measured using the EIAJ method. The input is applied at -60dBFS, f_{IN} = 1kHz. The is THD+N referred to 0dBFS.

Note 5: Signal-to-noise ratio measured using an all-zeros input signal, and is relative to 0dB full scale. The DAC is not muted for the SNR measurement.

Note 6: Performance measured from line inputs (unless otherwise noted).

Note 7: Microphone amplifiers connected to ADC, microphone inputs AC-grounded.

Note 8: In master-mode operation, the accuracy of the MCLK input proportionally determines the accuracy of the sample clock rate. (V_{DVDD} = 1.8V, unless otherwise noted).

Note 9: To enable the line input, make sure the desired input is selected by either the audio output mixer or the ADC input mixer.

Note 10: C_B is in pF.

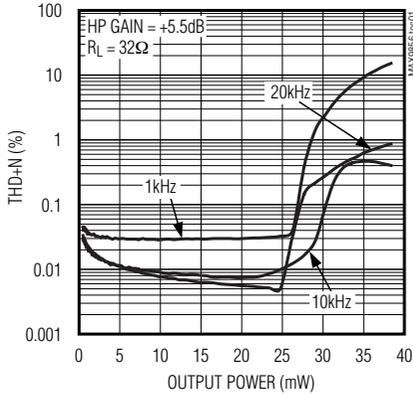
低功耗音频CODEC, 提供DirectDrive耳机放大器

典型工作特性

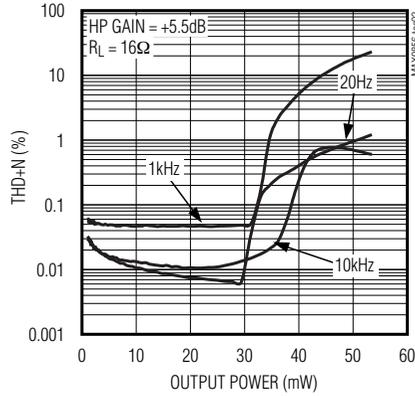
($V_{AVDD} = V_{CPVDD} = V_{DVDD2} = V_{DVDD} = 1.8V$, $R_{HP} = 32\Omega$, $R_{LINE} = 10k\Omega$, $C_1 = 4.7\mu F$, $C_2 = 4.7\mu F$, $C_{REF} = C_{BIAS} = C_{PREG} = C_{NREG} = 1\mu F$, $V_{AVPRE} = +20dB$, $C_{MICBIAS} = 1\mu F$, $V_{AVMICPGA} = 0dB$, $MCLK = 12.288MHz$, $DRATE = 10$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX9856

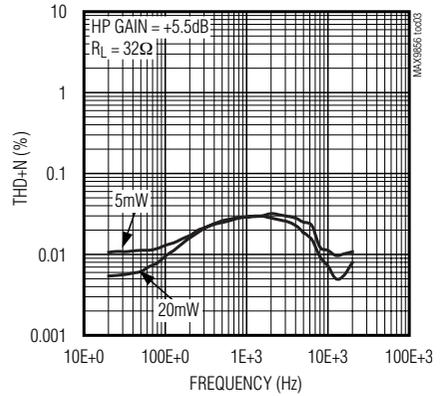
TOTAL HARMONIC DISTORTION PLUS NOISE vs. OUTPUT POWER (DAC TO HP)



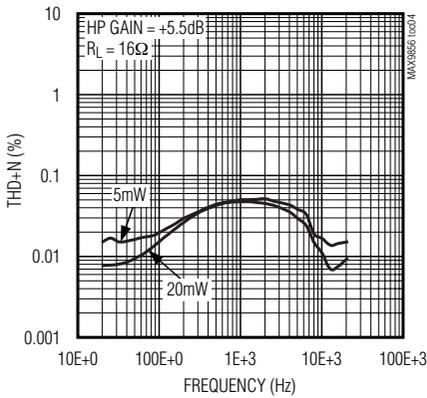
TOTAL HARMONIC DISTORTION PLUS NOISE vs. OUTPUT POWER (DAC TO HP)



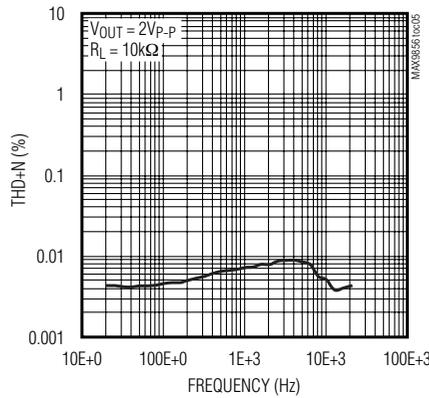
TOTAL HARMONIC DISTORTION + NOISE vs. FREQUENCY (DAC TO HP)



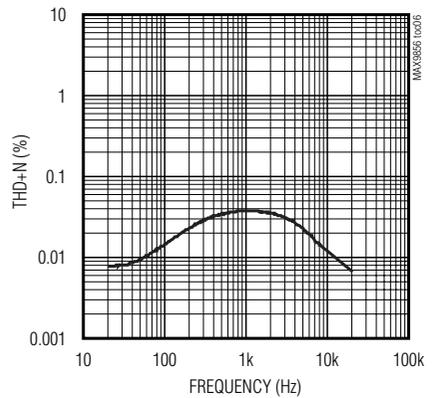
TOTAL HARMONIC DISTORTION + NOISE vs. FREQUENCY (DAC TO HP)



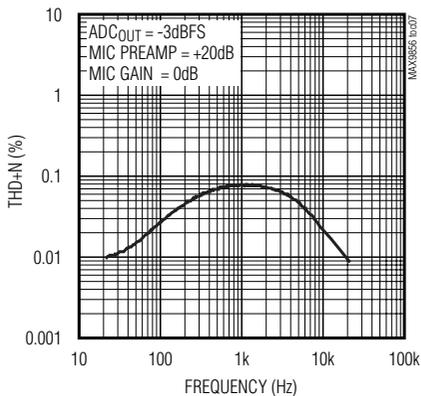
TOTAL HARMONIC DISTORTION + NOISE vs. FREQUENCY (DAC TO LINE OUT)



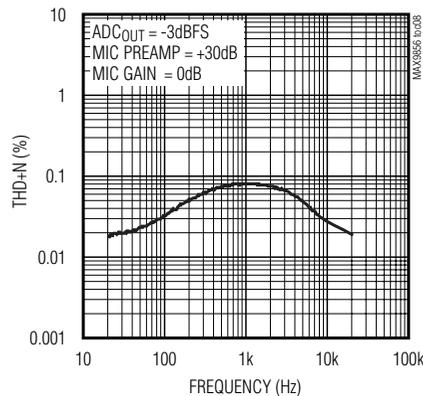
TOTAL HARMONIC DISTORTION PLUS NOISE vs. FREQUENCY (LINE IN TO ADC)



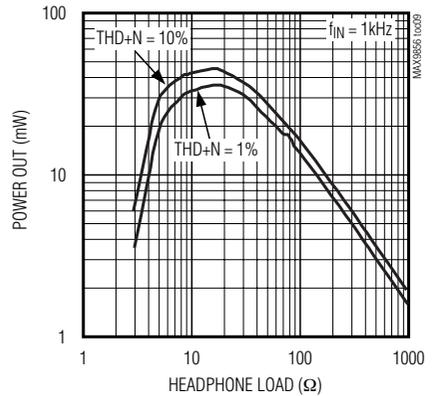
TOTAL HARMONIC DISTORTION PLUS NOISE vs. FREQUENCY (INTMIC TO ADC)



TOTAL HARMONIC DISTORTION PLUS NOISE vs. FREQUENCY (INTMIC TO ADC)



POWER OUT vs. HEADPHONE LOAD

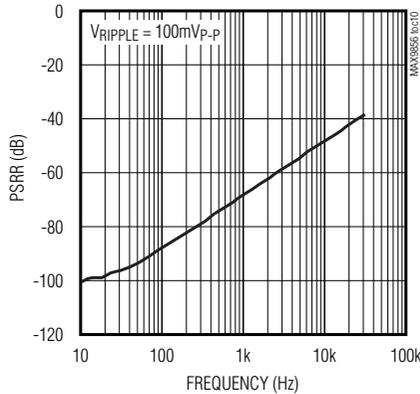


低功耗音频CODEC, 提供DirectDrive耳机放大器

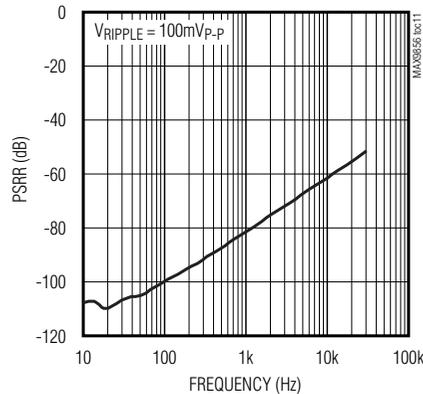
典型工作特性(续)

($V_{AVDD} = V_{CPVDD} = V_{DVDD2} = V_{DVDD} = 1.8V$, $R_{HP} = 32\Omega$, $R_{LINE} = 10k\Omega$, $C_1 = 4.7\mu F$, $C_2 = 4.7\mu F$, $C_{REF} = C_{MBIAS} = C_{PREG} = C_{NREG} = 1\mu F$, $V_{AVPRE} = +20dB$, $C_{MICBIAS} = 1\mu F$, $V_{AVMICPGA} = 0dB$, $MCLK = 12.288MHz$, $DRATE = 10$, $T_A = +25^\circ C$, unless otherwise noted.)

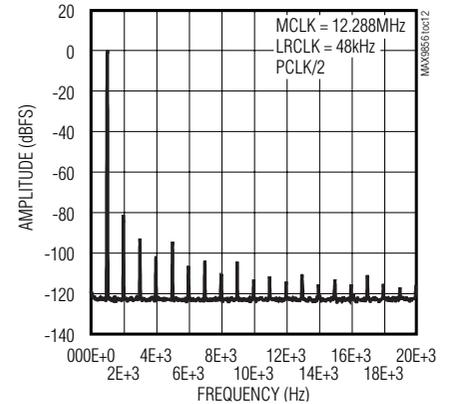
**POWER-SUPPLY REJECTION RATIO
vs. FREQUENCY (DAC TO HP)**



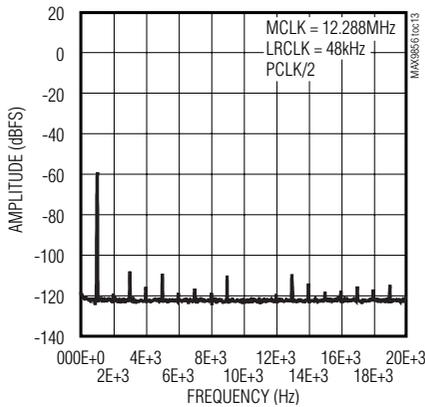
**POWER-SUPPLY REJECTION RATIO
vs. FREQUENCY (DAC TO LINE OUT)**



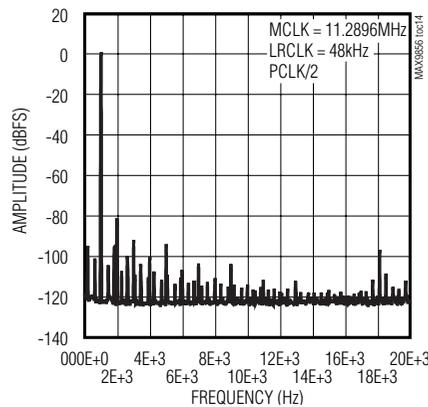
**FFT, DAC TO LINE OUT, 48kHz
SYNCHRONOUS SLAVE MODE, 0dBFS**



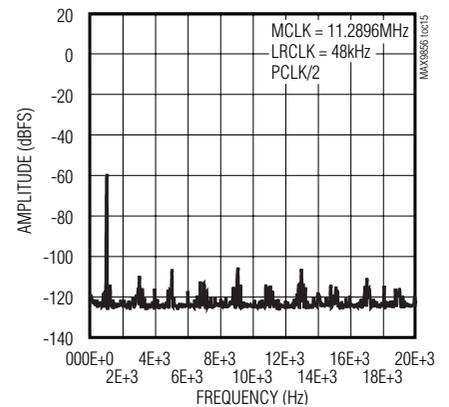
**FFT, DAC TO LINE OUT, 48kHz
SYNCHRONOUS SLAVE MODE, -60dBFS**



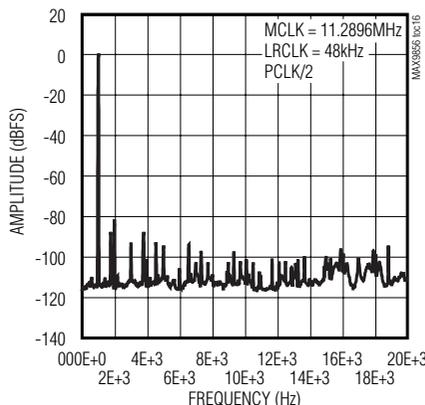
**FFT, DAC TO LINE OUT, 48kHz
ASYNCHRONOUS MASTER MODE, 0dBFS**



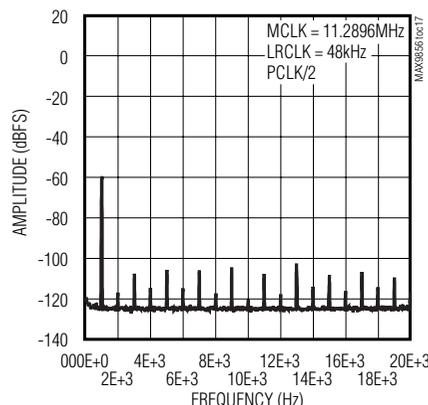
**FFT, DAC TO LINE OUT, 48kHz
ASYNCHRONOUS MASTER MODE, -60dBFS**



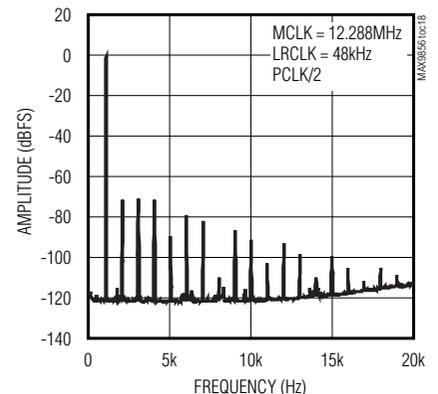
**FFT, DAC TO LINE OUT, 48kHz
ASYNCHRONOUS SLAVE MODE, 0dBFS**



**FFT, DAC TO LINE OUT, 48kHz
ASYNCHRONOUS SLAVE MODE, -60dBFS**



**FFT, LINE IN TO ADC (48kHz)
SYNCHRONOUS MASTER MODE (0dBFS)**



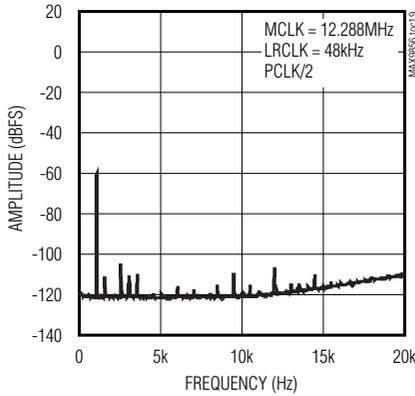
低功耗音频CODEC, 提供DirectDrive耳机放大器

典型工作特性(续)

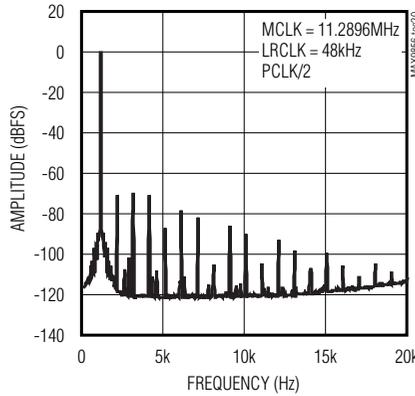
($V_{AVDD} = V_{CPVDD} = V_{DVDD2} = V_{DVDD} = 1.8V$, $R_{HP} = 32\Omega$, $R_{LINE} = 10k\Omega$, $C_1 = 4.7\mu F$, $C_2 = 4.7\mu F$, $C_{REF} = C_{MBIAS} = C_{PREG} = C_{NREG} = 1\mu F$, $V_{AVPRE} = +20dB$, $C_{MICBIAS} = 1\mu F$, $V_{AVMICPGA} = 0dB$, $MCLK = 12.288MHz$, $DRATE = 10$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX9856

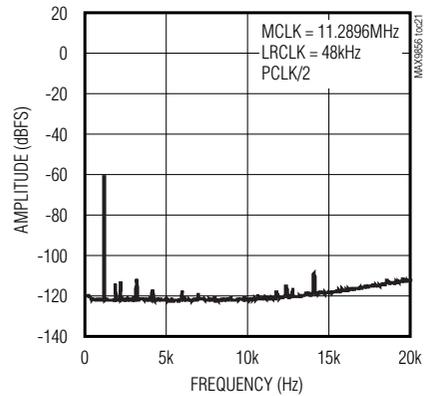
**FFT, LINE IN TO ADC (48kHz)
SYNCHRONOUS MASTER MODE (-60dBFS)**



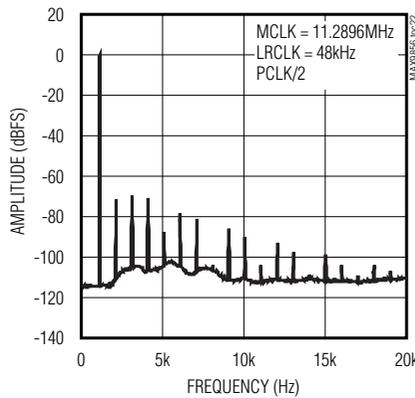
**FFT, LINE IN TO ADC (48kHz)
ASYNCHRONOUS MASTER MODE (0dBFS)**



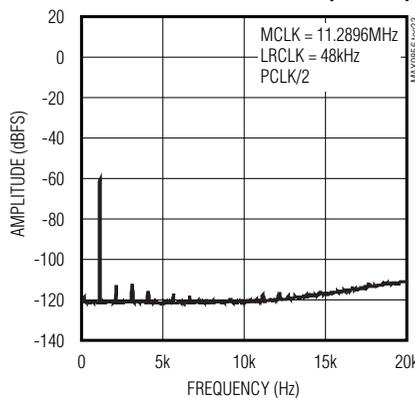
**FFT, LINE IN TO ADC (48kHz)
ASYNCHRONOUS MASTER MODE (-60dBFS)**



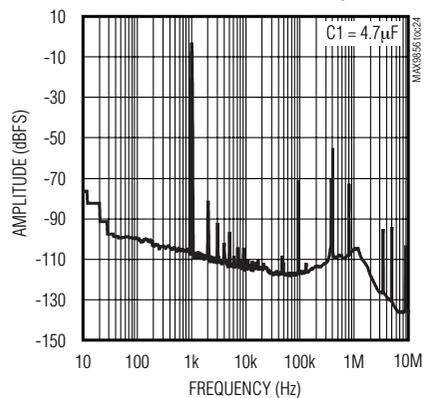
**FFT, LINE IN TO ADC (48kHz)
ASYNCHRONOUS SLAVE MODE (0dBFS)**



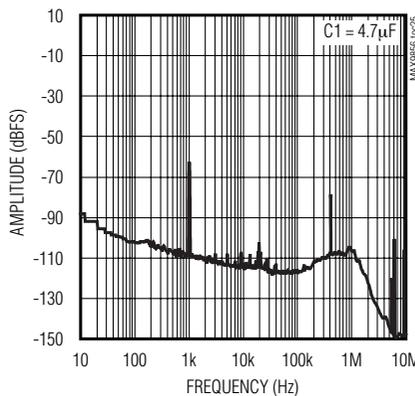
**FFT, LINE IN TO ADC (48kHz)
ASYNCHRONOUS SLAVE MODE (-60dBFS)**



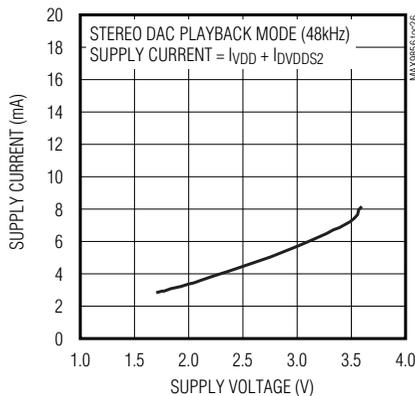
**WIDEBAND FFT, DAC TO HP AMP, 48kHz
SYNCHRONOUS MASTER MODE, 0dBFS**



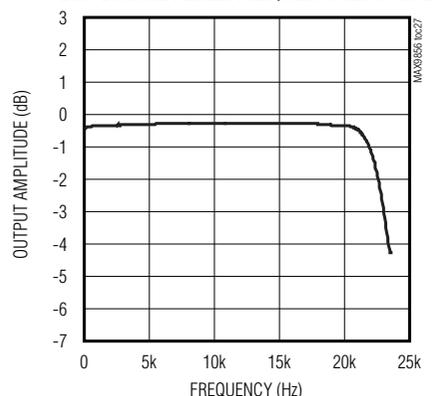
**WIDEBAND FFT, DAC TO HP AMP, 48kHz
SYNCHRONOUS MASTER MODE, -60dBFS**



**SUPPLY CURRENT
vs. SUPPLY VOLTAGE**



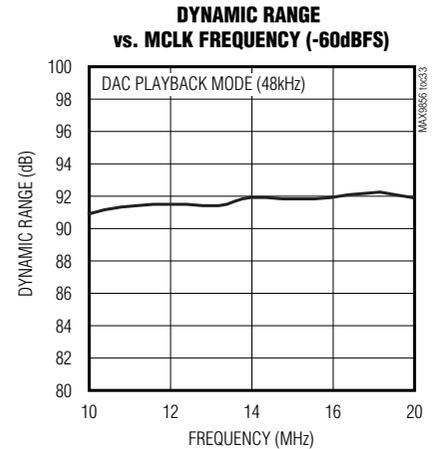
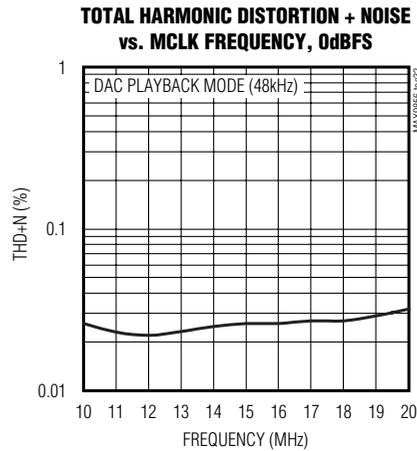
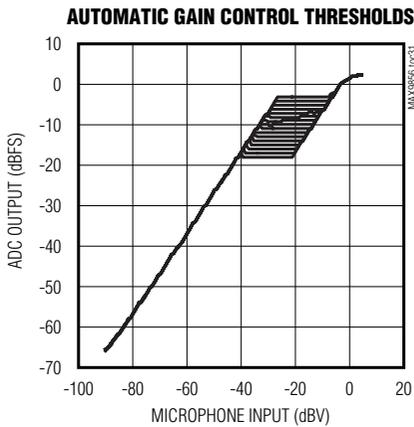
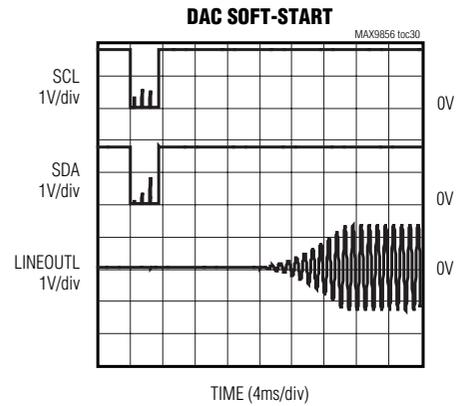
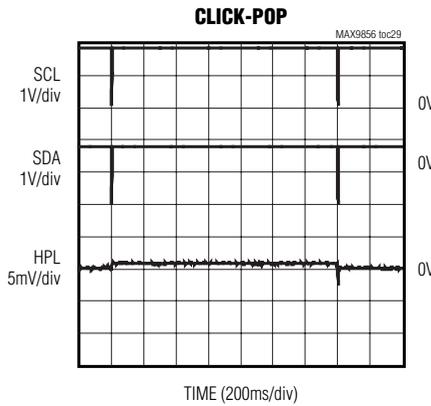
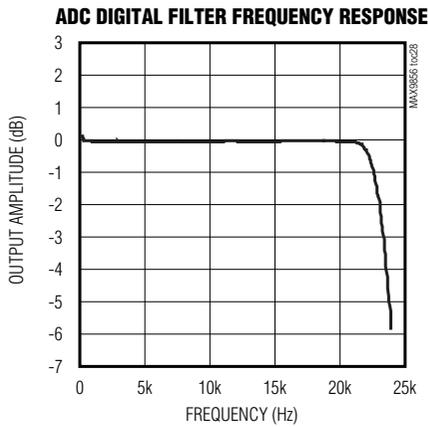
DAC DIGITAL FILTER FREQUENCY RESPONSE



低功耗音频CODEC, 提供DirectDrive耳机放大器

典型工作特性(续)

($V_{AVDD} = V_{CPVDD} = V_{DVDD2} = V_{DVDD} = 1.8V$, $R_{HP} = 32\Omega$, $R_{LINE} = 10k\Omega$, $C_1 = 4.7\mu F$, $C_2 = 4.7\mu F$, $C_{REF} = C_{MBIAS} = C_{PREG} = C_{NREG} = 1\mu F$, $V_{AVPRE} = +20dB$, $C_{MICBIAS} = 1\mu F$, $V_{AVMICPGA} = 0dB$, $MCLK = 12.288MHz$, $DRATE = 10$, $T_A = +25^\circ C$, unless otherwise noted.)



低功耗音频CODEC, 提供DirectDrive耳机放大器

引脚说明

MAX9856

引脚	名称	功能
1	LINEIN1	线路1输入, 利用一个1 μ F电容交流耦合LINEIN1信号。
2	LINEIN2	线路2输入, 利用一个1 μ F电容交流耦合LINEIN2信号。
3	AUXIN	辅助输入, 蜂鸣或音效信号输入, 也可用于直流测量。
4	PREG	正电压内部稳压源(+1.6V \pm 5%), 利用1 μ F电容将其旁路至AGND。
5	NREG	负电压内部稳压源(-1.15V \pm 5%), 利用1 μ F电容将其旁路至AGND。
6	MBIAS	内部麦克风偏置稳压器输出(1.23V \pm 5%), 利用一个1 μ F电容将其旁路至AGND。
7	REF	转换器基准(1.23V \pm 5%), 利用一个1 μ F电容将其旁路至AGND。
8	LGNDSENS	线出接地检测, 线出放大器的反馈通路, 可用于降低噪声。连接到线出插孔的接地引脚, 如果不需要接地检测, 则直接将其连接到AGND。
9	LOUTL	左声道线出, 以地为参考的DirectDrive输出。
10	LOUT	右声道线出, 以地为参考的DirectDrive输出。
11	HGNDSENS	耳机接地检测, 耳机放大器的反馈通路, 可用于降低噪声。连接到耳机插孔的接地引脚, 如果不需要接地检测, 则直接将其连接到AGND。
12	AVDD	模拟电源, 利用10 μ F和0.1 μ F电容将其旁路至AGND。
13	HPL	左声道耳机DirectDrive输出。
14	HPR	右声道耳机DirectDrive输出。
15	SVSS	负电源输入, 接PVSS并利用一个4.7 μ F电容将其旁路至CPGND。
16	PVSS	由内部产生的负电源, 连接至SVSS。
17	C1N	电荷泵电容的负端, 在C1N和C1P之间连接一个4.7 μ F电容。
18	CPGND	电荷泵地。
19	C1P	电荷泵电容的正端, 在C1P和C1N之间连接一个4.7 μ F电容器。
20	CPVDD	电荷泵正电源, 利用一个4.7 μ F电容将其旁路至CPGND。
21	SCL	I ² C串行时钟输入, 通过一个10k Ω 电阻上拉至DVDD。
22	SDA	I ² C串行数据输入/输出。通过一个10k Ω 电阻上拉至DVDD。
23	$\overline{\text{IRQ}}$	硬件中断输出。 $\overline{\text{IRQ}}$ 可设置在状态寄存器0x00的位发生变化时拉低, 读取状态寄存器0x00可清除 $\overline{\text{IRQ}}$ 。在通过读取I ² C状态寄存器0x00清中断之前, 重复故障对 $\overline{\text{IRQ}}$ 没有影响。将该引脚通过一个10k Ω 的电阻上拉至DVDD, 可以提供满幅输出。
24	LRCLK_D	数字音频左/右声道时钟输入/输出。LRCLK_D是音频采样时钟, 决定了SDIN的音频数据是否切换到左声道或右声道。当MAX9856处于从模式时, LRCLK_D为输入; 当MAX9856处于主模式时, LRCLK_D为输出。如果LRCLK_A配置为GPIO, LRCLK_D亦可与SDOUT一起使用。

低功耗音频CODEC, 提供DirectDrive耳机放大器

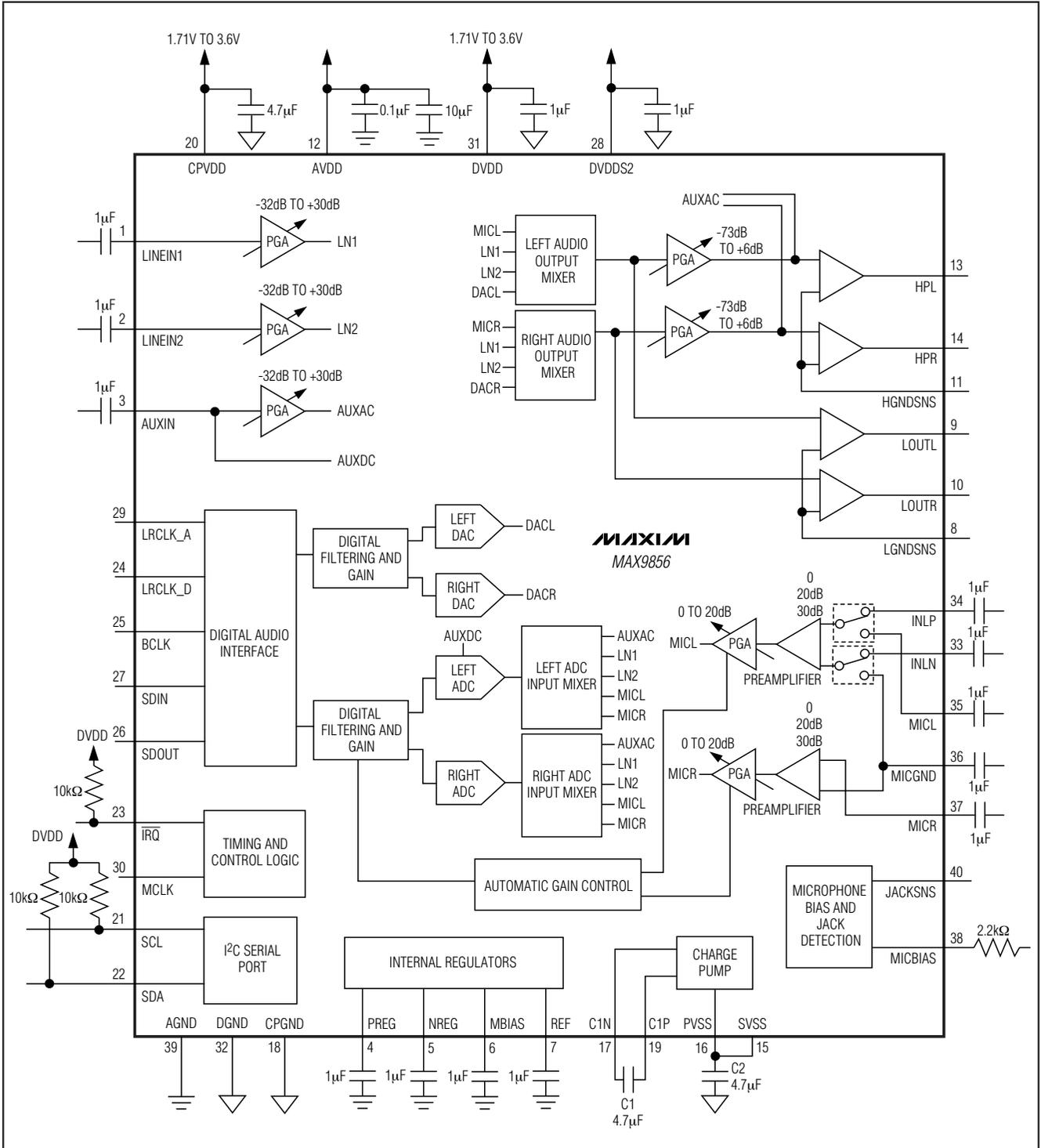
引脚说明(续)

引脚	名称	功能
25	BCLK	数字音频的位时钟输入/输出。当MAX9856处于从模式时，BCLK为输入；当MAX9856处于主模式时，BCLK为输出。
26	SDOUT	数字音频串行数据ADC输出。
27	SDIN	数字音频串行数据DAC输入。
28	DVDDS2	数字音频接口I/O电源，利用1 μ F电容器将其旁路至DGND。
29	LRCLK_A	数字音频左/右声道时钟输入/输出。LRCLK_A是音频采样时钟，决定了SDOUT的音频数据是否切换到左声道或右声道。仅需要一个LRCLK时(ADC和DAC采用相同的采样率)，可将LRCLK_A设置为通用输入/输出，GPIO。
30	MCLK	主时钟输入(CMOS输入)，可接受的输入频率范围：10MHz至60MHz。
31	DVDD	数字电源，为数字核、I ² C接口供电，利用一个1.0 μ F电容器将其旁路至DGND。
32	DGND	数字地。
33	INLN	左声道差分输入反相端，交流耦合至麦克风的低边，或连接到信号线负端。使用单端线入或麦克风输入时，将其交流耦合至地。
34	INLP	左声道差分输入同相端，交流耦合至麦克风的高边，或连接到信号线正端。使用单端线入或麦克风输入时，将其交流耦合至信号输入。
35	MICL	左声道单端麦克风输入，利用一个1 μ F电容交流耦合至麦克风。
36	MICGND	麦克风接地端。在伪差分配置中，能够使立体声麦克风差分线对的公共回路信号反馈到差分放大器的反相端。对于单端麦克风应用，MICGND接地。
37	MICR	右声道单端麦克风输入，利用一个1 μ F电容交流耦合至麦克风。
38	MICBIAS	低噪声偏置电压，输出1.5V或2.4V麦克风偏置电压。应使用2.2k Ω 至470 Ω 范围的外部电阻设置麦克风电流。
39	AGND	模拟地(晶片基板)。
40	JACKSNS	插孔检测。检测是否有信号线连接到插孔，可配置用来检测外部负载电阻的范围，请参考 <i>耳机检测</i> 部分。
—	EP	裸焊盘，裸焊盘提供了从管芯到PCB的直接散热通路，从而降低封装的热阻。裸焊盘在内部连接到基板，裸焊盘须连接至AGND。

低功耗音频CODEC， 提供DirectDrive耳机放大器

功能框图

MAX9856



低功耗音频CODEC， 提供DirectDrive耳机放大器

详细说明

MAX9856是一款高性能、低功耗立体声音频CODEC，提供完备的音频解决方案。MAX9856由1.8V电源供电，具有较高性能，并可提供适当的输出功率，DAC回放模式下功耗仅为9mW。

内置18位 Σ - Δ DAC接收立体声数字音频信号，并将其转换成立体声音频输出，能够与线入和/或麦克风输入混音。DAC采样率为8kHz至96kHz，主时钟频率介于10MHz至60MHz之间。DAC和ADC可以采用不同的采样率。工作在左对齐、I²S或PCM数据格式时，适用于主模式和从模式。可以对输入数据进行电平转换，并在数字域进行高通滤波。高通滤波器只允许恢复后的音频信号通过，从而节省功耗并有助于改善音质。

MAX9856具有立体声DirectDrive耳机放大器和线出电路，无需大尺寸的输出耦合电容。音频输出通路还带有高质量的混音放大器，能够从DAC输出和立体声模拟线入灵活选择。音量控制放大器为耳机提供+5.5dB至-74dB的可调增益。线出电路能够从数字满幅输入产生1V_{RMS}的输出信号。

内置18位 Σ - Δ ADC输出的数字音频信号是对模拟麦克风和线入通道信号数字转换的结果。ADC采样率为8kHz至48kHz，主时钟频率介于10MHz至60MHz之间。ADC和DAC可以使用不同的采样率。工作在左对齐、I²S或PCM数据格式时，可用于主模式和从模式。可对输出数据进行电平转换，并在数字域进行高通滤波。高通滤波器能够降低麦克风输入的风噪。

提供3路麦克风输入，一路全差分输入可配合内置麦克风使用，一对单端输入用于外部单声道或立体声耳麦。除了0至20dB的输入PGA外，还可选择0dB、20dB和30dB增益对输入信号进行放大。MAX9856的麦克风输入通路具有AGC功能，自动补偿输入信号的变化和大多数麦克风有限的动态范围。集成噪声门限检测电路可以抑制较低电平的音频噪声，降低音频噪底。

一路辅助输入能够将外部产生的蜂鸣声和音效信号直接发送到耳机。辅助输入还提供了一个ADC输入的直接通路，利用ADC测量直流信号。

HPL、HPR和JACKSNS设有耳机检测功能，既可检测插孔是否有信号线插入，又可测量负载电阻。在关断和上电工作模式下都可进行插孔检测。耳机和线出具有接地检测功能，有助于降低地噪声。由于耳机放大器能够降低输出失调电压，并具有咔嗒/噤声抑制电路，从而消除了开启和关闭时的可闻噪声。

I²C寄存器地址和定义

MAX9856有28个内部寄存器，用作配置寄存器和状态指示。表1列出了全部寄存器及其地址、上电复位(POR)状态。寄存器0x00和0x01为只读寄存器，其它所有寄存器均为读/写寄存器。除非特别说明，在更新寄存器时，寄存器中所有未使用的位都将被写入零。

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

表1. 寄存器图

REGISTER	B7	B6	B5	B4	B3	B2	B1	B0	REGISTER ADDRESS	POWER-ON RESET STATE
Status	CLD	SLD	ULK	JKMIC	HPOCL	HPOCR	JDET	GPI	0x00	—
Status	LSNS	JKSNS	HSDETL		HSDETR		JSDET		0x01	—
Interrupt Enable	ICLD	ISLD	IULK	0	IHPOCL	IHPOCR	IJDET	IGPI	0x02	0x00
CLOCK CONTROL										
Clock Rates	0	PSCLK			MAS	BSEL			0x03	0x00
DAC INTERFACE										
System	DWCI	DBC1	DRATE		DDLY	PCM	DHF	WS	0x04	
Interface	DPLEN	DACNI[14:8]							0x05	0x00
Interface	DACNI[7:0]							0x06	0x00	
ADC INTERFACE										
System	AWCI	ABC1	APIN		ADLY	0	0	0	0x07	0x00
Interface	APLEN	ADCNI[14:8]							0x08	0x00
Interface	ADCNI[7:0]							0x09	0x00	
Level	AGAIN				ANTH				0x0A	0x00
DIGITAL FILTERS										
Highpass Filters	0	ADCHP			0	DACHP			0x0B	0x00
AUTOMATIC GAIN CONTROL										
AGC Control	0	AGCRLS			AGCATK		AGCHLD		0x0C	0x00
AGC Threshold	0	0	0	AGCSRC	AGCSTH				0x0D	0x00
ANALOG MIXERS										
ADC Mixer	0	0	0	MXINL				0x0E	0x00	
ADC Mixer	0	0	0	MXINR				0x0F	0x00	
Output Mixer	MXOUTL				MXOUTR				0x10	0x00
AUDIO INPUTS										
Digital Input Gain	PGADS							0x11	0x00	
AUXIN Gain	0	0	0	PGAAUX				0x12	0x00	
LINEIN1 Gain	0	0	0	PGAL1				0x13	0x00	
LINEIN2 Gain	0	0	0	PGAL2				0x14	0x00	
MICL Gain	0	PAENL			PGAML				0x15	0x00
MICR Gain	0	PAENR			PGAMR				0x16	0x00
MIC Mode	0	0	0	0	MMIC	MBSL	0	LMICDIF	0x17	0x00
AUDIO OUTPUTS										
HPL Volume	0	HPMUTE	HPVOLL				0x18	0x00		
HPR Volume	0	0	HPVOLR				0x19	0x00		
Output Mode	0	VSEN	AUXDC	AUXMIX	0	0	HPMODE		0x1A	0x00
HEADSET DETECT										
System	0	0	0	0	JDETEN	EN			0x1B	0x00
POWER MANAGEMENT										
System	SHDN	0	DIGEN	LOUTEN	DALEN	DAREN	ADLEN	ADREN	0x1C	0x00

低功耗音频CODEC, 提供DirectDrive耳机放大器

状态寄存器

状态寄存器0x00和0x01为只读寄存器，报告各种器件功能的
状态。状态寄存器位在对状态寄存器执行读操作时清零，

并在下次发生了相应事件时被置位，表2列出了状态寄存
器位的位置和说明。

表2. 状态寄存器位的位置

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x00	CLD	SLD	ULK	JKMIC	HPOCL	HPOCR	JDET	GPI
0x01	LSNS	JKSNS	HSDETL		HSDETR		JSDET	

状态寄存器位说明

位	功能	
CLD	箝位检测标识，表示ADC内的信号已经被箝位。	
SLD	摆幅检测标识。当音量或增益发生变化时，摆幅控制电路经过所有中间设置平滑变化。当SLD置为逻辑高电平时，结束摆幅调整，音量或增益置于其最终值。	
ULK	解除数字PLL锁存标识。表示DAC或ADC的数字音频PLL已经释放锁存，数字信号数据不可靠。	
JKMIC	插孔麦克风标识。表示JACKSNS上拉至MICBIAS电压。必须使能麦克风偏置，该位才能正常工作。	
HPOCL/ HPOCR	耳机输出左/右声道电流过载标识。表示耳机输出放大器已经超出其额定电流。	
JDET	耳机配置变化标识。表示JKMIC、LSNS或JKSNS发生变化。	
GPI	GPI状态。表示配置为通用输入时的LRCLK_A状态。	
LSNS	耳机检测。当内部上拉电流迫使HPL电压超过AVDD - 0.4V时，LSNS置位。表示耳机插孔处于插入或拔出状态。必须将HPMODE置为00、将JDETEN置为1，该位才能正常工作。	
JKSNS	插孔检测。当内部上拉电流迫使JACKSNS电压超过AVDD - 0.4V时，JKSNS置位。表示插孔处于插入或拔出状态。必须置位JDETEN，该位才能正常工作。	
HSDETL, HSDETR, JSDET	负载电阻检测。表示连接到HPR、HPL或JACKSNS的负载近似值。每当相应的EN位置位时，这些位均被更新，并产生不可屏蔽的硬件中断。	
	位	耳机或JACKSNS负载
	00	200Ω < 负载 < 开路
	01	50Ω < 负载 < 200Ω
	10	0 < 负载 < 50Ω
11	空闲状态	

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

中断使能

漏极开路引脚 \overline{IRQ} 用于报告硬件中断。发生中断时， \overline{IRQ} 保持低电平，直到通过读取状态寄存器0x00响应中断。只有

在中断使能位置位时，相应的位置位才会作为硬件中断报告。每个中断使能位在寄存器0x00中都有一个相应的状态标识，表3中列出了中断使能位的位置和说明。

表3. 中断使能位的位置

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x02	ICLD	ISLD	IULK	0	IHPOCL	IHPOCR	IJDET	IGPI

时钟控制

MAX9856可采用来自于任何系统、频率介于10MHz至60MHz的时钟作为主控时钟(MCLK)。时钟经过1、2或4分频，产生10MHz至20MHz的内部时钟(PCLK)。

有两个独立的时钟发生器可分别用于ADC和DAC通路，从而允许ADC和DAC工作在不同的采样率。BCLK用于ADC和DAC的LRCLK信号，当ADC和DAC工作在不同的LRCLK

速率时，应该将BCLK适当地设置在较高的采样率。每帧的时钟周期数必须大于或等于所配置的位长。

MAX9856数字音频接口可以工作在主模式或从模式，主模式下，MAX9856产生BCLK和LRCLK信号，控制数字音频接口的数据流；从模式下，外部主控器件产生BCLK和LRCLK信号，请参考表4。

表4. 时钟控制寄存器

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x03	0	PSCLK			MAS	BSEL		

时钟控制寄存器位说明

位	功能
PSCLK	MCLK 预分频系数，合理设置PSCLK以确保MCLK能够分频到可用频率： 000—禁用时钟输入 001— $10\text{MHz} \leq \text{MCLK} \leq 16\text{MHz}$ (PCLK = MCLK/1) 010— $16\text{MHz} \leq \text{MCLK} \leq 20\text{MHz}$ (PCLK = MCLK/1) 011— $20\text{MHz} \leq \text{MCLK} \leq 32\text{MHz}$ (PCLK = MCLK/2) 100— $32\text{MHz} \leq \text{MCLK} \leq 40\text{MHz}$ (PCLK = MCLK/2) 101— $40\text{MHz} \leq \text{MCLK} \leq 60\text{MHz}$ (PCLK = MCLK/4) 110—保留 111—保留
MAS	主模式，在主模式和从模式之间选择： 0 = 从模式(BCLK、LRCLK_D和LRCLK_A为输入) 1 = 主模式(BCLK、LRCLK_D和LRCLK_A为输出)
BSEL	BCLK选择。工作在主模式时，对BCLK进行配置。将BSEL设置在足够高的频率，能够在DAC和ADC工作在不同采用率时满足全部数据位的要求： 000—关闭 001—关闭 010—BCLK = $48 \times \text{LRCLK_D}$ (DAC和ADC工作在相同速率时的推荐设置) 011—BCLK = $48 \times \text{LRCLK_A}$ 100—BCLK = PCLK/2 (DAC和ADC工作在不同速率时的推荐设置) 101—BCLK = PCLK/4 110—BCLK = PCLK/8 111—BCLK = PCLK/16

低功耗音频CODEC, 提供DirectDrive耳机放大器

DAC接口

MAX9856 DAC在主模式或从模式下均可支持8kHz至96kHz的任何采样率, 包括所有常见采样率(8kHz、11.025kHz、12kHz、16kHz、22.05kHz、24kHz、32kHz、44.1kHz、48kHz、88.2kHz和96kHz)。

必须设置器件的15位时钟分频系数, 以确定DAC采样率相对于MCLK输入(PCLK)的比例系数, 为MCLK和LRCLK_D频率选择提供了极大灵活性。从模式下, 接口可接受7.8kHz至100kHz的任何LRCLK_D信号。

DRATE控制位可为DAC设置两种速率。最高速率下, 调制器的内部时钟速率为5MHz至10MHz, 能够提供最佳的音频性能。低速率时, 调制器的速率为2.5MHz至5MHz, 功耗较低。

数字音频接口为几种数字音频格式提供了完备功能, 例如左对齐、I²S和PCM模式(图1)。图2给出了各种模式的时序, 表5列出了DAC接口的寄存器及说明, 表6列出了常用的DACNI和ADCNI值。

表5. DAC接口寄存器

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x04	DWCI	DBC1	DRATE		DDLY	PCM	DHF	WS
0x05	DPLEN	DACNI[14:8]						
0x06	DACNI[7:0]							

DAC接口寄存器位说明

寄存器	功能
DWCI	DAC字时钟(LRCLK_D)反相 PCM = 0时: 0—LRCLK_D为低时, 传输左声道数据。 1—LRCLK_D为低时, 传输右声道数据。 PCM = 1时: 0—在LRCLK_D脉冲的下降沿表示一个新帧的开始。 1—在LRCLK_D脉冲的上升沿表示一个新帧的开始。
DBC1	DAC BCLK反相: 0—在BCLK上升沿接收SDIN。 1—在BCLK下降沿接收SDIN。 在主模式: 0—LRCLK_D阶跃发生在BCLK的下降沿。 1—LRCLK_D阶跃发生在BCLK的上升沿。
DRATE	DAC调制器速率: 00—低功耗模式 01—保留 10—高性能模式 11—禁用DAC时钟
DDLY	DAC数据延迟: 0—音频字的最高有效位在LRCLK_D阶跃后的第一个BCLK沿锁存。 1—音频字的最高有效位在LRCLK_D阶跃后的第二个BCLK沿锁存。 (对于I ² S的兼容模式, DDLY = 1)

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

DAC接口寄存器位说明(续)

寄存器	功能
PCM	<p>PCM模式选择。PCM决定了LRCLK_D和LRCLK_A信号的格式：</p> <p>0—LRCLK_D和LRCLK_A信号的占空比为50%。在一个状态传输左声道音频信号，另一状态传输右声道音频信号。</p> <p>1—LRCLK_D和LRCLK_A是脉冲信号，表示由两个声道组成的音频数据帧的开始。在帧同步脉冲之后，传输16位右声道数据和随后的16位的左声道数据。当PCM = 1时，DDLY和WS位被忽略。</p>
DHF	<p>DAC高采样率模式：</p> <p>0—LRCLK_D低于50kHz，使用8x FIR插值滤波器。</p> <p>1—LRCLK_D高于50kHz，使用4x FIR插值滤波器。</p>
WS	<p>字长，该位控制DAC和ADC：</p> <p>0—16位。</p> <p>1—18位。</p> <p>DAC接口可接受高于18位的字长，但会有更多的最低有效位被忽略。</p>
DPLEN	<p>DAC PLL使能：</p> <p>0 (对从模式和主模式均有效)—用DACNI分频位设置LRCLK_D的频率。主模式下，MAX9856采用规定的分频比产生LRCLK_D；从模式下，MAX9856接收以指定分频比设置的LRCLK_D。</p> <p>1 (仅对从模式有效)—无论MCLK频率为多少，数字PLL都锁相到任意外部提供的LRCLK_D信号。对于50kHz以上的采样率，DHF必须置高。</p>
DACNI	<p>DAC LRCLK分频比。当DPLEN为低时，LRCLK_D的频率由DACNI确定。常用DACNI数值请参考表6：</p> <p>$DACNI = (65536 \times 96 \times f_{LRCLK_D}) / f_{PCLK}$, (DHF = 0时)。</p> <p>$DACNI = (65536 \times 48 \times f_{LRCLK_D}) / f_{PCLK}$, (DHF = 1时)。</p> <p>$f_{LRCLK_D}$ = LRCLK_D的频率。</p> <p>f_{PCLK} = 预分频MCLK内部时钟频率(PCLK)。</p>

表6. 常用DACNI和ADCNI值

MCLK (MHz)	PSCLK	LRCLK						
		8kHz	16kHz	32kHz	44.1kHz	48kHz	88.2kHz (DAC ONLY)	96kHz (DAC ONLY)
11.2896	001	116A	22D4	45A9	6000	687D	6000	687D
12	001	1062	20C5	4189	5A51	624E	5A51	624E
12.288	001	1000	2000	4000	5833	6000	5833	6000
13	001	F20	1E3F	3C7F	535F	5ABE	535F	5ABE
16.9344	010	B9C	1738	2E71	4000	45A9	4000	45A9
18.432	010	AAB	1555	2AAB	3ACD	4000	3ACD	4000
19.2	010	960	4B0	258	1B3	190	1B3	190
24	011	1062	20C5	4189	5A51	624E	5A51	624E
26	011	F20	1E3F	3C7F	535F	5ABE	535F	5ABE
27	011	E90	1D21	3A41	5048	5762	5048	5762

注：粗体字表示的数值为可提供最大满意度性能的确切整数。

低功耗音频CODEC, 提供DirectDrive耳机放大器

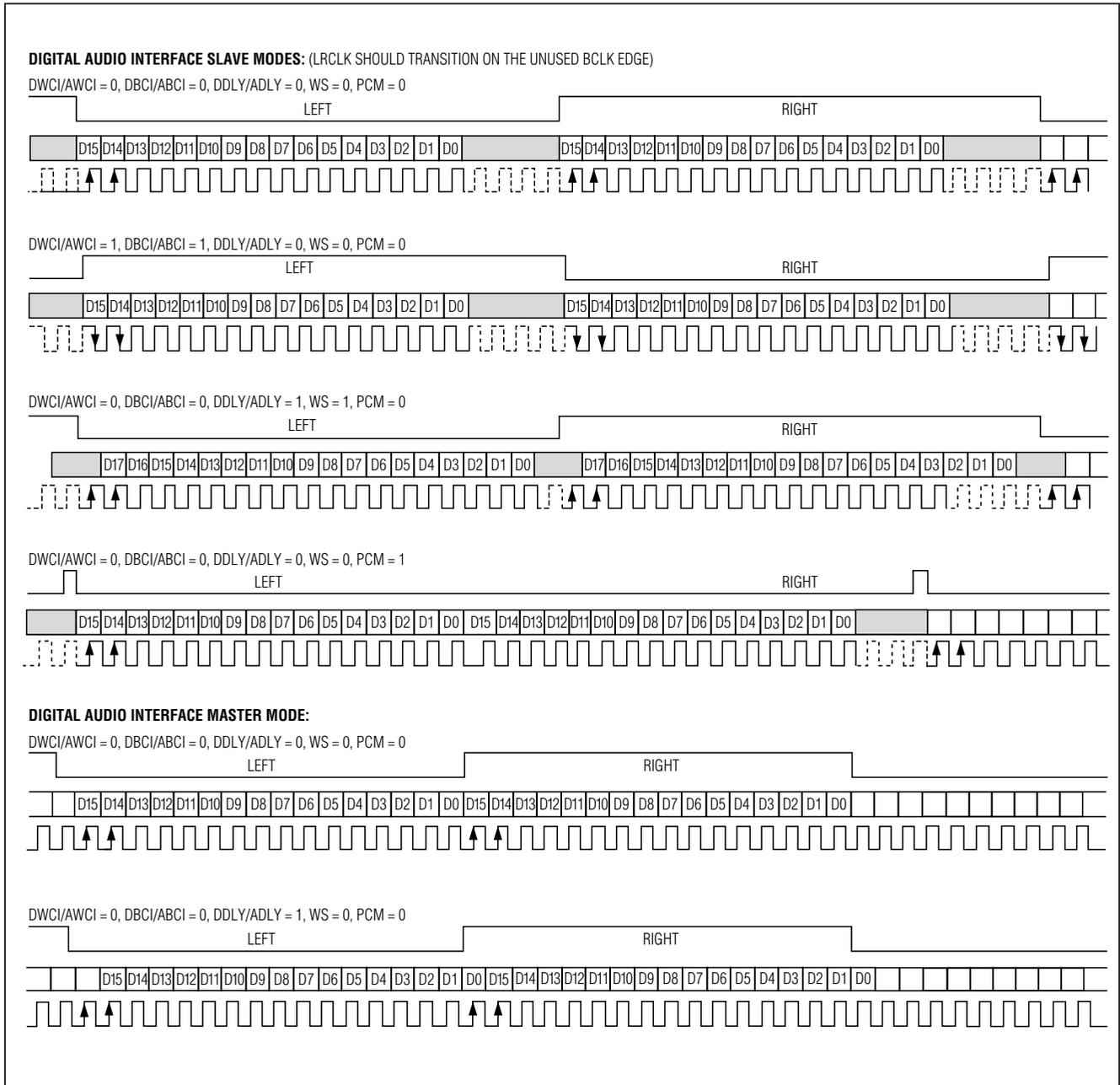


图1. 数字音频接口数据格式举例

低功耗音频CODEC， 提供DirectDrive耳机放大器

MAX9856

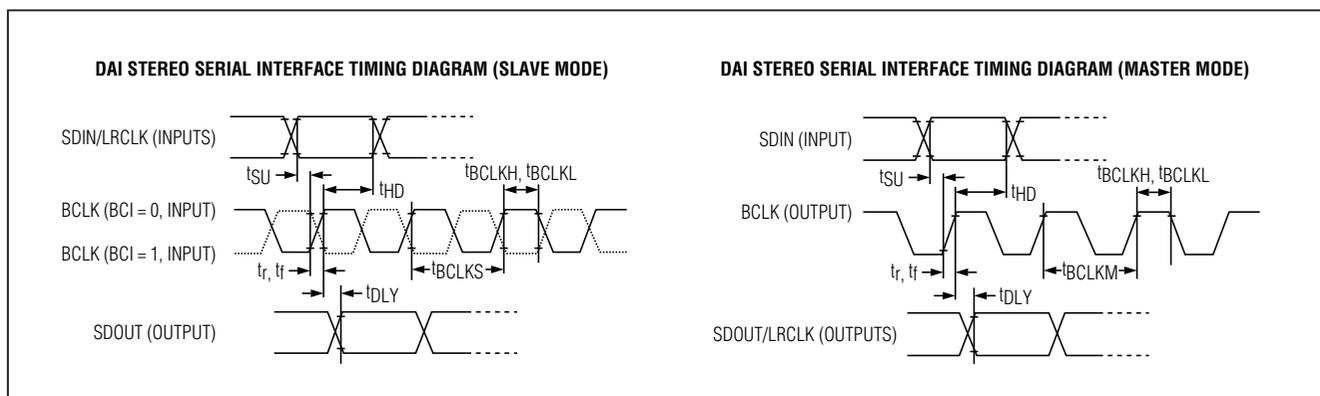


图2. 数字音频接口时序图

ADC接口

立体声ADC能够以8kHz至48kHz之间的任意采样率输出数据。输出数据格式为包括左对齐、I²S和PCM在内的常见格式(图1)。图2所示为从模式和主模式下的数字时序。

如果DAC和ADC工作在相同的采样率，则仅需要LRCLK_D，那么LRCLK_A引脚可被编程为GPIO。当LRCLK_A配置为通用输出时，可通过APIN位置为高电平或低电平；当配置为通用输入时，其状态则由寄存器0x00确定，表7列出了ADC接口寄存器及其说明。

表7. ADC接口寄存器

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x07	AWCI	ABCI	APIN		ADLY	0	0	0
0x08	APLEN	ADCNI[14:8]						
0x09	ADCNI[7:0]							
0x0A	AGAIN				ANTH			

ADC接口寄存器位说明

寄存器	功能
AWCI	ADC字时钟(LRCLK_A)反相 当PCM = 0时： 0—LRCLK_A为低电平时，传输左声道数据。 1—LRCLK_A为低电平时，传输右声道数据。 当PCM = 1时： 0—LRCLK_A脉冲的下降沿表示一个新帧的开始。 1—LRCLK_A脉冲的上升沿表示一个新帧的开始。
ABCI	ADC BCLK反相： 0—SDOUT在BCLK上升沿上有效。 1—SDOUT在BCLK下降沿上有效。 如果处于主模式，ABCI位没有任何影响。DBCI位控制BCLK至LRCLK_A的时序。

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

ADC接口寄存器位说明(续)

寄存器	功能																																		
APIN	<p>LRCLK_A/GPIO配置:</p> <p>00 = 通用输入 01 = ADC的字时钟 10 = 通用输出一低电平 11 = 通用输出一高电平</p> <p>当APIN ≠ 01时, LRCLK_D用作DAC和ADC的字时钟。工作在同一LRCLK_D时, AWCI、ABCI和ADLY仍然有效, 不受DAC模式位设置的影响。</p>																																		
ADLY	<p>ADC数据延迟</p> <p>0—音频字的最高有效位在LRCLK_A阶跃后的第一个BCLK沿有效。 1—音频字的最高有效位在LRCLK_A阶跃后的第二个BCLK沿有效。</p> <p>(对于PS的兼容模式, ADLY = 1)</p>																																		
APLLEN	<p>ADC PLL使能。该位仅适用于APIN = 01时, 当APIN ≠ 01时, DAC和ADC均采用DPLLEN:</p> <p>0 (对从模式和主模式均有效)—用ADCNI分频位设置LRCLK_A的频率。主模式下, MAX9856按照规定的分频比产生LRCLK_A; 从模式下, MAX9856接收以指定分频比设置的LRCLK_A。 1 (仅对从模式有效)—无论MCLK频率为多少, 数字PLL都锁相至外部提供的任意LRCLK_A信号。</p>																																		
ADCNI	<p>ADC LRCLK分频比。如果APIN ≠ 01, DAC和ADC均采用DACNI。当APLLEN设置为低电平时, LRCLK_A的频率由ADCNI确定, 常用ADCNI数值请参考表6:</p> $ADCNI = (65536 \times 96 \times f_{LRCLK_A}) / f_{PCLK}$ <p>f_{LRCLK_A} = LRCLK_A的频率。 f_{PCLK} = 预分频MCLK内部时钟频率(PCLK)。</p>																																		
AGAIN	<p>ADC输出增益, 指定增益在器件输出之前作用到ADC的数字输出。</p> <table border="1"> <thead> <tr> <th>值</th> <th>增益(dB)</th> </tr> </thead> <tbody> <tr><td>0x0</td><td>+3</td></tr> <tr><td>0x1</td><td>+2</td></tr> <tr><td>0x2</td><td>+1</td></tr> <tr><td>0x3</td><td>0</td></tr> <tr><td>0x4</td><td>-1</td></tr> <tr><td>0x5</td><td>-2</td></tr> <tr><td>0x6</td><td>-3</td></tr> <tr><td>0x7</td><td>-4</td></tr> <tr><td>0x8</td><td>-5</td></tr> <tr><td>0x9</td><td>-6</td></tr> <tr><td>0xA</td><td>-7</td></tr> <tr><td>0xB</td><td>-8</td></tr> <tr><td>0xC</td><td>-9</td></tr> <tr><td>0xD</td><td>-10</td></tr> <tr><td>0xE</td><td>-11</td></tr> <tr><td>0xF</td><td>-12</td></tr> </tbody> </table>	值	增益(dB)	0x0	+3	0x1	+2	0x2	+1	0x3	0	0x4	-1	0x5	-2	0x6	-3	0x7	-4	0x8	-5	0x9	-6	0xA	-7	0xB	-8	0xC	-9	0xD	-10	0xE	-11	0xF	-12
	值	增益(dB)																																	
	0x0	+3																																	
	0x1	+2																																	
	0x2	+1																																	
	0x3	0																																	
	0x4	-1																																	
	0x5	-2																																	
	0x6	-3																																	
	0x7	-4																																	
	0x8	-5																																	
	0x9	-6																																	
	0xA	-7																																	
	0xB	-8																																	
0xC	-9																																		
0xD	-10																																		
0xE	-11																																		
0xF	-12																																		

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

ADC接口寄存器位说明(续)

寄存器	功能	
ANTH	ADC噪声抑制门限，MAX9856有一个噪声抑制门限，有利于降低音频噪声电平。噪声抑制以每低于门限2dB衰减1dB的比例对输出进行衰减。ANTH规定了相对于最终ADC输出信号电平的噪声抑制门限。 噪声抑制门限可以配合AGC使用，也可以单独使用。AGC使能时，只有在AGC增益设置在最大值时，噪声门限才能够降低输出电平。当与AGC配合使用时，可在-28dB至-48dB之间选择门限。当AGC使能时，由于AGC将麦克风的PGA设置在最大增益，有效噪声门限提高20dB。	
	ADC噪声禁止门限电平	
	值	门限(dB)
	0x0至0x5	禁用
	0x6	-64
	0x7	-60
	0x8	-56
	0x9	-52
	0xA	-48
	0xB	-44
	0xC	-40
	0xD	-36
	0xE	-32
0xF	-28	

数字滤波器

在DAC输入和ADC输出，MAX9856的数字音频接口提供一阶数字高通滤波器(表8)。每个滤波器的截止频率可以在5Hz至4kHz之间选择。利用DAC滤波器(DACHP)能够降

低发送到扬声器的低频能量，而这些低频成分是无法恢复的信号。ADC滤波器(ADCHP)可降低低频噪声，例如风噪。截止频率由采样率决定，如表9所示。

表8. 数字高通滤波器

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x0B	0	ADCHP			0	DACHP		

低功耗音频CODEC, 提供DirectDrive耳机放大器

表9. 数字高通滤波器的截止频率

LRCLK (kHz)	ADCHP/DACHP							
	000	001 (Hz)	010 (Hz)	011 (Hz)	100 (Hz)	101 (Hz)	110 (Hz)	111 (Hz)
8	Off	5	10	20	41	82	170	364
11.025	Off	7	14	28	56	114	235	501
12	Off	8	15	30	61	124	255	545
16	Off	10	20	40	81	165	340	727
22.05	Off	14	28	55	112	227	469	1002
24	Off	15	30	60	122	247	511	1091
32	Off	20	40	80	162	330	681	1455
44.1	Off	28	55	111	224	455	938	2005
48	Off	30	60	121	244	495	1021	2182
64	Off	40	80	161	325	660	1362	2909
88	Off	55	111	222	448	909	1877	4009
96	Off	60	120	241	487	990	2043	4364

自动增益控制

MAX9856 AGC通过连续调节模拟麦克风的PGA保持固定的信号电平。当AGC使能时，不能手动控制输入PGA。PGA包括过零检测功能，能够防止增益变化，抑制音频噪声。

AGC的调整过程包括三个主要阶段。当信号超过AGC门限时，增益以一阶时间常数按指数规律衰减，该时间常数

定义为建立时间。大信号经过后，增益从最大AGC等待特定的保持时间。增益从最大衰减值降至最小衰减值所需要的时间称为释放时间。大信号经过后，

AGC电路仅应用于麦克风通路的PGA，数字电平检测器则基于混音信号。只有当LINEIN和AUXIN的输入信号被去除或衰减时，才使用AGC。

表10列出了AGC寄存器和AGC寄存器位的说明。

表10. 自动增益控制寄存器

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x0C	0	AGCRLS			AGCATK		AGCHLD	
0x0D	0	0	0	AGCSRC	AGCSTH			

AGC寄存器位说明

位	功能
AGCRLS	AGC释放时间。释放时间是指输入信号降至门限以下并经过保持时间后，增益回到正常电平所需要的时间： 000—78ms 001—156ms 010—312ms (推荐) 011—625ms 100—1.25s 101—2.5s 110—5s 111—10s

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

AGC寄存器位说明(续)

位	功能	
AGCATK	AGC建立时间，建立时间是指输入信号超出门限电平后，降低增益所需要的时间。增益按指数规律衰减，建立时间定义为一阶时间常数，而非达到最终增益所需要的时间： 00—3ms 01—12ms 10—50ms (推荐) 11—200ms	
AGCHLD	AGC保持时间，保持时间是AGC释放之前的延迟时间。只要信号降至AGC门限以下，保持时间计数器就会启动，并在信号超过门限时复位： 00—禁用AGC 01—50ms 10—100ms (推荐) 11—400ms	
AGCSRC	AGC和噪声抑制门限信号源，选择AGC和噪声抑制门限电路所监测的音频信号： 0—左声道ADC输出 1—左声道 + 右声道ADC输出(使相干信号低于门限3dB)	
AGCSTH	AGC门限。设置AGC增益开始下降的信号电平。监测增益作用到ADC之后的输出。	
	AGC门限电平	
	AGCSTH	电平(dB)
	0000	-3
	0001	-4
	0010	-5
	0011	-6
	0100	-7
	0101	-8
	0110	-9
	0111	-10
	1000	-11
	1001	-12
	1010	-13
	1011	-14
	1100	-15
1101	-16	
1110	-17	
1111	-18	

低功耗音频CODEC, 提供DirectDrive耳机放大器

模拟混音器

MAX9856有两个主模拟混音器，第一个混音器把信号送入耳机和线出放大器，第二个混音器提供ADC输入。每个

混音器均可为左声道、右声道独立配置，关于音频混音器的控制寄存器及位说明，请参考表11。

表 11. 音频混音器控制寄存器

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x0E	0	0	0	MXINL				
0x0F	0	0	0	MXINR				
0x10	MXOUTL				MXOUTR			

音频混音器寄存器位说明

位	功能	
MXINL/MXINR	ADC输入混音器说明	
	MXINL或MXINR	所选输入源
	0000	没有选择输入源
	1XXXX	选择AUXOUT
	X1XXX	选择LINEIN1
	XX1XX	选择LINEIN2
	XXX1X	选择MICL
	XXXX1	选择MICR
MXOUTL/MXOUTR	音频输出混音器说明	
	MXOUTL或MXOUTR	所选输入源
	0000	没有选择输入源
	1XXX	选择MIC L/R PGA输出
	X1XX	选择LINEIN1
	XX1X	选择LINEIN2
XXX1	选择DAC输出	

低功耗音频CODEC， 提供DirectDrive耳机放大器

模拟输入

MAX9856具有各种模拟输入。所有输入都有独立的增益控制，大大提高了灵活性。

AUXIN是单声道辅助输入，可对报警声、蜂鸣声和音效信号进行混音，从耳机输出或输入到ADC。AUXIN信号有专用的PGA进行增益调节，并可直接混音到耳机输出，旁路输出混音器和音量控制。AUXIN也可作为输入，提供精确的系统测量。这种模式下，PGA被旁路，增大输入阻抗，并直接连接到ADC。

提供三路麦克风输入，两路为伪差分输入，公共地连接到麦克风前置放大器的反相输入。第三路为全差分输入。

具有公共返回通路的立体声麦克风可以利用伪差分配制的优势，把公共返回端连接到MICGND，消除共模噪声。图3所示为单端和差分麦克风输入的典型电路。麦克风前置放大器和PGA提供宽范围的增益选择。当增益设置为0dB时，麦克风输入还可用作额外的线入。

利用外部偏置电阻，可以从低噪声电源获得一路偏置电压输出(MICBIAS)，用于麦克风偏置。提供两种麦克风偏置电压，具体取决于电源电压，表12列出了音频输入控制寄存器及位说明。

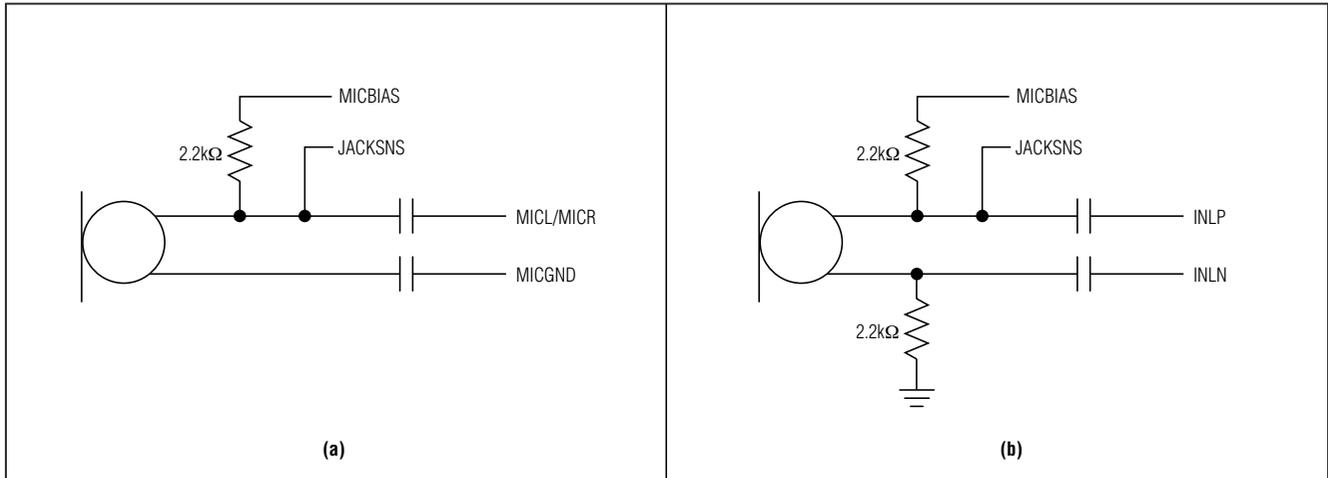


图3. 典型的麦克风连接：(a)伪差分，(b)差分

表12. 音频输入控制寄存器

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x11	PGADS							
0x12	0	0	0	PGAAUX				
0x13	0	0	0	PGAL1				
0x14	0	0	0	PGAL2				
0x15	0	PAENL		PGAML				
0x16	0	PAENR		PGAMR				
0x17	0	0	0	0	MMIC	MBSEL	0	LMICDIF

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

音频输入寄存器位说明

位	功能			
PGADS	数字音频输入的可编程增益调节			
	数字音频输入PGA设置			
	设置	增益(dB)	设置	增益(dB)
	0x00	0	0x93	-15
	0x07	-0.5	0x96	-15.5
	0x0E	-1	0x99	-16
	0x15	-1.5	0x9C	-16.5
	0x1C	-2	0x9F	-17
	0x22	-2.5	0xA2	-17.5
	0x29	-3	0xA5	-18
	0x2F	-3.5	0xA7	-18.5
	0x35	-4	0xAA	-19
	0x3A	-4.5	0xAC	-19.5
	0x40	-5	0xAE	-20
	0x45	-5.5	0xB3	-21
	0x4A	-6	0xB7	-22
	0x50	-6.5	0xBB	-23
	0x55	-7	0xBF	-24
	0x59	-7.5	0xC2	-25
	0x5E	-8	0xC6	-26
	0x63	-8.5	0xC9	-27
	0x67	-9	0xCC	-28
	0x6B	-9.5	0xCF	-29
	0x70	-10	0xD2	-30
	0x74	-10.5	0xD4	-31
	0x78	-11	0xD6	-32
	0x7C	-11.5	0xD9	-33
	0x7F	-12	0xDB	-34
	0x83	-12.5	0xDD	-35
	0x86	-13	0xDF	-36
0x8A	-13.5	0xE1	-37	
0x8D	-14	0xE2	-38	
0x90	-14.5	0xE4	-39	
—	—	0xE5	-40	

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

音频输入寄存器位说明(续)

位	功能			
PGAAUX/ PGAL1/ PGAL2	线入的可编程增益调节			
	线入PGA设置			
	设置	增益(dB)	设置	增益(dB)
	0x00	+30	0x10	-2
	0x01	+28	0x11	-4
	0x02	+26	0x12	-6
	0x03	+24	0x13	-8
	0x04	+22	0x14	-10
	0x05	+20	0x15	-12
	0x06	+18	0x16	-14
	0x07	+16	0x17	-16
	0x08	+14	0x18	-18
	0x09	+12	0x19	-20
	0x0A	+10	0x1A	-22
	0x0B	+8	0x1B	-24
	0x0C	+6	0x1C	-26
	0x0D	+4	0x1D	-28
	0x0E	+2	0x1E	-30
	0x0F	+0	0x1F	-32

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

音频输入寄存器位说明(续)

位	功能			
PGAML/ PGAMR	麦克风输入的左/右声道可编程增益调节。当AGC使能时，PGAML和PGAMR位不能手动编程。可通过监测PGAML寄存器确定由AGC设置的增益。			
	麦克风PGA设置			
	设置	增益(dB)	设置	增益(dB)
	0x00	+20	0x0B	+9
	0x01	+19	0x0C	+8
	0x02	+18	0x0D	+7
	0x03	+17	0x0E	+6
	0x04	+16	0x0F	+5
	0x05	+15	0x10	+4
	0x06	+14	0x11	+3
	0x07	+13	0x12	+2
	0x08	+12	0x13	+1
	0x09	+11	0x14至0x1F	0
	0x0A	+10	—	—
PAENL/PAENR	左/右声道麦克风前置放大器使能。使能麦克风电路并设置前置放大器增益： 00—禁用麦克风 01—0dB 10—20dB 11—30dB			
MMIC	麦克风静音使能			
MBSEL	MICBIAS电压选择： 0—MICBIAS = 1.5V 1—MICBIAS = 2.4V (只有当AVDD ≥ 2.7V时使用)			
LMICDIF	左声道麦克风输入选择： 0—MICL/MICGND (伪差分输入) 1—INLP/INLN (差分输入)			

低功耗音频CODEC， 提供DirectDrive耳机放大器

音频输出

MAX9856采用具有DirectDrive技术的立体声耳机放大器和线出放大器。采用DirectDrive技术省去了输出端价格昂贵的大尺寸隔直流电容。DirectDrive偏置方案如图4所示。耳机输出具有独立的左/右声道音量控制，而线出则产生固定电平信号。

音频输出具有接地检测功能，有助于减小接地噪声的影响。许多系统中，线出和耳机插孔的接地回路被其它功能所

占用，例如视频信号和麦克风信号。共用地平面会引入音频干扰。MAX9856的接地检测为输入并耦合到输出音频信号的干扰信号提供了一条通路，有助于降低音频噪声。将HGNDNSNS直接连接到耳机插孔的接地端，使能耳机的接地检测功能(图5)。同样，将LGNDNSNS直接接到线出插孔的接地端，使能线出的接地检测功能。如果不需要接地检测，则将HGNDNSNS和LGNDNSNS连接到AGND，表13列出了音频输出控制寄存器及其位的说明。

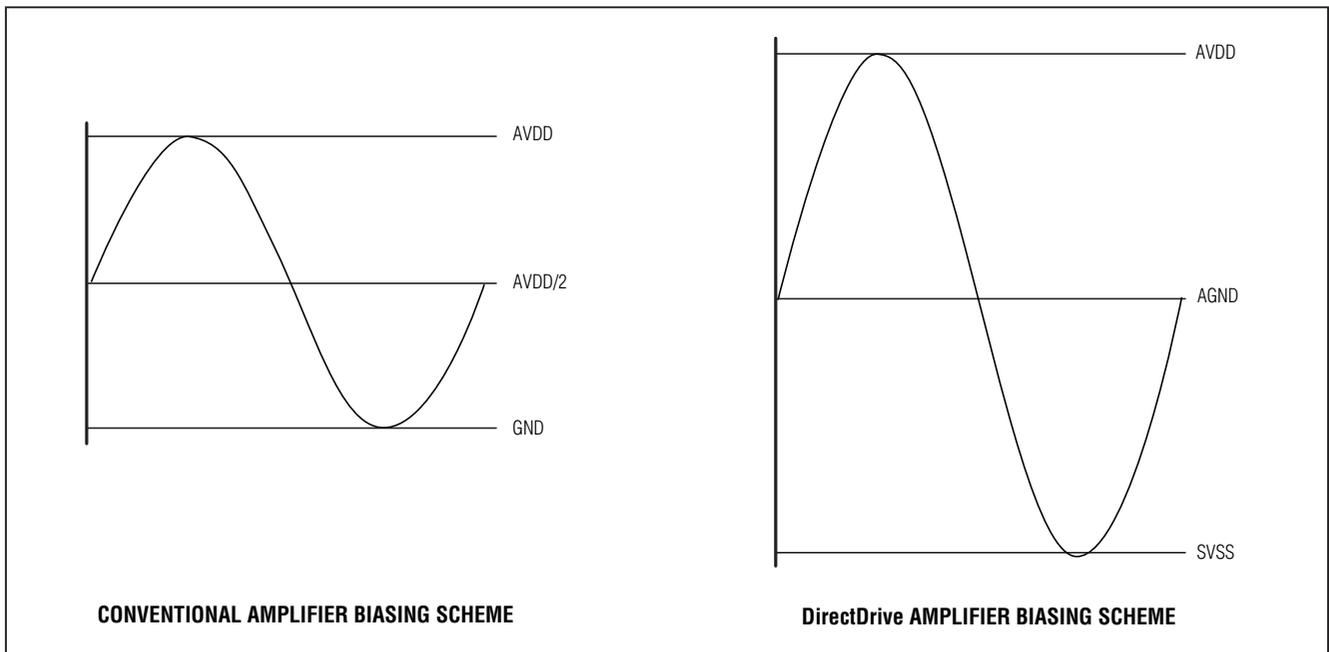


图4. 传统放大器输出与MAX9856 DirectDrive输出的比较

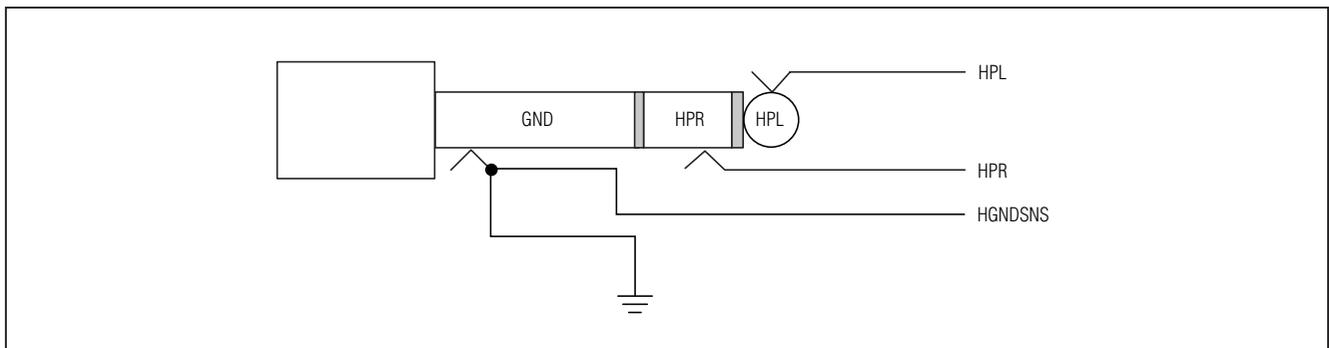


图5. 接地检测连接

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

表 13. 音频输出控制寄存器

REGISTER	B7	B6	B5	B4	B3	B2	B1	B0
0x18	0	HPMUTE	HPVOLL					
0x19	0	0	HPVOLR					
0x1A	0	VSEN	AUXDC	AUXMIX	0	0	HPMODE	

音频输出控制寄存器位说明

位	功能					
HPMUTE	耳机静音使能					
HPVOLL/HPVOLR	耳机音量控制					
	耳机音量控制					
	设置	增益(dB)	设置	增益(dB)	设置	增益(dB)
	0x00	+5.5	0x0E	-8	0x1C	-36
	0x01	+5	0x0F	-10	0x1D	-38
	0x02	+4.5	0x10	-12	0x1E	-40
	0x03	+4	0x11	-14	0x1F	-42
	0x04	+3.5	0x12	-16	0x20	-46
	0x05	+3	0x13	-18	0x21	-50
	0x06	+2.5	0x14	-20	0x22	-54
	0x07	+2	0x15	-22	0x23	-58
	0x08	+1	0x16	-24	0x24	-62
	0x09	0	0x17	-26	0x25	-66
	0x0A	-1	0x18	-28	0x26	-70
	0x0B	-2	0x19	-30	0x27	-74
0x0C	-4	0x1A	-32	0x28至0x3F	静音	
0x0D	-6	0x1B	-34	—	—	
VSEN	音量摆幅控制使能。音量变化时如果音量摆幅控制使能，实际音量将经过所有中间设置平滑变化。					
AUXDC	辅助输入直流测量模式： 0—对于音频信号，AUXIN连接到输入PGA。 1—AUXIN直接连接到ADC输入进行直流测量。 将MXINL置为10000，以便正常工作。					
AUXMIX	连接到耳机放大器的辅助输入： 0—AUXIN不接耳机放大器。 1—将AUXIN直接混音到耳机放大器，旁路输出混音器。					
HPMODE	耳机输出模式： 00—关闭 01—标准单声道模式(HPL = 单声道，HPR = 关闭) 10—双路单声道模式(HPL = HPR = 单声道) 11—立体声模式					

低功耗音频CODEC， 提供DirectDrive耳机放大器

耳机检测

MAX9856具有耳机检测功能，可检测插头的插入、拔出以及负载类型。当检测到有插头插入时，触发 \overline{IRQ} 中断，向微控制器发出事件报警。图6所示为插孔检测的典型配置，表14为耳机检测控制寄存器及其位说明。

睡眠模式的插孔检测

当MAX9856处于关断状态而保持电源供电时，可启用睡眠模式下的插孔检测功能，以检测插头的插入。睡眠模式下在JACKSNS和HPL处施加 $2\mu\text{A}$ 的上拉电流，空载时将JACKSNS和HPL的电压拉至AVDD。当有插头插入时，JACKSNS、HPL或二者加载至满负荷，使输出电压几乎降至0V，并分别清除JKSNS或LSNS位。LSNS和JKSNS位的改变将置位JDET，如果JDET置位，则在 \overline{IRQ} 触发一次中断。中断向微控制器报告插孔已被插入，使微控制器能够进行相应的响应。

上电插孔检测

当MAX9856处在正常运行状态，并且麦克风接口使能时，则可通过JACKSNS引脚检测插头的插入和拔出，如图6

所示， V_{MIC} 通过MICBIAS上拉。当有麦克风连接时，假设 V_{MIC} 处于0V和 V_{MICBIAS} 的95%之间。如果插头拔出，则 V_{MIC} 增加至 V_{MICBIAS} 。该事件引起JKMIC置位，向系统报告已经拔出耳机。如果插头插入， V_{MIC} 降至 V_{MICBIAS} 的95%以下，并清除JKMIC位，报告插头已经插入。可配置JKMIC位产生一个硬件中断，向微控制器报告插头的拔出和插入事件。

电阻检测

MAX9856可通过向HPL、HPR和JACKSNS施加一个2mA的上拉电流检测负载类型。为了使咔嗒/噤声最小，电流的上升、下降过程建立在24ms。通过适当配置EN位，可分别向HPL、HPR和JACKSNS施加2mA电流。当2mA电流完成上升过程时，更新HSDETL、HSDETR和JSDET，以反映电阻测试结果。必须清零EN并复位才能重新测量电阻，图7和表15所示为电阻的检测过程。

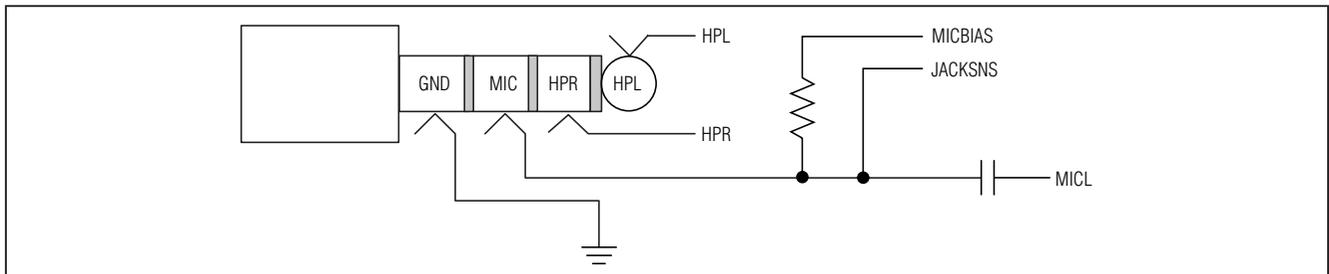


图6. 插孔检测时的插孔配置实例

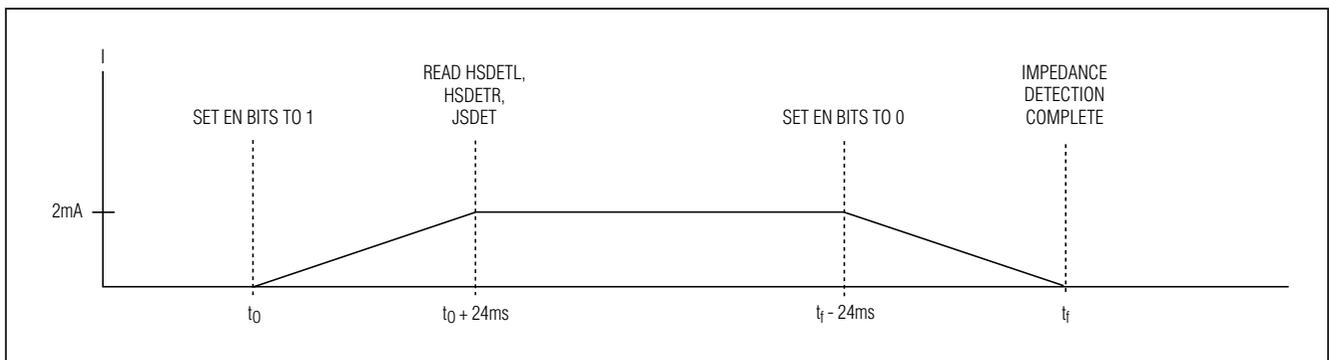


图7. 电阻检测期间，HPL、HPR或JACKSNS的电流

低功耗音频CODEC, 提供DirectDrive耳机放大器

表 14. 耳机检测控制寄存器

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x1B	0	0	0	0	JDETEN		EN	

表 15. 阻抗检测程序

TIME	EVENT
t_0	Disable the headphone amplifiers. Set EN = 111 to enable the detection circuitry.
$t_0 + 24\text{ms}$	$\overline{\text{IRQ}}$ set high. Indicates that the detection current has reached its final value and the impedance has been stored in HSDETL, HSDETR, and JSDET.
$t_f - 24\text{ms}$	Once the impedance of HPL, HPR, and JACKSNS has been read, set EN = 000 to shut down the detection circuitry.
t_f	$\overline{\text{IRQ}}$ set high. Indicates that the detection circuitry is completely shut down and the headphone amplifiers can be reenabled.

耳机检测寄存器位说明

位	功能	
JDETEN	插孔检测使能 睡眠模式—使能HPL和JACKSNS上的上拉，以检测插孔是否插入。除非JDETEN = 1并且 $\overline{\text{SHDN}} = 0$ ，否则LSNS和JKSNS无效。 常规模式—使能JACKSNS的比较器电路，以检测电压变化。除非JDETEN = 1并使能麦克风电路，否则JKMIC无效。	
EN	电阻检测使能。使能HPL、HPR和JACKSNS的电阻检测电路。当EN = 000时，HSDETL、HSDETR和JSDET置为11。关于读取负载电阻的详细信息，请参考表2状态寄存器位说明。	
	阻抗检测使能说明	
	EN	说明
	000	禁止
	1xx	使能JACKSNS引脚的电阻检测
x1x	使能HPR引脚的电阻检测	
xx1	使能HPL引脚的电阻检测	

低功耗音频CODEC, 提供DirectDrive耳机放大器

功率管理和控制

MAX9856具有全面的功率管理功能，能够禁用不使用的

功能，从而节省功耗。表16列出了功率管理寄存器和寄存器位的说明。

表 16. 功率管理寄存器

REGISTER	B7	B6	B5	B4	B3	B2	B1	B0
0x1C	SHDN	0	DIGEN	LOUTEN	DALEN	DAREN	ADLEN	ADREN

功率管理寄存器位说明

位	功能
SHDN	关断。忽略所有设置，强制整个器件进入关断状态。
DIGEN	数字核使能。设置为高电平时允许使用DAC和ADC。
LOUTEN	线出使能。
DALEN	左声道DAC使能。
DAREN	右声道DAC使能。
ADLEN	左声道ADC使能。
ADREN	右声道ADC使能。

I²C串行接口

MAX9856提供与I²C/SMBus™兼容的2线串行接口，包括一条串行数据线(SDA)和一条串行时钟线(SCL)。SDA和SCL支持MAX9856与主控设备之间以高达400kHz的时钟速率进行通信，图8所示为2线接口的时序图。主控设备产生SCL并启动总线的数据传输。主设备通过发送适当的从地址、寄存器地址和随后的数据字，向MAX9856写入数据。每个传输序列都以START (S)或REPEATED START (Sr)条件和STOP (P)条件打包成帧。传输到MAX9856的每个字长为8位，并且后面跟随一个应答时钟。从MAX9856

读取数据的主设备发送相应的从地址，从地址后面是9个SCL脉冲。MAX9856在SDA上传输数据并与主设备产生的SCL脉冲保持同步。主设备应答收到的每个字节数据。每个读序列都以START或REPEATED START条件、非应答和STOP条件打包成帧。SDA既可作为输入亦可作为开漏输出。SDA需要外接一个上拉电阻，通常大于500Ω；SCL仅可作为输入。如果在总线上有多个主设备，或单个主设备具有开漏SCL输出，SCL也需要外接一个上拉电阻，通常大于500Ω。SDA和SCL总线上的串联电阻可选。串联电阻用来保护MAX9856的数字输入免遭总线高压毛刺的损坏，将总线信号的串扰和负脉冲信号降至最小。

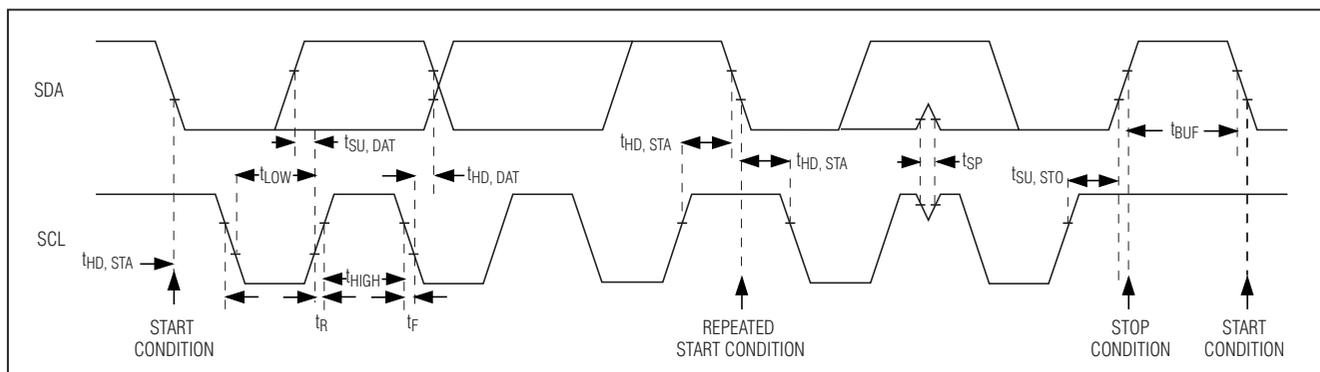


图8. 2线接口时序图

SMBus是Intel Corp.的商标。

低功耗音频CODEC, 提供DirectDrive耳机放大器

位传输

每个SCL周期传输一个数据位。在SCL脉冲为高电平时, SDA数据必须保持稳定。SCL为高电平时, SDA的变化将产生控制信号(请参考START和STOP条件部分)。

START和STOP条件

总线未使用时, SDA和SCL为高电平空闲状态。主设备通过发送START条件启动通信, START条件是在SCL为高时SDA由高到低的跳变。STOP条件是SCL为高时SDA由低到高的跳变(图9)。来自主设备的START条件启动向MAX9856的数据传输。通过发送STOP条件, 主设备终止数据传输并释放总线。如果发送的是REPEATED START条件而不是STOP条件, 总线将保持有效状态。

提前STOP条件

MAX9856在数据传输的任何位置均可识别STOP条件, 除非是在同一个SCL脉冲高电平期间发生了START条件和STOP条件。为了正常工作, 请勿在START条件的同一个SCL脉冲高电平期间发送STOP条件。

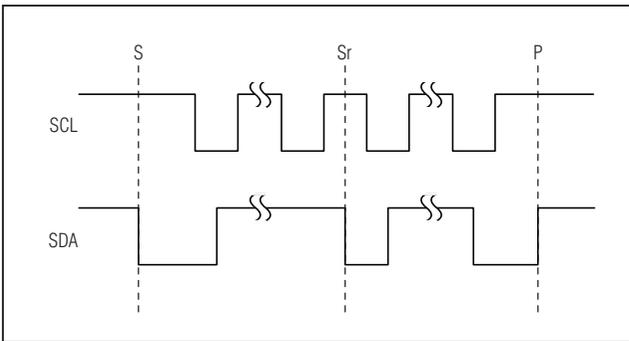


图9. START、STOP和REPEATED START条件

从地址

MAX9856的从地址可设置为0x20或0010000。该地址定义为7个最高有效位(MSB)和随后的读/写位。将读/写位置1, 将MAX9856置为读模式; 将读/写位置0, 则将MAX9856置为写模式。该地址是在START条件后发送到MAX9856的第一个字节。

应答

应答位(ACK)是第9个时钟位, 写模式下, MAX9856将其作为握手信号, 用于应答每个收到的数据字节(见图10)。如果成功接收了一个字节, MAX9856在主设备产生的第9个时钟脉冲将SDA拉低。通过监测ACK可以检测失败的数据传输。如果接收设备忙或系统发生故障, 则会发生不成功的数据传输。在发生数据传输失败的情况下, 总线主控设备会重新启动通信。

读模式下, 主设备在第9个时钟脉冲拉低SDA, 确认数据接收。每个读字节后, 主设备都会发送应答位, 使数据继续传输。当主设备从MAX9856读取到数据的最后一个字节时, 发送非应答, 随后是STOP条件。

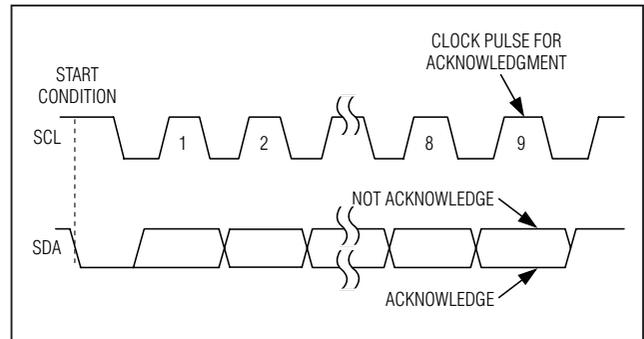


图10. 应答

低功耗音频CODEC, 提供DirectDrive耳机放大器

MAX9856

写数据格式

对MAX9856的写操作包括发送START条件、从地址(R/W位置0)、1个用来配置内部寄存器地址的字节、1个或多个数据字节和STOP条件。图11所示是向MAX9856写入1个字节数据时的正确帧格式；图12所示是向MAX9856写入n个字节数据时的正确帧格式。

从地址(R/W位置0)表示主设备要向MAX9856写数据。MAX9856在主设备产生的第9个SCL脉冲确认收到地址。

从主机发送的第二字节用于配置MAX9856的内部寄存器地址指针。指针通知MAX9856写入下一个字节的位置。MAX9856在收到地址指针数据后发送应答脉冲。

发送到MAX9856的第三字节包含写入所选寄存器的数据。来自MAX9856的应答脉冲表示收到数据字节。每次接收数据后，地址指针自动递增到下一个寄存器地址。自动递增功能使主机能够在一帧内连续写入寄存器。图12给出了在一个帧写入多个寄存器的时序。主设备通过发送STOP条件终止传输。

地址大于0x1C的寄存器保留，以备将来使用。请不要向这些地址执行写操作。

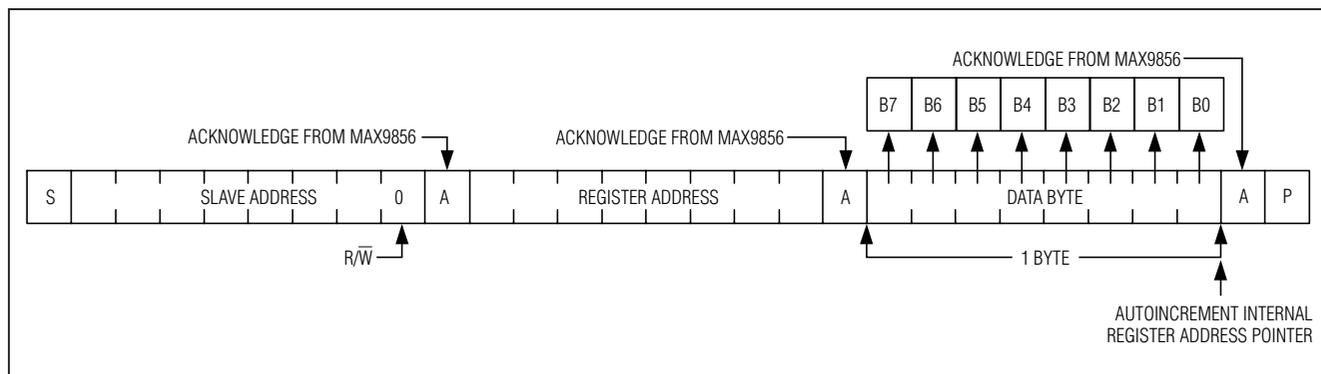


图11. 向MAX9856写入1个字节数据

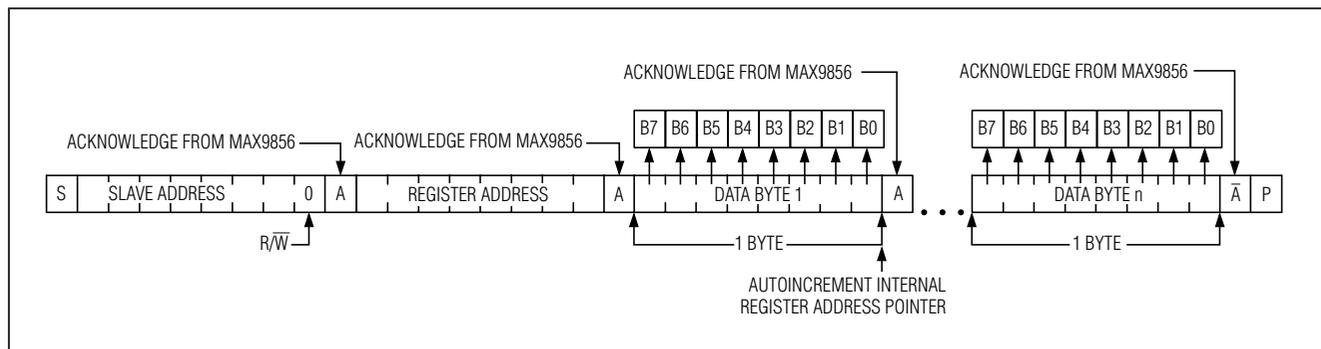


图12. 向MAX9856写入n个字节数据

低功耗音频CODEC, 提供DirectDrive耳机放大器

读数据格式

发送从地址并将R/W位置1，以此启动读操作。MAX9856在第9个SCL时钟脉冲拉低SDA，应答收到从地址。START命令后面跟随的读命令将地址指针复位至寄存器0x00。从MAX9856发送的第一个字节是寄存器0x00的内容，发送数据在SCL的上升沿有效。地址指针在每次读取数据字节后都自动递增。这种自动递增功能允许在一帧内连续读取所有寄存器的内容。在任何读数据字节之后，均可发送STOP条件。如果发送了一个STOP条件，其后又跟随另一个读操作，则读取的第一个字节为寄存器0x00的数据。

发送读命令之前，可将地址指针预置为特定的寄存器。主机首先发送MAX9856从地址并将R/W位置0，随后是寄存器地址，预设地址指针。然后发送REPEATED START条件和从地址，R/W位置1。MAX9856随后将传输指定寄存器的内容。第一字节传输之后地址指针自动递增。主设备在应答时钟脉冲确认收到字节。除最后一个字节外，主设备必须应答所有正确接收到的字节。最后一个读取字节之后必须跟随一个来自主机的非应答条件，然后是STOP条件。图13所示为从MAX9856读取1个字节的帧格式；图14所示为从MAX9856读取多个字节的帧格式。

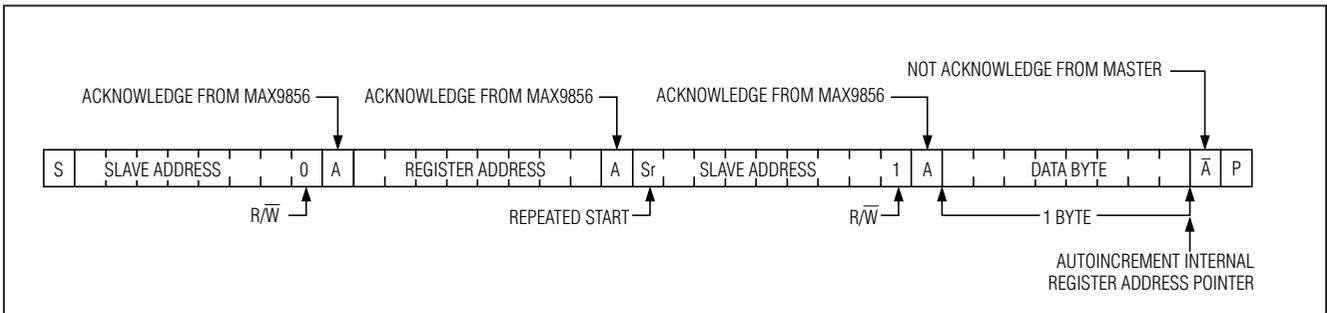


图13. 从MAX9856读取1个字节数据

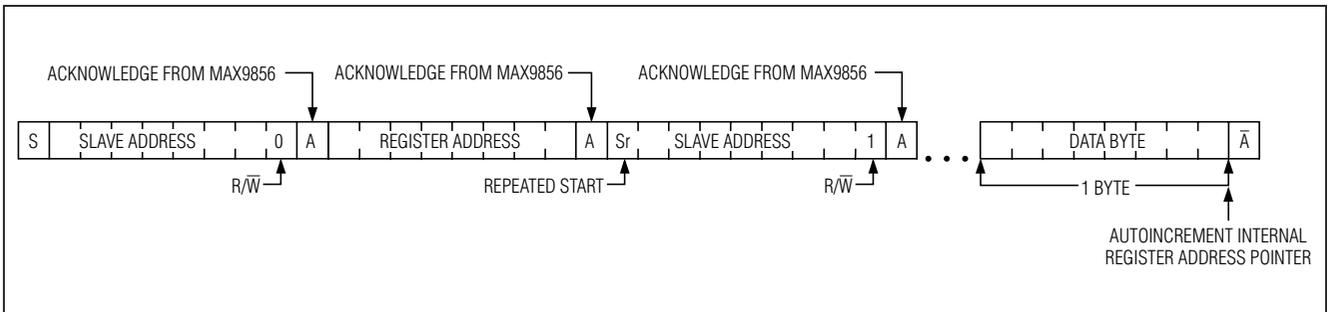


图14. 从MAX9856读取n个字节数据

低功耗音频CODEC, 提供DirectDrive耳机放大器

封装信息(续)

如需最近的封装外形信息和焊盘布局, 请查询 www.maxim-ic.com.cn/packages.

MAX9856

COMMON DIMENSIONS									
PKG.	36L 6x6			40L 6x6			48L 6x6		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	-	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-
L	0.35	0.50	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJJD-1			WJJD-2			-		

EXPOSED PAD VARIATIONS						
PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T3666-2	3.60	3.70	3.80	3.60	3.70	3.80
T3666-3	3.60	3.70	3.80	3.60	3.70	3.80
T3666N-1	3.60	3.70	3.80	3.60	3.70	3.80
T3666MN-1	3.60	3.70	3.80	3.60	3.70	3.80
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20
T4866-1	4.40	4.50	4.60	4.40	4.50	4.60
T4866N-1	4.40	4.50	4.60	4.40	4.50	4.60
T4866-2	4.40	4.50	4.60	4.40	4.50	4.60

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION *b* APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25mm AND 0.30mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH PACKAGE T4866-1.
- WARPAGE SHALL NOT EXCEED 0.10mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN FOR REFERENCE ONLY.
- ALL DIMENSIONS APPLY TO BOTH LEADED (-) AND PbFREE (+) PKG. CODES.

-DRAWING NOT TO SCALE-

TITLE: PACKAGE OUTLINE, 36, 40, 48L THIN QFN, 6x6x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0141
REV.	I 2/2

封装类型	封装编码	文档编号
40 TDFN-EP	T4066-5	21-0141

低功耗音频CODEC, 提供DirectDrive耳机放大器

修订历史

修订次数	修订日期	说明	修改页
0	3/08	最初版本。	—
1	9/08	为Electrical Characteristics表增加注释1。	2-10

Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责, 也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

46 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**