

JESD204B子类——

第二部分：子类1与子类2

系统考虑因素

Del Jones, 应用工程师

简介

在“[JESD204B子类（第一部分）：JESD204B子类简介与确定性延迟](#)”一文中，我们总结了JESD204B子类和确定性延迟，并给出了子类0系统中多芯片同步的应用层解决方案详情。本系列的第二部分详细讨论子类1和子类2的不同之处。具体而言，我们将讨论满足确定性延迟相关的时序要求时遇到的挑战、子类2中器件时钟速度限值，以及对于给定的系统应用，采用何种子类效果最佳的相关指导。

子类1

在子类1系统中，确定性延迟的精度取决于器件时钟和SYSREF之间的时序关系，以及系统中这些信号的分布偏斜。除了SYSREF的建立时间(t_{SU})和保持时间(t_{HOLD})要求，应用对于确定性延迟不确定的容忍程度对于定义SYSREF与器件时钟的应用分布偏斜要求而言至关重要。

精确捕获SYSREF

采用JESD204B接口的转换器具有较高的采样速率。为了降低系统中的相位噪声，这些转换器通常会使用一个参考时钟，该参考时钟与JESD204器件时钟相同，其速率等于或大于采样速率。在很多情况下，该时钟频率为GHz级。在如此高的速度下，要满足建立和保持时间要求就会变得非常具有挑战性。为了简化系统设计，对于JESD204B系统组成部分的各器件而言，也许有必要采用可编程的SYSREF和/或器件时钟相位失调。

子类1相对于子类2所具有的一个优势，是前者采用源同步时钟。子类2系统使用系统同步时钟，相比使用源同步时钟会更早遇到频率限值问题。后文我们详细考察子类1和子类2时序示例时，将加以说明。

确定性延迟不确定性

确定性延迟不确定性(DLU)在JESD204B系统中表现为本地多帧时钟(LMFC)偏斜，由系统中最早与最迟可能捕获的SYSREF时间之差确定。图1显示的是最差情况下的DLU，此时系统中的每个器件均不满足SYSREF捕获的建立和保持时间要求。¹当系统中器件时钟的分布偏斜不受控时便会发生这种问题。它会造成最多一个器件时钟(DCLK)的不确定性。这种不确定性会叠加到SYSREF分布偏斜中(DS_{SYSREF})，形成总DLU。

$$DLU = DS_{SYSREF} + t_{DCLK}$$

DS_{SYSREF} 是系统中SYSREF的最早到达时间以及SYSREF的最迟到达时间之差（针对系统中的全部器件而言）。在图中， t_{SU} 是 $1/2 t_{DCLK}$ ， t_{HOLD} 是 $1/4 t_{DCLK}$ 。最早到达的SYSREF即SYSREF (A)在可能的最早时间被捕获（ $DCLK_A$ 刚好满足建立时间要求），而最迟到达的SYSREF即SYSREF (N)在可能的最晚时间被捕获（ $DCLK_N$ 刚好不满足建立时间要求）。因此，相应的LMFC对齐误差等于 $DS_{SYSREF} + t_{DCLK}$ 。

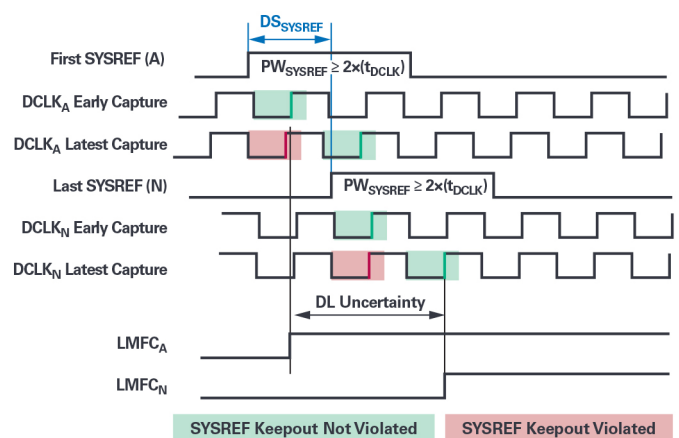


图1. 确定性延迟不确定性的最差情况。

¹ 为保持DLU概念图示的清晰明了，此处未考虑时钟抖动和工艺、电压以及温度(PVT)的变化。

在很多应用中，这种最差的DLU是可以接受的。这些应用可能无需过于严格地控制器件的时钟分布偏斜。确保SYSREF的脉冲宽度 $\geq (2 \times t_{DCLK})$ ，然后控制SYSREF分布偏斜，就应当足以满足系统时序要求。

对于无法接受额外器件时钟不确定性的应用，就必须严格控制器件的时钟分布偏斜，保证系统中每一个器件的SYSREF时序要求得到满足。这种情况见图2；不确定性由下式给出：

$$DLU = DS_{SYSREF} + t_{Valid Window}$$

where $t_{Valid Window} = t_{DCLK} - (t_{SU} + t_{HOLD})$

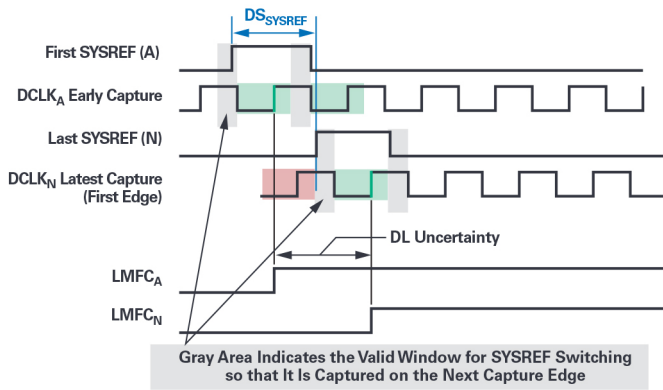


图2. 满足SYSREF建立与保持时间的DLU。

最小化确定性延迟不确定性

如DLU等式所示，通过保证每一对SYSREF/DCLK均满足建立与保持时间，以及最小化对内分布偏斜，便可最小化DLU。

若要满足建立与保持时间要求，JESD204B系统中的每一个器件都应有自己的SYSREF/DCLK对。可通过在各对内实现走线长度匹配，从而保证时序。走线长度匹配限值由SYSREF开关的有效窗口时间确定。此外，SYSREF应在DCLK的捕获边沿上输出，且SYSREF长度必须大于DCLK的长度，以满足保持时间要求（如果 t_{HOLD} 等于0，则长度可以相等）。

由于采用了走线长度匹配，最小化对内分布偏斜基本上等同于最小化SYSREF分布偏斜。该分布偏斜限值等于DLU限值减去有效窗口时间，同样可以通过走线长度匹配来处理。DLU限值由应用要求所决定。

这些最小化DLU的方法如图3所示。由于JESD204B系统中的每一个器件都有各自的SYSREF/DCLK对，满足捕获SYSREF的时序要求与使用源同步时钟的任何系统类似。每个器件的时序裕量都视为与系统中的其他器件无关。

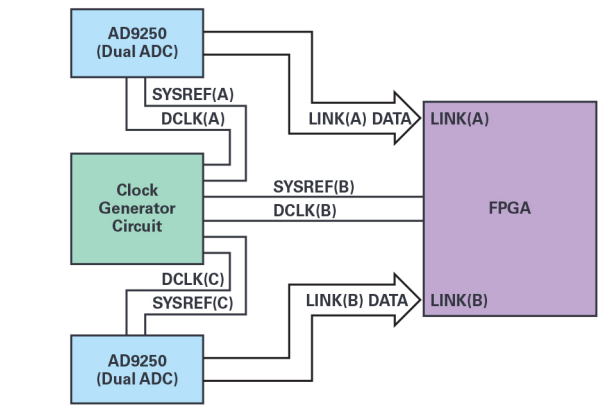


图3. 由3个器件组成的JESD204B系统的SYSREF/DCLK路由。

使用AD9250的SYSREF时序示例

AD9250是一款14位、250 MSPS双通道ADC，具有JESD204B串行数据输出能力，额定速率为5 Gbps。为了最大程度提升PLL性能，AD9250可支持高达1.5 GHz的器件时钟速度。这便为如何在最苛刻的系统DLU要求下使用走线长度匹配来满足SYSREF时序提供了一个极佳的演示实例。² 下面是该示例的条件：

- ▶ DCLK = 1.5 GHz (667 ps周期)
- ▶ $t_{SU} = 500$ ps和 $t_{HOLD} = 0$ ps
- ▶ 例如，系统 $DLU_{MAX} = 1$ DCLK (667 ps)

满足SYSREF时序的对内走线长度匹配

根据示例规格，满足建立与保持时间的有效窗口为167 ps ($t_{DCLK} - 500$ ps t_{SU})。传播时间是从信号离开源至到达接收端的时间。SYSREF传播时间减去DCLK的传播时间必须低于167 ps才能满足建立时间要求，且必须高于0 ps才能满足保持时间要求。为了大致将此传播时间的差异转换为英寸单位，我们估算在FR-4材料上传播1英寸的时间为167 ps。因此，对于系统内的每一对SYSREF/DCLK，需满足下列路由要求：

$$DCLK \text{ trace length} < SYSREF \text{ trace length} < DCLK \text{ trace length} + 1 \text{ inch}$$

满足这一要求可以保证SYSREF在有效窗口期间进行转换，如图4所示。

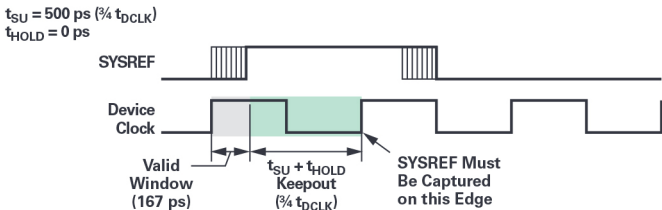


图4. 满足SYSREF/DCLK时序要求。

满足DLU限值的对内走线长度匹配

由于DLU限值为667 ps，并且我们知道DLU限值和对内（或SYSREF）分布偏斜(DS_{SYSREF})之间的关系，因此便可直接推导出走线长度匹配限值：

$$DS_{SYSREF} = DLU - t_{Valid Window} = 667 \text{ ps} - 167 \text{ ps} = 500 \text{ ps}$$

² DLU等于器件时钟是满足SYSREF时序要求的最差情况。

因此，所有SYSREF/DCLK对的对内分布偏斜必须在下式计算值以内³：

$$500 \text{ ps}/167 \text{ ps/英寸} = 3 \text{ 英寸}$$

图5显示了此示例的时序。最佳情况分布偏斜(DS_{SYSREF})指的是允许较为宽松的走线长度匹配要求。

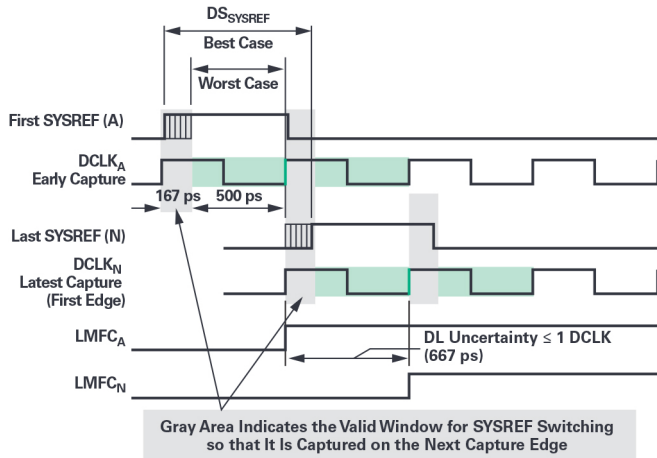


图5. 满足对内分布偏斜要求。

满足SYSREF时序和DLU限值的先进解决方案

当然，使用较慢的器件时钟可以解决这个问题，使长度匹配变得更容易一些。这样做会牺牲一些系统相位噪声性能。与此类似的解决方案是放宽DLU要求；如此可以保留更佳的系统相位噪声性能优势。至于DLU要求如何实现则取决于各应用。这些将在确定性延迟精度相关部分进行讨论。如果需要更高的相位噪声性能，而DLU要求无法放宽，那可能便无法满足SYSREF/DCLK器件内偏斜和器件间偏斜的路由要求（分别是1英寸和3英寸）。这种情况下，需要的是器件时钟和/或SYSREF的可调节相位延迟。根据建立和保持时间，调节分辨率必须低于有效窗口。示例中的有效窗口为167 ps。

某些FPGA在满足较低的调节分辨率要求时可能会有困难。然而，AD9528满足这一要求，因为它能以60 ps的步长调节SYSREF相位延迟，且所有输出的变化低于50 ps。图6显示如何延迟SYSREF以满足时序要求。图中，SYSREF以60 ps增量进行延迟。建议选择一个相位设置，将SYSREF边沿置于靠近有效窗口中央的位置。在图中，绿色边沿表示相位设置良好，红色边沿表示设置不佳。相位设置为3表示处于有效窗口中央，应在这种情况下使用。

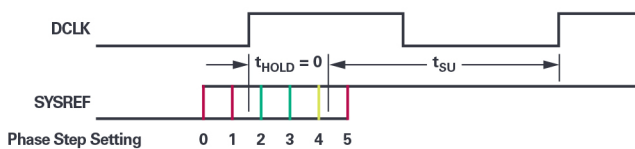


图6. 满足时序要求的SYSREF可编程相位延迟。

除了SYSREF输出端提供的60 ps相位步长，AD9528的器件时钟输出还可通过器件时钟周期的1/2进行相位延迟处理。该功能对于满足SYSREF时序要求同样有用。

SYSREF建立和保持时间监控

ADI的AD9680可实现SYSREF建立和保持时间监控电路，有助于调节SYSREF和器件时钟之间的相对时序。用户监控这两个寄存器，便能确定捕获SYSREF时是否存在违背时序要求的风险。如果任一寄存器给出时序裕量不足的指示，用户就应当调节SYSREF与器件时钟的相对位置。通过调节SYSREF相对于器件时钟的相位（比如利用AD9528），或者通过调节SYSREF和/或器件时钟信号的走线长度，即可实现该操作。

确定性延迟精度

为了更好地理解系统的确定性延迟不确定性是如何设置的，需对应用有所了解。要求确定性延迟的大部分系统需精确知道哪个时间样本标记目标数据的起始。确定性延迟经常用来同步系统中的多个转换器。这称为多芯片同步。在这些系统中，所有转换器都需要进行样本对齐。因此，确定性延迟必须具有样本精度。这些系统的DLU应当等于±1/2样本时钟。器件时钟等于于采样时钟倍数的优势是通过样本精确性来简化捕获SYSREF的任务。在采用AD9250的示例中，器件时钟等于采样时钟的6倍。为了实现样本精度，±1/2采样时钟的DLU要求可以转化为±3器件时钟，如图7所示。从我们采用AD9250的示例中可以看到，有了调节每个器件SYSREF相位的能力，则哪怕最苛刻的DLU要求也能轻松得到满足。当器件时钟为采样时钟的倍数时，捕获SYSREF以实现样本精度将得到极大的简化。随着转换器的采样速率上升至1 Gbps及以上，SYSREF以及器件时钟实现相位延迟的能力将会变得非常重要。

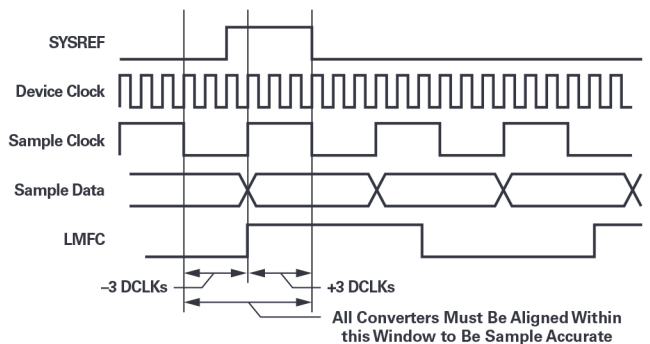


图7. SYSREF捕获的样本精度要求。

SYSREF捕获的潜在问题

除了满足SYSREF建立和保持时间要求以及DLU要求外，还可能存在着与SYSREF捕获相关的其他问题。例如，系统初始上电时，SYSREF可能在系统时钟建立之前就变为有效。使用连续SYSREF信号时可能会发生这样的问题。这可以通过在JESD204B接口中

³ 500 ps表示SYSREF最差情况下的偏斜，应当用来确定走线长度的匹配限值。

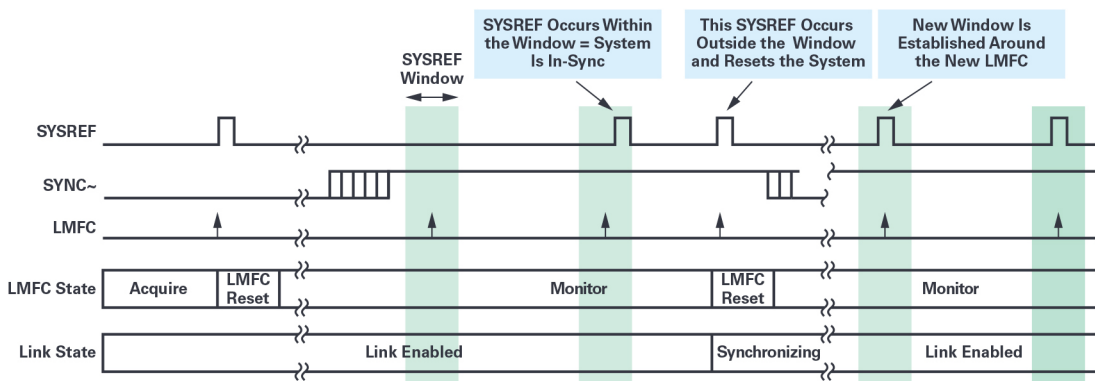


图8. SYSREF监控窗口。

引入编程能力来解决；这样会允许器件在同步时钟以前等待几个边沿的时间。另一个编程选项是让用户在预计有效边沿到达后配备SYSREF的捕获能力。通过这种方法可以控制何时同步连续SYSREF。很多集成JESD204B接口的ADI转换器（包括AD9625和AD9680）都提供这些功能。

另一个例子是，SYSREF的小幅变动可能会导致不必要的再同步。这可以通过在JESD204B接口中引入编程能力来解决；这样可以允许用户为SYSREF边沿指定LMFC周围的有效窗口。如果SYSREF出现在此有效窗口内，则系统依然视其为处于同步状态。这是一个非常有用的功能，因为很多应用监控连续的SYSREF信号，以确定链路状态。此时，将LMFC边界与SYSREF进行比较，确定同步状态。ADI的AD9680集成了这一功能，如图8所示。

其他有助于SYSREF捕获的功能包括更改SYSREF捕获的器件时钟边沿，以及更改SYSREF用来对齐LMFC的边沿。很多集成JESD204B接口的ADI转换器都提供这些功能。

子类2

在子类2系统中，确定性延迟的精度取决于器件时钟和SYNC~信号之间的时序关系，以及消耗时序预算的各因素；后文将讨论这些因素。在子类1中，应用对确定性延迟的不确定性的容忍范围对于定义该应用的SYNC~以及器件时钟走线长度匹配而言至关重要。

精确捕获并启动SYNC~

满足精确捕获SYNC~所需时序要求时面临的挑战与子类1的讨论中捕获SYSREF所面临的挑战基本相同。然而，由于子类2采用系统同步的时钟方案，因此各捕获器件无法单独执行时序分析，并且在多转换器应用中情况还将变得更为复杂。不仅如此，还必须考虑到启动SYNC~信号后的不确定性。系统中，每一个采用系统同步时钟的器件都将消耗部分时序预算。消耗时序预算的因素有：时钟分布偏斜(DS_{DCLK})、用于多转换器系统的SYNC~分布偏斜($DS_{SYNC~}$)、SYNC~信号传播延迟、每个JESD204B发射器的建立与保持时间要求，以及每个JESD204B接收器SYNC~输出端的时钟到SYNC~输出延迟。

⁴ 300 ps ≈ 18英寸（PCB走线）。

子类2中器件时钟上限

JESD204B标准确认采用子类2会限制器件时钟速率，这是因为系统同步时钟方案所导致。标准的附录B建议此限值为500 MHz：

“由于SYSREF是源同步信号，该信号能通过器件时钟进行精确相位对齐而生成，因此希望让器件时钟速率工作在500 MHz以上的系统设计人员可能更愿意使用子类1的方法。”

让我们来讨论一个详细的时序示例，说明为什么会有这样的限制。

子类2多DAC时序示例

让我们考察将两个子类2 DAC器件连接到单个逻辑器件的发射器应用，如图9所示。

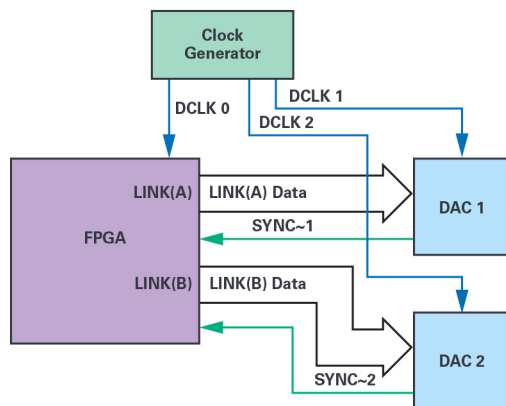


图9. 子类2多DAC应用。

例如，使用500 MHz器件时钟。SYNC~和DCLK信号的PCB偏斜⁴如下所列。

- 时钟到FPGA = 300 ps
- 时钟到DAC1 = 600 ps
- 时钟到DAC2 = 720 ps
- SYNC~1到FPGA = 660 ps
- SYNC~2到FPGA = 750 ps

考虑抖动和PVT变化前，时序图如图10所示。图中，最差情况下的时序是在FPGA输入端捕获SYNC~2信号。

在FPGA输入端捕获时，DLCK2传播延迟、SYNC~2传播延迟以及SYNC~2的时钟到输出延迟合计产生600 ps建立时间。

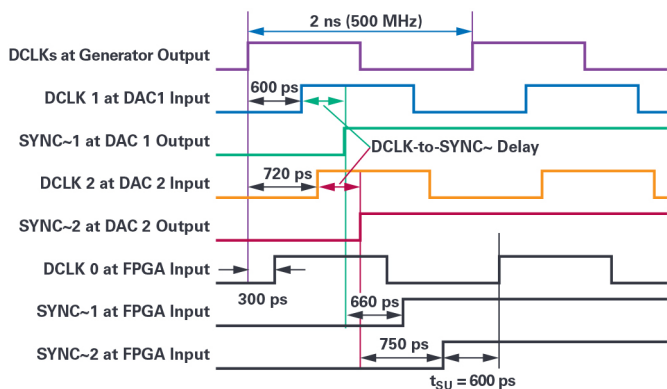


图10. 子类2多DAC应用SYNC~/DLCK时序。

然而，一旦加入建立时间、抖动以及PVT变化，便很容易出现时序冲突，如图11所示。本例中，建立时间为500 ps，PVT变化⁵最多会引入300 ps，并且抖动⁶为150 ps。在最终到达的SYNC~2处产生了时序冲突。

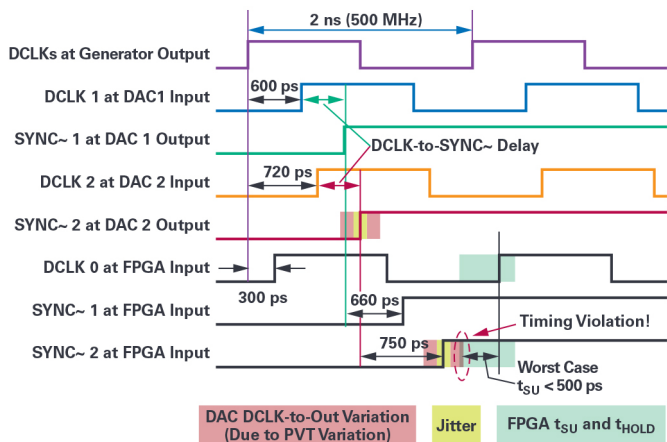


图11. 子类2多DAC应用SYNC~/DLCK时序冲突。

在以上示例中，可通过控制走线长度和/或时钟相位调节来解决时序问题。然而，随着DCLK频率的增加，满足时序要求也会变得更困难，难度甚至会超过子类1，因为必须将更多的变量纳入考虑范围。JESD204B标准第6.4部分详细讨论了有关SYNC~捕获的时序问题。

子类2确定性延迟不确定性

与子类1相同，时序限制将由应用对于确定性延迟的不确定性的容忍范围决定。表1总结了系统DLU若要满足子类2时序要求所需考虑的变量。⁷

表1. 影响子类2 DLU的时序变量

应用	变量1	变量2	变量3	变量4	变量5
单转换器	时钟至SYNC~输出延迟	t_{SU} 和 t_{HOLD} ADC	$t_{PD_SYNC~}$	DS_{DCLK}	
多转换器	时钟至SYNC~输出延迟	t_{SU} 和 t_{HOLD} ADC	$t_{PD_SYNC~}$	DS_{DCLK}	$DS_{SYNC~}$

子类2系统中的DLU由 $t_{CLK\text{至}SYNC~}$ 、 $t_{PD_SYNC~}$ 、 t_{SU} 三者的关系，以及系统中器件时钟(DS_{DCLK})的分布偏斜所决定。在单转换器应用中，最佳情况的DLU由下式给出，并且如图12所示。

$$DLU = DS_{DCLK} = t_{CLK\text{至}SYNC~} + t_{PD_SYNC~} + t_{SU}$$

在图中， t_{SU} 是1/2 t_{DCLK} ， t_{HOLD} 是1/4 t_{DCLK} 。如图所示，DLCK经偏斜后匹配DCLK至SYNC~延迟和SYNC~传播延迟，并且刚好满足建立时间要求。

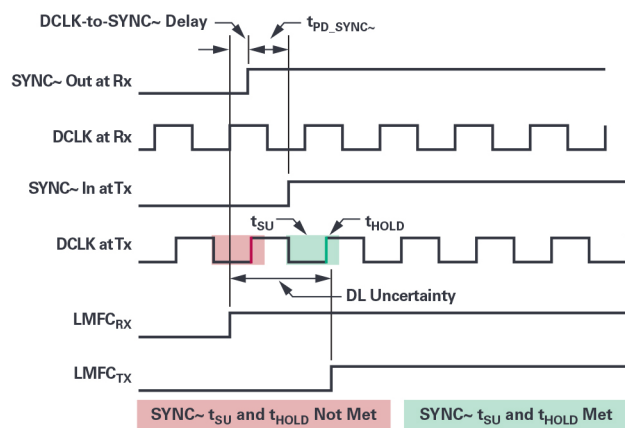


图12. 单转换器应用的子类2 SYNC~捕获时序：最佳情况的DLU。

当发射器的DCLK偏斜不足，且与第一个可用捕获边沿的建立时间相冲突时，便是单转换器子类2系统的最差情况DLU，如图13所示。

$$DS_{DCLK} < t_{CLK\text{至}SYNC~} + t_{SU} + t_{PD_SYNC~}$$

$$DLU = t_{CLK\text{至}SYNC~} + t_{PD_SYNC~} + t_{SU} + t_{DCLK}$$

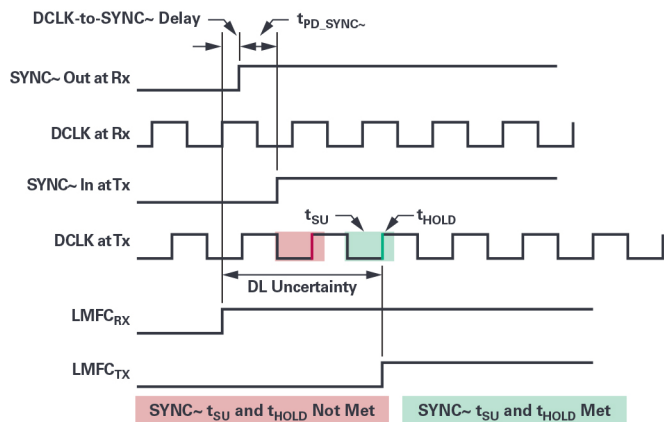


图13. 单转换器应用的子类2 SYNC~捕获时序：最差情况的DLU。

⁵ SYNC~输出端以及两个时钟输出端的PVT变化。

⁶ DLCK和SYNC~上的抖动。

⁷ 为保持DLU概念图示的清晰明了，此处未考虑时钟抖动和工艺、电压以及温度(PVT)的变化。

哪个子类最适合您的应用?

为JESD204B系统选择哪个子类取决于您是否需要确定性延迟、若需要则精度是多少,以及用于系统中的器件时钟要求。

子类0最容易实现;无需确定性延迟时可以使用子类0。哪怕您的多转换器系统需要同步所有(或部分)转换器的样本,也能通过AD9625和AD9680支持的时间戳功能来实现。

由于子类1支持超高器件时钟速率以及高采样速率转换器,对于要求这些高速率的系统来说,子类1是最保险的解决方案。子类1器件也可用于较低的速率。如果器件时钟速率低于500 MHz,那么满足时序要求便很简单,无需调节时钟相位。

子类2器件也可用于500 MHz以下的应用中。在较低速率下使用子类2的一个小优势,是它可以减少逻辑器件的IO数,且无需将SYSREF路由至每一个JESD204B器件。

参考文献

JEDEC标准JESD204B。JEDEC固态技术协会,2011年7月。

作者简介

Del Jones是位于美国北卡罗来纳州格林斯博罗的高速转换器团队的应用工程师。他自2000年以来一直为ADI工作,负责支持ADC、DAC和串行接口。加入ADI之前,他曾在电信行业担任电路板和FPGA设计工程师。Del毕业于德克萨斯大学达拉斯分校,获电气工程学士学位。联系方式:
del.jones@analog.com。

在线支持社区



访问ADI在线支持社区, 中文技术论坛

与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答,或参与讨论。

请访问ez.analog.com/cn



超越一切可能™

ADI公司
请访问analog.com/cn

如需了解区域总部、销售和分销商,或联系客服和技术支持,请访问analog.com/cn/contact。

向我们的ADI技术专家提出棘手问题、浏览常见问题解答,或参与EngineerZone在线支持社区讨论。
请访问ez.analog.com/cn。

©2019 Analog Devices, Inc. 保留所有权利。
商标和注册商标属各自所有人所有。

“超越一切可能”是ADI公司的商标。

TA12595sc-10/19

