

为何完全集成式转换环路器件可实现出色的相位噪声性能

Erkan Acar, 射频系统架构师

摘要

目前对带宽的需求呈爆炸式增长, 从而将载波频率推高至几十千兆赫。在这些高频率下, 客户可使用更高的带宽, 不必担心频谱过度拥挤。但是, 随着频率增加, 针对这些器件和频率的仪器仪表解决方案就会变得极其复杂。这是因为仪器仪表解决方案需要提升一个数量级的性能, 以避免损坏测试中的器件。本文将介绍几种低相位噪声信号生成方法。我们将演示这些方法的优缺点, 并介绍转换环路器件, 这些器件在不增加复杂性的情况下充分利用所有频率产生方法的优点, 可以生成超低相位噪声信号。

锁相环电路剖析

锁相环(PLL)电路常见于许多频率产生器件中。这些器件可确保器件内产生的波形和参考信号相位对齐或锁定为参考信号。图1为PLL的简化框图。压控振荡器(VCO)的输出使用N计数器进行分频, 并在鉴频鉴相器(PFD)电路中与参考信号进行比较。这个简单的电路一直是许多教科书的主题, 并得到了广泛的研究。我们将使用一些众所周知的基础知识来确定如何大幅降低输出端的相位噪声。

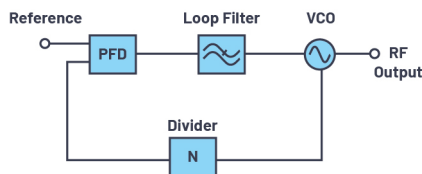


图1. 锁相环电路。

PLL电路的整体相位噪声源于每个构建模块的自身缺陷或相位噪声。可对每个相关联的模块的相位噪声进行建模, 并可通过仿真和分析计算精确预测PLL的整体相位噪声。下面我们来回顾一下每个模块, 并讨论它们对输出相位噪声的影响。

PFD模块将参考信号与分频输出频率进行比较。该模块产生的误差信号馈入电荷泵电路, 该电路产生控制电压, 从而控制VCO, 直到器件的输出相位与参考相位相匹配。大多数具有集成PFD电路的现代频率产生器件的数据手册中会提供一个品质因数(FOM)。使用FOM可计算带内相位噪声, 如下所示:

$$L_{OUT} = FOM + 10 \log f_{PFD} + 20 \log N \quad (1)$$

其中 f_{PFD} 是PFD频率, N是输出频率分频器的值。请注意, 输出频率是 f_{PFD} 和N分频器值的乘积。对于给定的输出频率, f_{PFD} 增加一个因数, N的值就减少相同的因数。由于 f_{PFD} , N值减小会将相位噪声减少两倍, 这样整体输出相位噪声就会降低。我们可以得出结论, PFD频率越高, 载波近端相位噪声就越低。本文接下来的部分就会用到这一发现。

环路滤波器跟踪PFD并对PFD器件所产生的误差信号进行平滑。其设计使用几个系统参数, 如电荷泵电流、VCO灵敏度和PFD频率等。环路滤波器的一个不太重要的功能是确定负反馈控制环路的带宽。参考信号会在环路滤波器的控制带宽内影响输出信号的相位噪声。超过这个截止频率, 整体相位噪声性能将由VCO的特性主导。我们将在接下来的部分中利用这一点来优化系统的整体相位噪声。

VCO根据其输入端施加的控制电压产生输出频率。VCO的输出频率由控制环路进行更新, 直至相位与参考信号的相位锁定。VCO直接影响系统的整体相位噪声。一般来讲, 随着VCO的品质提升, 相位噪声会降低。但是, 提高品质通常会限制器件的整体可调范围。针对窄频操作的VCO通常具有很好的相位噪声性能。

频率产生选项

使用各种不同质量水平以及不同拓扑结构的振荡器,可以有多种方式生成信号。仪器仪表应用通常在低相位噪声和杂散电平方面力求实现最佳性能。我们回顾一下可以实现极低相位噪声的一些频率产生选项。

使用固定频率振荡器产生频率

具有出色相位噪声性能的一类信号生成器件是固定频率振荡器。这些器件通常具有很高的品质因数,从而实现出色的载波近端相位噪声性能。这些振荡器在预定频率下工作,该频率在很大程度上由器件的几何形状和结构决定,且具有一定的可调能力,使其相位能够锁定至参考源。此类器件包括恒温晶体振荡器(OCXO)、温度补偿晶体振荡器(TCXO)和压控SAW振荡器(VCSO)等。固定频率振荡器的一个主要缺点是这些器件的频率覆盖范围有限。尽管它们可能适用于以固定频率或其倍数运行的器件,但大多数仪器仪表器件需要可变频率覆盖范围。

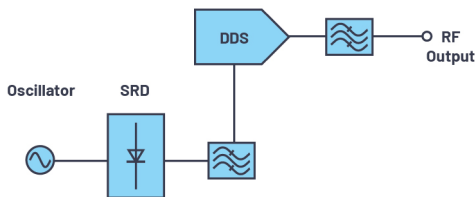


图2. 使用固定源产生可变频率。

解决此问题的一种方法需要使用直接数字频率合成器(DDS)或数模转换器(DAC)器件。固定频率信号可用于驱动DDS器件的采样时钟,如图2所示。振荡器的频率可以根据需要通过倍频器或阶跃恢复二极管(SRD)倍频,并在应用到DDS之前进行滤波。DDS可以在第一奈奎斯特工作区产生任意频率,最高为采样频率的一半。一些现代DAC器件甚至可以在第二奈奎斯特区正常工作。图3显示由低相位噪声介质谐振振荡器(DRO)在6 GHz下驱动AD9164时的输出频谱和相位噪声图。相位噪声图显示输出相位噪声非常低,且输出频谱的杂散电平小于-70 dBc。

倍频采样时钟的频谱纯度直接影响器件的输出。一旦信号倍频,输出端就会出现许多谐波。需要对所需信号进行滤波,以在DDS输出端实现低杂散电平。通常,采样时钟处出现的杂散会以类似电平出现在输出端。如果倍频系数较大,滤波器可能需要非常灵敏,这就需要一个明显陡变的区域。

此外,倍频信号的相位噪声随着倍频系数的增大而增大。例如,信号频率每增加一倍,相位噪声就增加6 dB。根据起始相位噪声曲线和倍频系数,本底噪声(远端相位噪声)可能会显著增加,使整体解决方案缺乏吸引力。这是一个众所周知的窘境,采用具有近载波相位噪声的单频、高品质因数器件会带来远载波相位本底噪声。例如,表面声波(SAW)器件在载波频率约为1 GHz时具有

出色的载波近端相位噪声性能。在40 GHz以上运行的毫米波器件需要高达40的倍频系数。这可能会使相位本底噪声增加32 dB或更多,从而降低解决方案的吸引力。

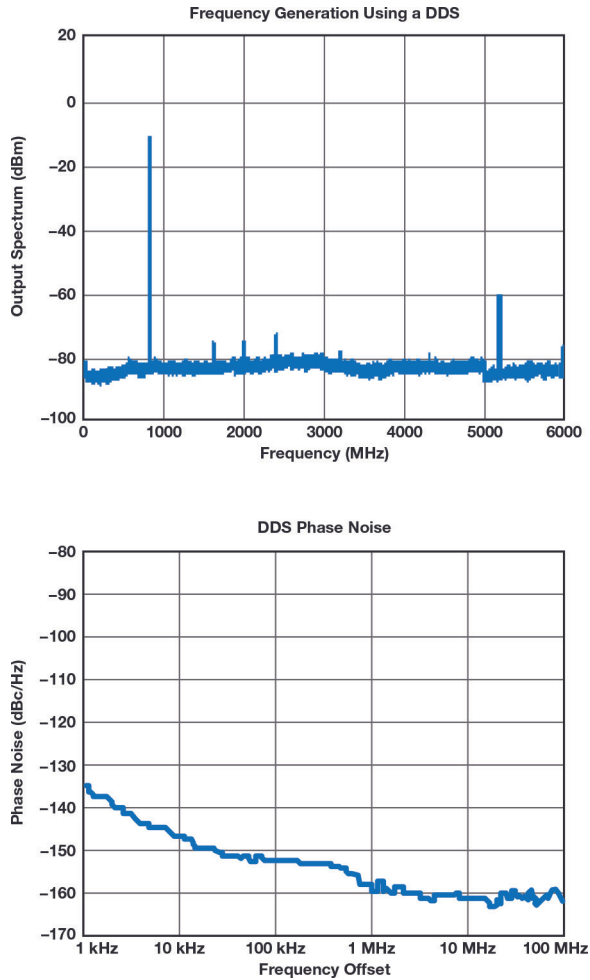


图3. AD9164在800 MHz下的输出频谱和相位噪声,使用固定频率振荡器作为采样时钟。

使用宽带PLL器件产生频率

宽带频率合成器解决了许多与单频器件相关的挑战。这些器件(如ADF4372微波频率合成器)使用多个VCO内核,每个VCO内核又进一步划分为多个重叠频段。此架构使每个内核和频段都能实现高品质因数。与使用单个内核的架构相比,显著提升了器件的整体性能。

这些器件的一个关键优势是基本工作频率比晶体振荡器或SAW振荡器高。许多现代VCO具有4 GHz至20 GHz甚至更高的基频。这使其在毫米波应用中的载波远端相位噪声性能更具吸引力。例如,在10 GHz基频下运行的器件需要倍频数4以将频率扩展为40 GHz。这意味着相位本底噪声增加12 dB,而使用晶体振荡器则会增加32 dB。

与这些多核和多频段器件相关的一个挑战是找到合成目标频率的最优频段。这可能需要创建查询表来识别正确的频段。具有自动校准功能的器件(如ADF4372和ADF5610)通过温度和工艺变化使此

过程更加简单可靠。这大大地简化了器件的整体操作, 可将频率变化简单地编程到器件的寄存器中, 并自动确定最佳工作频段。

另一个挑战是与这些器件相关的载波近端相位噪声通常比单频器件要高得多。即使是较低的整体本底相位噪声, 较高的载波近端相位噪声也能转化为较高的整体积分噪声。这可能会限制在需要较低积分相位噪声的应用中使用这些器件。

转换环路

转换环路方法充分利用之前提到的所有频率产生方法, 并摒弃其缺点。我们先来总结一下迄今为止我们的发现结果, 再讨论转换环路的详细信息。

OCXO、SAW等单频器件和具有高品质因数的晶振具有很好的载波近端相位噪声。这些单频器件通常基频较低, 因此倍频到毫米波频率时, 载波远端相位噪声性能就会略为逊色。理想解决方案应具有这些器件的载波近端性能, 同时不会增加载波远端相位噪声。

DDS或DAC器件可将固定频率器件产生可变频率。这些器件还会受到毫米波频率所需的大倍频系数以及抑制次谐波和其他干扰杂散需要滤波的影响。容忍这些缺点方可实现理想解决方案。

宽带频率合成器具有很高的基频和出色的载波远端相位噪声性能。但是, 这些器件并非真的具有高品质因数, 因此, 与单频器件相比, 载波近端相位噪声相对较差。需要利用载波远端相位噪声而不恶化载波近端相位噪声性能。

这就将我们带到转换环路器件, 如图4所示。使用混频器将输出信号转换为与参考信号频率相匹配的中频(IF), 而不是将输出频率除以一个大分频器值。这将分频器值有效地降低至1, 从而消除了传统PLL器件中使用大分频器值时产生的噪声。这会使控制环路上出现LO的相位噪声分布。我们可以使用具有出色载波近端性能的单频器件和DDS来产生此LO信号。

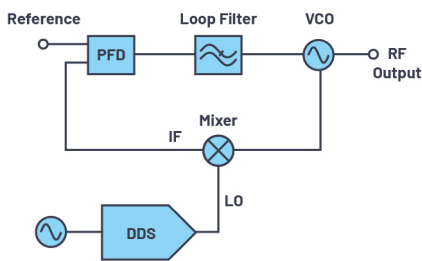


图4. 转换环路架构。

环路滤波器带宽是转换环路器件的关键设计参数。如前所述, 环路滤波器确定控制环路的整体带宽。换言之, 它定义参考信号和LO信号对输出相位噪声的影响程度。在转换环路中, 由于载波近端相位噪声极低, 我们可以选择大环路滤波器带宽。图5显示

转换环路器件的相位噪声曲线及其LO输入。请注意, 尽管LO的载波近端相位噪声很低, 但载波远端本底噪声高。RF输出跟踪LO相位噪声直到环路滤波器带宽。在此频率偏移后, 载波远端相位噪声由VCO定义, 此值很低。

转换环路器件本质上利用了使用DDS器件作为LO的单频器件的理想载波近端性能, 并通过选择大环路带宽来利用宽频VCO的载波远端相位噪声。这不仅解决了优化哪个相位噪声区域相关的问题, 而且实现了极低的输出相位噪声。

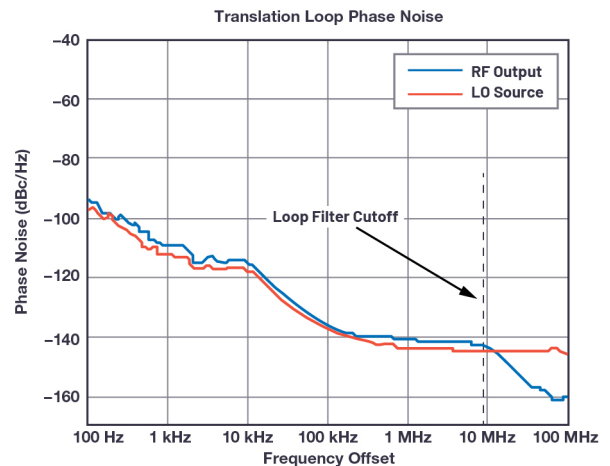


图5. 转换环路器件的相位噪声曲线。

转换环路的出色相位噪声性能使其在很多毫米波仪器仪表的应用中很有用。除了相位噪声性能, 仪器仪表解决方案还需要将杂散信号抑制到极低的水平。由于存在多个不同频率的强信号, 这对于转换环路器件来说非常具有挑战性。在很多情况下, 防止LO和IF信号馈通到输出很有挑战性。此外, 还可能在输出端产生很多IF、LO和RF信号的交调产物。这些杂散信号会导致整个仪器仪表解决方案具有较差的杂散性能。

ADI公司提供的完全集成式转换环路器件ADF4401A可应对其中很多挑战。它消除了分立式方案中可能存在的所有馈通路径。这是通过内置屏蔽和最小化馈通机制的总体设计来实现的。此外, 它还具有-90 dBc或更低的杂散抑制性能, 可与钇铁石榴石(YIG)球形振荡器解决方案匹敌。即使系统的输入不及理想值, 器件的输出也具有很低的杂散电平。图6a显示了ADF4401A的输出频谱, 其中LO输入包含许多杂散, 杂散电平约-40 dBc, 如图6b所示。由于需要大量滤波, 这种LO信号在仪器仪表解决方案中通常不可用。但是, ADF4401A可接受此LO输入, 无需任何额外滤波即可产生图6a所示的输出频谱。

此器件配备自动校准引擎, 可识别给定目标频率的最优VCO频段。在校准模式中, 此器件可在实际温度和工艺条件下搜索正确的频段, 从而实现无缝的频率调谐过程。

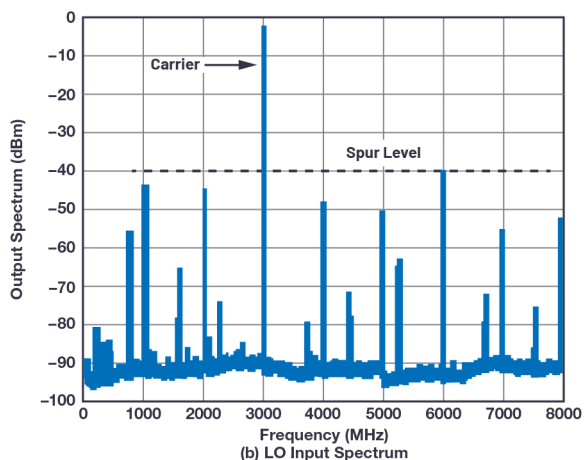
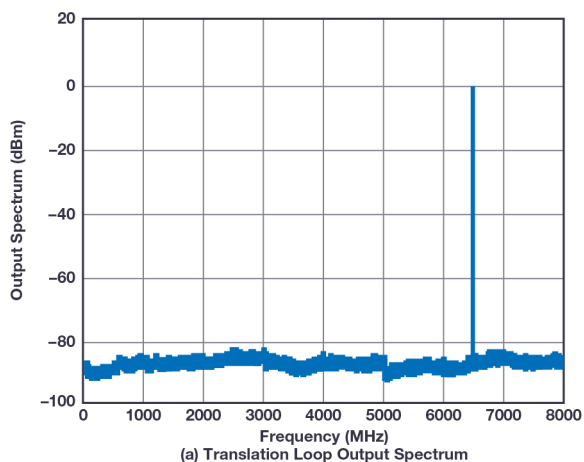


图6. (a) 6.5 GHz下的转换环路输出频谱和(b) 3 GHz下的LO输入频谱。使用ADF4401A的内部LO倍频器, 有效LO频率变为6 GHz。在本例中, IF频率为500 MHz。

总结

仪器仪表解决方案需要很低的载波信号相位噪声和很低的杂散信号电平, 以满足毫米波器件的需求。虽然有各种方法来合成这些信号, 但所有方法都要进行利弊权衡, 因此, 整体解决方案变得越来越复杂。ADI转换环路器件ADF4401A充分利用许多不同频率产生方案的优势, 并去除其劣势。可实现出色的相位噪声和优异的杂散性能, 且无需进行复杂的滤波。

参考资料

Ian Collins. “锁相环(PLL)基本原理”。《模拟对话》, 第52卷第3期, 2018年7月。

D. B. Leeson “反馈振荡器噪声频谱简化模型。” IEEE论文集, 第54卷第2期, 1966年2月。

作者简介

Erkan Acar在北卡罗来纳州杜克大学达勒姆分校取得博士学位和硕士学位。Erkan领导了有关低成本RF测试、自动化测试设备、高速接口的信号和电源完整性的许多研发项目。他拥有多项专利并发表了许多文章。他目前对频率范围从基带到110 GHz及以上的RF和毫米波信号链感兴趣。联系方式: erkan.acar@analog.com。

在线支持社区



中文技术论坛

访问ADI在线支持社区,
与ADI技术专家互动。提出您的
棘手设计问题、浏览常见问题
解答, 或参与讨论。

请访问ez.analog.com/cn

