

什么是JESD204标准，为什么我们要重视它？

Jonathan Harris, 应用工程师

一种新的转换器接口的使用率正在稳步上升，并且有望成为未来转换器的协议标准。这种新接口JESD204诞生于几年前，其作为转换器接口经过几次版本更新后越来越受瞩目，效率也更高。随着转换器分辨率和速度的提高，对于效率更高的接口的需求也随之增长。JESD204接口可提供这种高效率，较之其前代互补金属氧化物半导体(CMOS)和低压差分信号(LVDS)产品在速度、尺寸和成本方面更有优势。采用JESD204的设计拥有更快的接口带来的好处，能与转换器更快的采样速率同步。此外，引脚数的减少导致封装尺寸更小，走线布线数更少，从而极大地简化了电路板设计，降低了整体系统成本。该标准可以方便地调整，从而满足未来需求，这从它已经历的两个版本的变化中即可看出。自从2006年发布以来，JESD204标准经过两次更新，目前版本为B。由于该标准已为更多的转换器供应商、用户以及FPGA制造商所采纳，它被细分并增加了新特性，提高了效率和实施的便利性。此标准既适用于模数转换器(ADC)也适用于数模转换器(DAC)，初步打算作为FPGA的通用接口（也可能用于ASIC）。

JESD204——它是什么？

2006年4月，JESD204最初版本发布。该版本描述了转换器和接收器（通常是FPGA或ASIC）之间数Gb的串行数据链路。在JESD204的最初版本中，串行数据链路被定义为一个或多个转换器和接收器之间的单串行通道。图1给出了图形说明。图中的通道代表M个转换器和接收器之间的物理接口，该接口由采用电流模式逻辑(CML)驱动器和接收器的差分对组成。所示链路是转换器和接收器之间的串行数据链路。帧时钟同时路由至转换器和接收器，并为器件间的JESD204链路提供时钟。

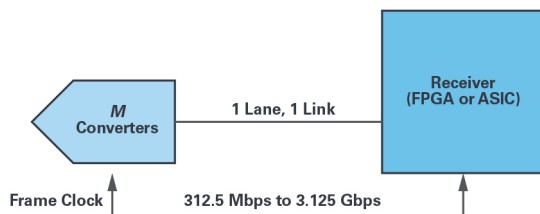


图1 JESD204最初标准。

通道数据速率定义为312.5 Mbps与3.125 Gbps之间，源阻抗与负载阻抗定义为 $100\ \Omega \pm 20\%$ 。差分电平定义为标称800 mV峰值、共模电平范围从0.72 V至1.23 V。该链路利用8b/10b编码，采用嵌入式时钟，这样便无需路由额外的时钟线路，也无需考虑相关的高数据速率下传输的数据与额外的时钟信号对齐的复杂性。当JESD204标准开始越来越受欢迎时，人们开始意识到该标准需要修订以支持多个转换器下的多路、对齐的串行通道，以满足转换器日益增长的速度和分辨率。

这种认识促成了JESD204第一个修订版的发布，即JESD204A。此修订版增加了支持多个转换器下的多路对齐串行通道的能力。该版本所支持的通道数据速率依然为312.5 Mbps至3.125 Gbps，另外还保留了帧时钟和电气接口规范。增加了对多路对齐串行通道的支持，可让高采样速率和高分辨率的转换器达到3.125 Gbps的最高支持数据速率。图2以图形表示JESD204A版本中增加的功能，即支持多通道。

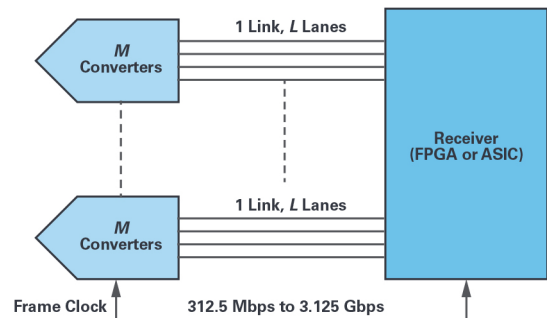


图2 第一版——JESD204A。

虽然最初的JESD204标准和修订后的JESD204A标准在性能上都比老的接口标准要高，它们依然缺少一个关键因素。这一缺少的因素就是链路上串行数据的确定延迟。对于转换器，当接收到信号时，若要正确重建模拟域采样信号，则关键是了解采样信号和其数字表示之间的时序关系（虽然这种情况是针对ADC而言，但DAC的情况类似）。该时序关系受转换器的延迟影响，对于ADC，它定义为输入信号采样边沿的时刻直至转换器输出数字这段时间内的时钟周期数。类似地，对于DAC，延迟定义为

数字信号输入DAC的时刻直至模拟输出开始转变这段时间内的时钟周期数。JESD204及JESD204A标准中没有定义可确定性设置转换器延迟和串行数字输入/输出的功能。另外，转换器的速度和分辨率也不断提升。这些因素导致了该标准的第二个版本——JESD204B。

2011年7月，第二版本标准发布，称为JESD204B，即当前版本。修订后的标准中，其中一个重要方面就是加入了实现确定延迟的条款。此外，支持的数据速率也提升到12.5 Gbps，并划分器件的不同速度等级。此修订版标准使用器件时钟作为主要时钟源，而不是像之前版本那样以帧时钟作为主时钟源。图3表示JESD204B版本中的新增功能。

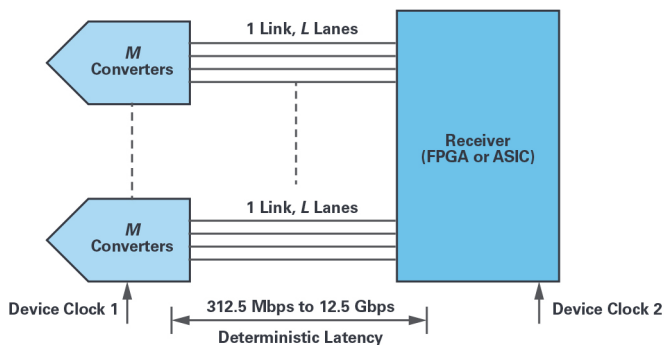


图3. 第二个（当前）修订版——JESD204B。

在之前的JESD204标准的两个版本中，没有确保通过接口的确定延迟相关的条款。JESD204B修订版纠正了这个问题。通过提供一种机制，确保两个上电周期之间以及链路重新同步期间，延迟是可重现和确定性的。其工作机制之一是：在定义明确的时刻使用SYNC~输入信号，同时初始化所有通道中转换器最初的通道对齐序列。另一种机制是使用SYSREF信号——一种JESD204B定义的新信号。SYSREF信号作为主时序参考，通过每个发射器和接收器的器件时钟以及本地多帧时钟对齐所有内部分频器。这有助于确保通过系统的确定延迟。JESD204B规范定义了三种器件子类：子类0——不支持确定性延迟；子类1——使用SYSREF的确定性延迟；子类2——使用SYNC~的确定性延迟。子类0可与JESD204A链路做简单对比。子类1最初针对工作在500MSPS或以上的转换器，而子类2最初针对工作在500MSPS以下的转换器。

除了确定延迟，JESD204B支持的通道数据速率上升到12.5 Gbps，并将器件划分为三个不同的速度等级：所有三个速度等级的源阻抗和负载阻抗相同，均定义为 $100\ \Omega \pm 20\%$ 。第一速度等级与JESD204和JESD204A标准定义的通道数据速率相同，即通道数据电气接口最高为3.125 Gbps。JESD204B的第二速度等级定义了通道数据速率最高为6.375 Gbps的电气接口。该速度等级将第一速度等级的最低差分电平从500 mV峰峰值降为400 mV峰峰值。JESD204B的第三速度等级定义了通道数据速率最高为12.5 Gbps的电气接口。该速度等级电气接口要求的最低差分电平降低至

360 mV峰峰值。随着不同速度等级的通道数据速率的上升，通过降低所需驱动器的压摆率，使得所需最低差分电平也随之降低，以便物理实施更为简便。

为提供更多的灵活性，JESD204B版本采用器件时钟而非帧时钟。在之前的JESD204和JESD204A版本中，帧时钟是JESD204系统的绝对时间参照。帧时钟和转换器采样时钟通常是相同的。这样就没有足够的灵活性，而且要将此同样的信号路由给多个器件，并考虑不同路由路径之间的偏斜时，就会无谓增加系统设计的复杂性。JESD204B中，采用器件时钟作为JESD204系统每个元件的时间参照。每个转换器和接收器都获得时钟发生器电路产生的器件时钟，该发生器电路负责从同一个源产生所有器件时钟。这使得系统设计更加灵活，但是需要为给定器件指定帧时钟和器件时钟之间的关系。

JESD204——为什么我们要重视它？

就像几年前LVDS开始取代CMOS成为转换器数字接口技术的首选，JESD204有望在未来数年内以类似的方式发展。虽然CMOS技术目前还在使用中，但已基本被LVDS所取代。转换器的速度和分辨率以及对更低功耗的要求最终使得CMOS和LVDS将不再适合转换器。随着CMOS输出的数据速率提高，瞬态电流也会增大，导致更高的功耗。虽然LVDS的电流和功耗依然相对较为平坦，但接口可支持的最高速度受到了限制。

这是由于驱动器架构以及众多数据线路都必须全部与某个数据时钟同步所导致的。图4显示一个双通道14位ADC的CMOS、LVDS和CML输出的不同功耗要求。

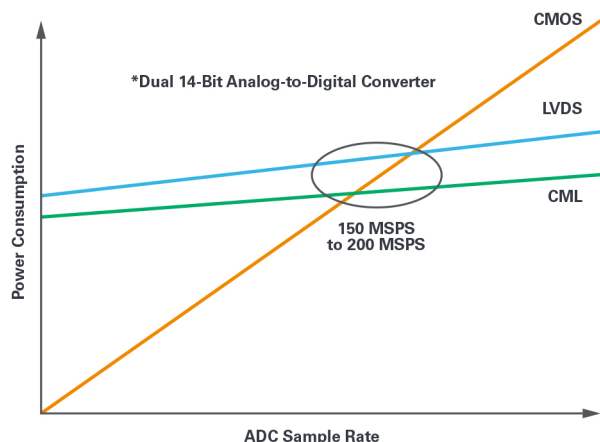


图4. CMOS、LVDS和CML驱动器功耗比较。

在大约150 MSP至200 MSPS和14位分辨率时，就功耗而言，CML输出驱动器的效率开始占优。CML的优点是：因为数据的串行化，所以对于给定的分辨率，它需要的输出对数少于LVDS和CMOS驱动器。JESD204B接口规范所说明的CML驱动器还有一个额外的优势，因为当采样速率提高并提升输出线路速率时，该规范要求降低峰峰值电压水平。

同样，针对给定的转换器分辨率和采样率，所需的引脚数目也大为减少。表1显示采用200 MSPS转换器的三种不同接口各自的引脚数目，转换器具有各种通道数和位分辨率。在CMOS和LVDS输出中，假定时钟对于各个通道数据同步，使用CML输出时，JESD204B数据传输的最大数据速率为4.0 Gbps。从该表中可以发现，使用CML驱动器的JESD204B优势十分明显，引脚数大为减少。

表1. 引脚数比较——200 MSPS ADC

通道数	分辨率	CMOS 引脚数	LVDS引脚数 (DDR)	CML引脚数 (JESD204B)
1	12	13	14	2
2	12	26	28	4
4	12	52	56	8
8	12	104	112	16
1	14	15	16	2
2	14	30	32	4
4	14	60	64	8
8	14	120	128	16
1	16	17	18	2
2	16	34	36	4
4	16	68	72	8
8	16	136	144	16

业内先进的数据转换器供应商ADI预见到了推动转换器数字接口向JESD204（由JEDEC定义）发展的趋势。ADI自从初版JESD204规范发布之时起即参与标准的定义。迄今为止，ADI公司已发布多款输出兼容JESD204和JESD204A的转换器，目前正在开发输出兼容JESD204B的产品。AD9639是一款四通道、12位、170 MSPS/210 MSPS ADC，集成JESD204接口。AD9644和AD9641是14位、80 MSPS/155 MSPS、双通道/单通道ADC，集成JESD204A接口。DAC这方面，最近发布的AD9128是一款双通道、16位、1.25 GSPS DAC，集成JESD204A接口。欲了解有关ADI公司兼容JESD204标准的更多产品，请访问analog.com/jesd204。

随着转换器速度和分辨率的提高，对于效率更高的数字接口的需求也随之增长。随着JESD204串行数据接口的发明，业界开始意识到了这点。接口规范依然在不断发展中，以提供更优秀、更快速的方法将数据在转换器和FPGA（或ASIC）之间传输。接口经过两个版本的改进和实施，以适应对更高速度和分辨率转换器不断增长的需求。展望转换器数字接口的发展趋势，显然JESD204有望成为数字接口至转换器的业界标准。每个修订版都满足了对于改进其实施的要求，并允许标准演进以适应转换器技术的改变及由此带来的新需求。随着系统设计越来越复杂，以及对转换器性能要求的提高，JESD204标准应该可以进一步调整和演进，满足新设计的需要。

参考文献

JEDEC标准： *JESD204（2006年4月）*。JEDEC固态技术协会。

JEDEC标准： *JESD204A（2008年4月）*。JEDEC固态技术协会。

JEDEC标准： *JESD204B（2011年7月）*。JEDEC固态技术协会。

作者简介

Jonathan Harris是ADI公司高速转换器部门（位于北卡罗莱纳州格林斯博罗）的产品应用工程师。他在射频行业从事产品支持工作超过7年。Jonathan拥有奥本大学电子工程硕士学位和北卡罗莱纳大学夏洛特分校电子工程学士学位。

在线支持社区



访问ADI在线支持社区，中文技术论坛

与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答，或参与讨论。

请访问ez.analog.com/cn



超越一切可能™

ADI公司
请访问analog.com/cn

如需了解区域总部、销售和分销商，或联系客户服务和技术支持，请访问analog.com/cn/contact。

向我们的ADI技术专家提出棘手问题、浏览常见问题解答，或参与EngineerZone在线支持社区讨论。
请访问ez.analog.com/cn。

©2019 Analog Devices, Inc. 保留所有权利。
商标和注册商标属各自所有人所有。

“超越一切可能”是ADI公司的商标。

TA11322sc-8/19

