

## 采样保持放大器

### 引言和历史回顾

采样保持放大器或SHA是大部分数据采集系统的关键组成部分，它捕捉模拟信号并在某些操作（最常见的是模数转换）中保持信号不变。SHA对相关电路的要求非常高，电容和印刷电路板等普通组件的某些特性可能会意想不到地降低SHA性能。

当SHA配合ADC使用时（外置或内置），SHA性能对该组合的整体动态性能至关重要，在确定系统的SFDR、SNR等参数方面起着重要作用。

虽然今天的SHA功能已经集成到采样ADC中，但了解其基本工作原理对于了解ADC动态性能十分重要。

当采样保持器处于采样（或跟踪）模式时，输出跟随输入而变化，二者之间仅存在很小的电压偏差。但也有输出在采样模式下不完全跟随输入的SHA，其输出仅在保持期间是精确的（如[AD684](#)、[AD781](#)和[AD783](#)）。本文不考虑这种情况。严格来说，具有良好跟踪性能的采样保持器应被称为跟踪保持电路，但在实际应用中，这些术语可以互换使用。

SHA的最常见应用是在数据转换期间将ADC的输入保持为恒定值。对于许多（但不是全部）类型的ADC，为避免转换过程被破坏，转换期间输入的变化不得大于1 LSB，这就对此类ADC设置了非常低的输入频率限值，或者要求采用SHA以保持每次转换期间的输入不变。

回顾历史，一个有趣的事实是：A. H. Reeves在其著名的PCM专利（1939，参考文献1）中描述了一个5位6 kSPS计数ADC，模拟输入信号直接驱动一个真空管脉宽调制器(PWM)，采样功能集成于PWM中。贝尔实验室随后对PCM进行了研究，引入了电子束编码器管和逐次逼近型ADC；参考文献2 (1948)描述了一个基于脉冲变压器驱动电路的配套50 kSPS真空管采样保持电路。

在1950年代后期和1960年代早期，随着晶体管取代真空管，人们更加关注ADC所用的采样保持电路。1964年，贝尔实验室的Gray和Kitsopolos发表了最早对固态采样保持器产生的误差进行分析的文章之一（参考文献3）。贝尔实验室的Edson和Henning描述了在一个224 Mbps PCM系统上进行实验的结果，该系统包括一个9位ADC和一个配套的12 MSPS采样保持器。参考文献4、5和6是1960年代和1970年代早期采样保持电路研究成果的代表之作。

1969年，ADI公司新收购的Pastoriza部门率先推出商用采样保持器SHA1和SHA2。电路在PC板上实现，SHA1的0.01%采集时间为2  $\mu$ s，功耗0.9 W，成本约为\$225；SHA2速度更快，0.01%采集时间为200 ns，功耗1.7 W，成本约为\$400。两款器件专门配合同样在PC板上实现的12位逐次逼近型ADC工作。

模块化和混合技术迅速淘汰了PC板采样保持器，而随着IC ADC的上市，如工业标准AD574等，对采样保持器的需求渐增。上世纪70年代和80年代早期，系统设计师购买独立的采样保持器来驱动此类ADC是相当普遍的现象，因为当时的工艺技术还无法将它们集成在同一芯片上。IC SHA，如AD582（0.01%采集时间为4  $\mu$ s）、AD583（0.01%采集时间为6  $\mu$ s）和AD585（14位精度的采集时间为3  $\mu$ s）等，服务于上世纪70年代和80年代的低速市场。

混合SHA，如HTS-0025（0.1%采集时间为25 ns）、HTC-0300（0.01%采集时间为200 ns）和AD386（16位精度的采集时间为25  $\mu$ s）等，则服务于高速高端市场。到1995年，ADI公司针对各种应用推出了大约20款采样保持产品，包括下列高速IC：AD9100/AD9101（0.01%采集时间为10 ns）、AD684（四通道、0.01%采集时间为1  $\mu$ s）和AD783（0.01%采集时间为250 ns）。

然而，同时期的ADC技术迅猛发展，许多ADC都已内置SHA（即采样ADC），因而更容易指定，当然也更容易使用。新工艺的开发，包括高速互补双极性工艺和先进的CMOS工艺，使得集成SHA功能成为可能。事实上，现在（2003年）采样ADC已经非常普及并大受欢迎，很少有人需要独立的SHA。

除了尺寸更小、成本更低和外部元件更少等明显的优势以外，采样ADC还有一个重要优势，那就是整体直流和交流性能已完全明确，设计人员不必像对待分立ADC与分立SHA的组合那样需要确保不存在规格、接口或时序问题。当考虑SFDR和SNR等动态特性时，这一优势尤为可贵。

SHA绝大部分时候是与ADC一起使用，但偶尔也会用于DAC限变器、峰值检波器、模拟延迟电路、同步采样系统和数据分配系统。

## SHA基本工作原理

无论SHA的电路细节或类型如何，所有此类器件都包括四个主要部分：输入放大器、能量存储元件（电容）、输出缓冲器和开关电路，如图1的典型配置所示。

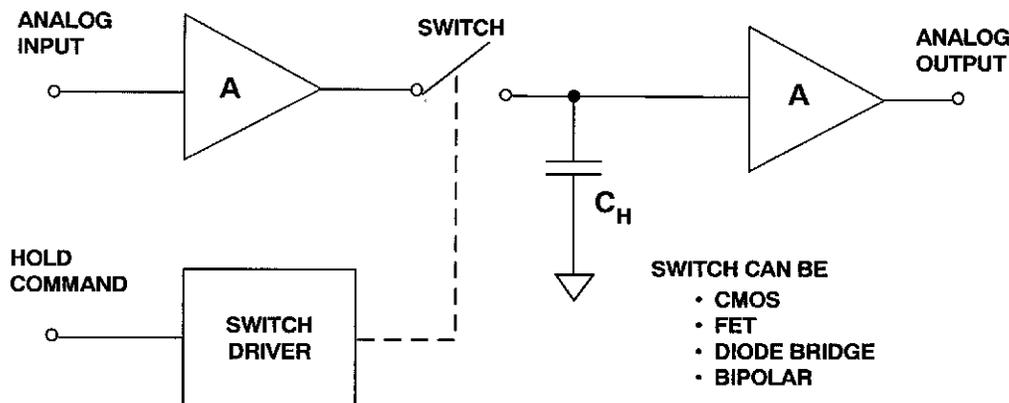


图1：基本采样保持电路

SHA的核心——能量存储元件是电容。输入放大器缓冲输入，向信号源提供高阻抗，并提供电流增益来给保持电容充电。在跟踪模式下，保持电容上的电压跟随（或跟踪）输入信号（有一定的延迟和带宽限制）。在保持模式下，开关断开，电容保持与输入缓冲器断开连接之前的电压。输出缓冲器向保持电容提供高阻抗，防止保持电压过早放电。开关电路及其驱动器构成SHA交替处于跟踪和保持模式的切换机制。

描述SHA基本操作的规格有四组：跟踪模式、跟踪转保持、保持模式、保持转跟踪。图2总结了这些规格，图3以图解方式显示了SHA的一些误差源。由于每种模式同时涉及到直流和交流性能，因此要正确指定SHA并了解其在系统中的操作是一件很复杂的事情。

采样模式	采样保持转换	保持模式	保持采样转换
静态 ◆ 失调 ◆ 增益误差 ◆ 非线性	静态 ◆ 基座误差 ◆ 基座误差非线性	静态 ◆ 下降 ◆ 非传导性 ◆ 吸收率	
动态 ◆ 建立时间 ◆ 带宽 ◆ 压摆率 ◆ 失真 ◆ 噪声	动态 ◆ 孔径延迟时间 ◆ 孔径抖动 ◆ 开关瞬变 ◆ 建立时间	动态： ◆ 馈通 ◆ 失真 ◆ 噪声	动态： ◆ 采集时间 ◆ 开关 ◆ 瞬变

图2：采样保持器规格

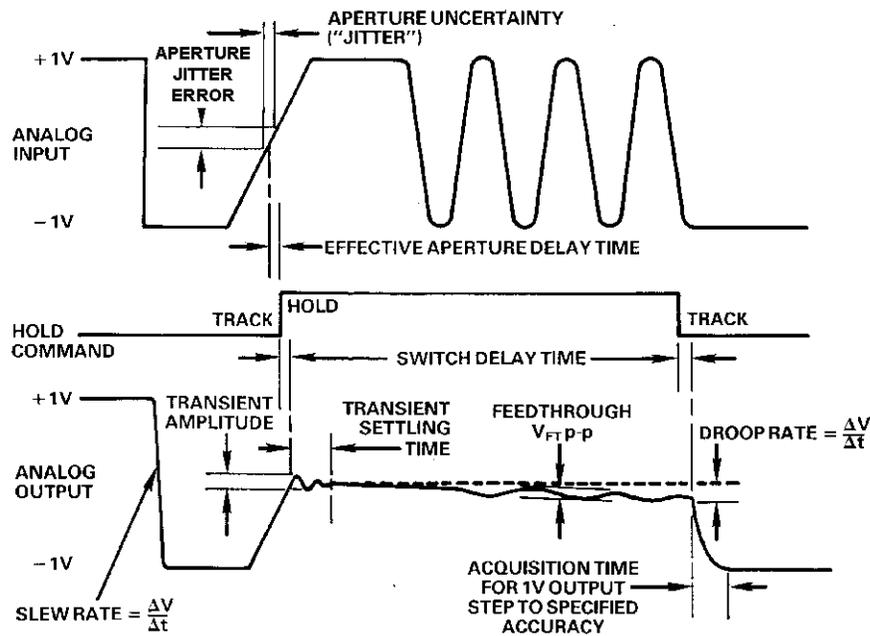


图3：采样保持器的一些误差源

## 跟踪模式规格

在采样（或跟踪）模式下，SHA只是一个放大器，因此这种模式下的静态和动态特性与任何其它放大器相似。（在跟踪模式下性能下降的SHA一般仅指定保持模式下的特性。）跟踪模式下的主要规格包括：失调、增益、非线性、带宽、压摆率、建立时间、失真和噪声。然而，失真和噪声在跟踪模式下一般不如在保持模式下重要。

## 跟踪转保持模式规格

当SHA从跟踪切换到保持时，由于开关的非理想特性，一般会有少量电荷释放在保持电容上。这会导致保持模式直流失调电压，称为基底误差，如图4所示。如果SHA驱动ADC，基底误差表现为直流失调电压，可以通过系统校准予以消除。如果基底误差与输入信号电平相关，则由此产生的非线性会增加保持模式下的失真。

通过提高保持电容的值，相应地延长采集时间并降低带宽和压摆率，可以减小基底误差。

从跟踪切换到保持会产生瞬变，SHA输出建立到额定误差带范围以内所需的时间称为保持模式建立时间。偶尔也会规定开关瞬变的峰值幅度。

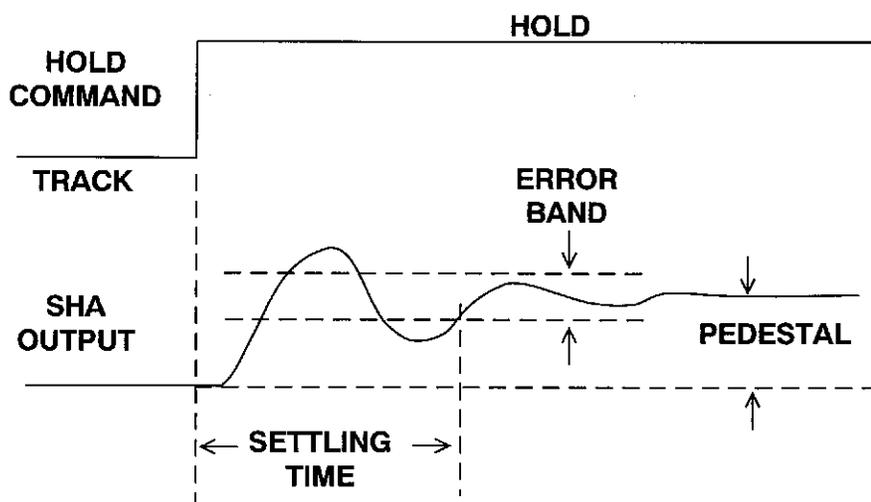


图4：跟踪转保持模式的基底、瞬变和建立时间误差

在SHA的技术规格中，容易误解、经常滥用的可能是那些包含孔径的规格。SHA最基本的动态特性是它能够快速断开保持电容与输入缓冲放大器的连接，这一动作所需的极短（但非零）时间间隔称为孔径时间。SHA内部时序的各种相关量如图5所示。

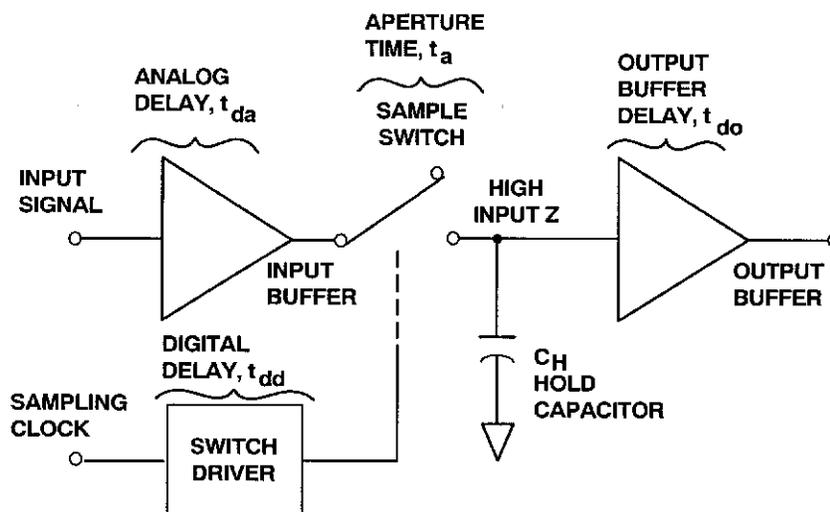


图5：说明内部时序的SHA电路

此间隔结束时保持电压的实际值取决于输入信号和开关操作本身引入的误差。图6显示对一个任意斜率的输入信号应用保持命令时的情况（为清楚起见，忽略采样转保持基底和开关瞬变）。最终保持的值是输入信号的延迟版本，并且是开关孔径时间范围内的平均值，如图6所示。该一阶模型假设，保持电容上的最终电压值约等于应用于开关的信号在开关从低阻抗变为高阻抗的时间间隔 ( $t_a$ ) 内的平均值。

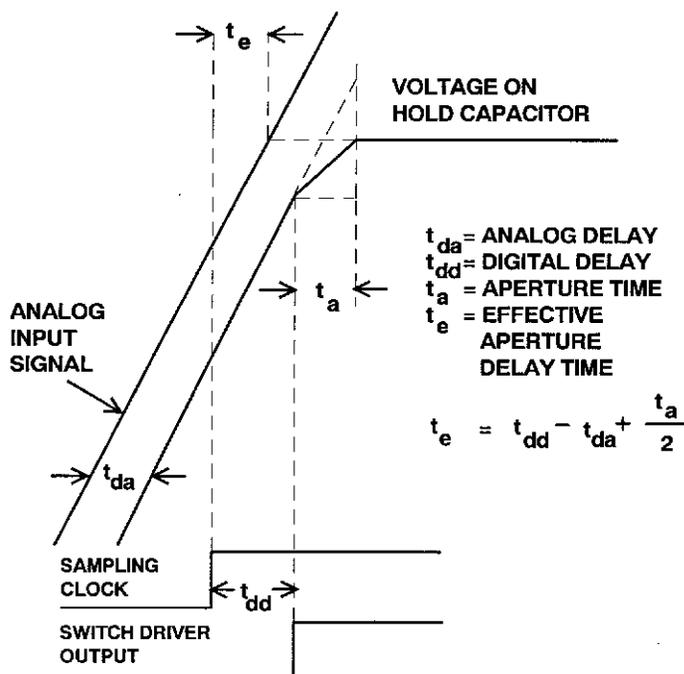


图6: SHA波形

该模型显示，开关断开所需的有限时间 ( $t_a$ ) 相当于在驱动SHA的采样时钟中引入一个小延迟。此延迟为常数，可以是正值，也可以是负值，称它为有效孔径延迟时间、孔径延迟时间或孔径延迟 ( $t_c$ )，定义为前端缓冲器的模拟传播延迟 ( $t_{da}$ ) 与开关驱动器数字延迟 ( $t_{dd}$ ) 的时间差加上孔径时间的一半 ( $t_a/2$ )。有效孔径延迟时间通常为正值，但如果孔径时间的一半 ( $t_a/2$ ) 与开关数字延迟 ( $t_{dd}$ ) 之和小于通过输入缓冲器的传播延迟 ( $t_{da}$ )，则它也可以是负值。因此，孔径延迟规格确定了输入信号相对于采样时钟沿的实际采样时间。

孔径延迟时间可以通过如下方法来测量：对SHA应用一个双极性正弦波信号，然后调整同步采样时钟延迟时间，使得SHA的输出在保持期间为0，输入采样时钟沿与输入正弦波实际零交越点之间的相对延迟即为孔径延迟时间，如图7所示。

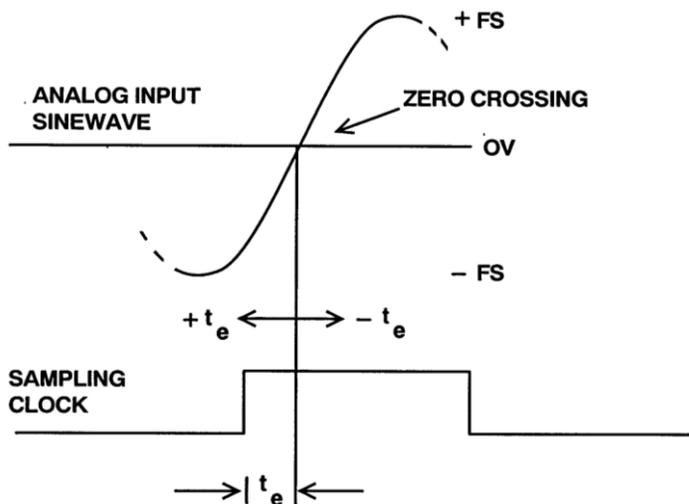


图7：有效孔径延迟时间

孔径延迟不产生误差，但会在采样时钟输入或模拟输入（取决于其符号）中起固定延迟作用。如果孔径延迟中存在样本间变化（孔径抖动），则会产生相应的电压误差，如图8所示。在开关断开的时刻，这种样本间变化称为孔径不确定性或孔径抖动，通常用均方根皮秒(ps rms)来衡量。相应输出误差的幅度与模拟输入的变化速率有关。针对既定的孔径抖动值，孔径抖动误差随着输入dv/dt提高而提高。

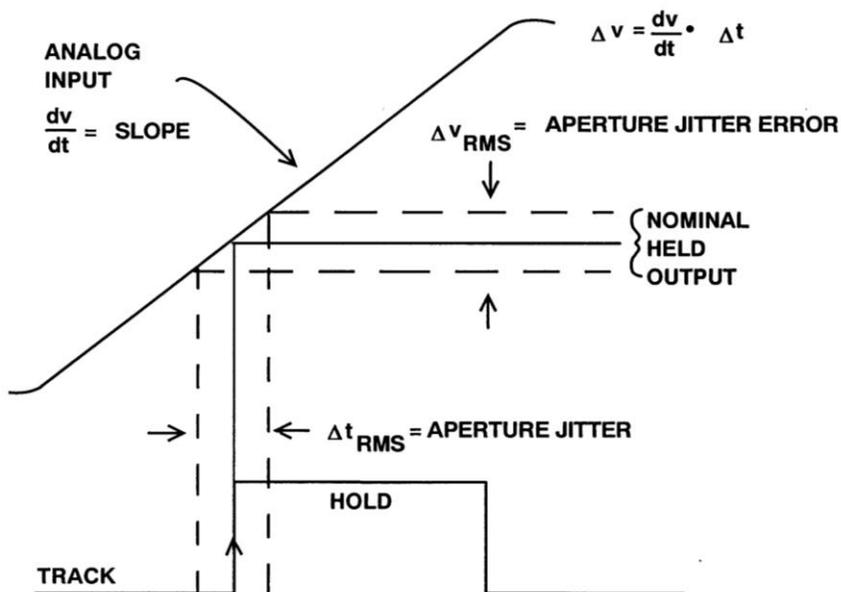


图8：孔径或采样时钟抖动对SHA输出的影响

测量SHA的孔径抖动误差需要无抖动的采样时钟和模拟输入信号源，因为这些信号上的抖动无法与SHA孔径抖动本身区别开来，抖动的影响是相同的。事实上，系统中的最大时序抖动误差源往往在SHA（或采样ADC）之外，由于高噪声或不稳定的时钟、信号布线不当以及没有采用良好的接地和去耦技术而导致。SHA孔径抖动一般小于50 ps rms，高速器件则小于5 ps rms。关于测量ADC孔径抖动的详细说明，请参阅参考文献11的第5章。

图9显示了总采样时钟抖动对数据采样系统信噪比(SNR)的影响。总均方根抖动由多个部分组成，实际SHA孔径抖动常常是最不重要的一个部分。

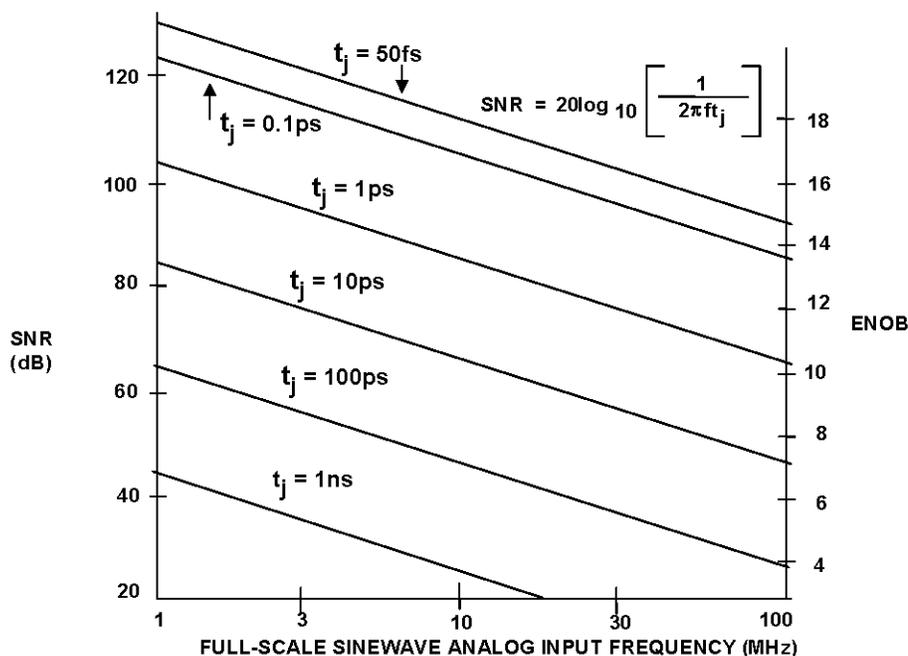
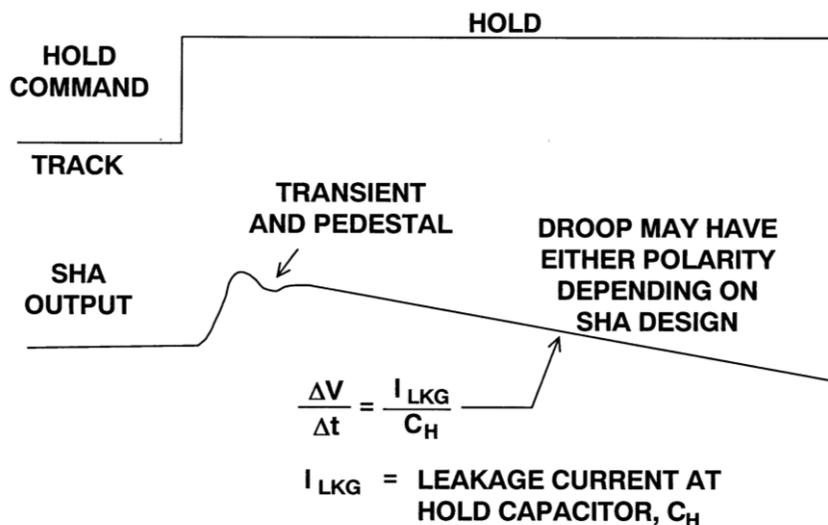


图9：采样时钟抖动对SNR的影响

## 保持模式规格

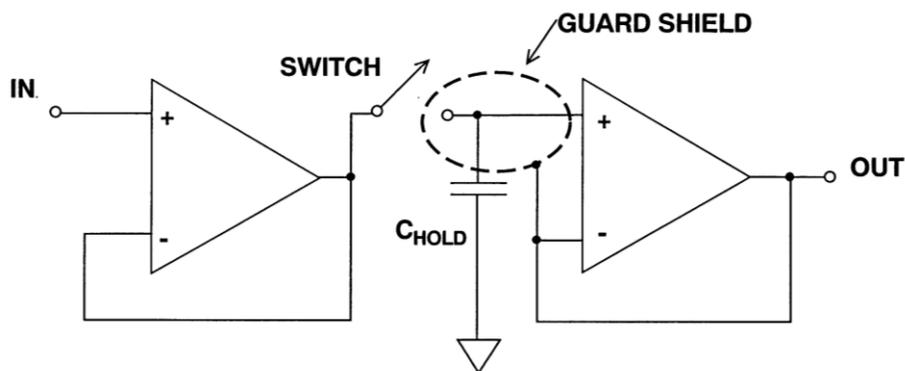
在保持模式下，保持电容、开关和输出放大器的缺陷会引起误差。如果有漏电流流入或流出保持电容，电容会缓慢充电或放电，其电压将发生图10所示的变化，这种效应称为SHA输出电压下降，用V/μs表示。压降可能由污秽PC板的泄漏（使用外部电容时）或易泄漏的电容引起，但最常见的原因是半导体开关的漏电流和输出缓冲放大器的偏置电流。可以接受的压降值是：在它驱动的ADC转换期间，SHA的输出变化幅度不超过 $\frac{1}{2}$  LSB；但该值高度依赖于ADC架构。如果压降是由反偏结（CMOS开关或FET放大器栅极）的漏电流引起，则芯片温度每升高10°C，它就会提高一倍，这意味着从+25°C到+125°C，压降会提高1000倍。

通过提高保持电容的值可以降低压降，但这也会延长采集时间并降低跟踪模式下的带宽。在作为ADC一部分的现代IC采样保持电路中，常常利用差分技术来减小压降效应。



**图10：保持模式压降**

当SHA使用小保持电容时，即使很小的漏电流也可能引起严重的压降。PCB的漏电流可以通过巧妙地使用保护环而最小化。保护环是一个由导体构成的环，它包围一个敏感节点并处于等电位。由于其间没有电压，因此不会有漏电流流动。在同相应用中，如图11所示，必须将保护环驱动到正确的电位，但虚地上的保护环可以处于实际的地电位（图12）。PCB材料的表面电阻远低于其体电阻，因此PCB两端必须都放上保护环，在多层板上，所有层都应当有保护环。



**Note: Be Sure a Guard Shield is in Each Layer of the PCB**

**图11：用与保持电容相同的电压驱动防护罩以降低电路板泄漏**

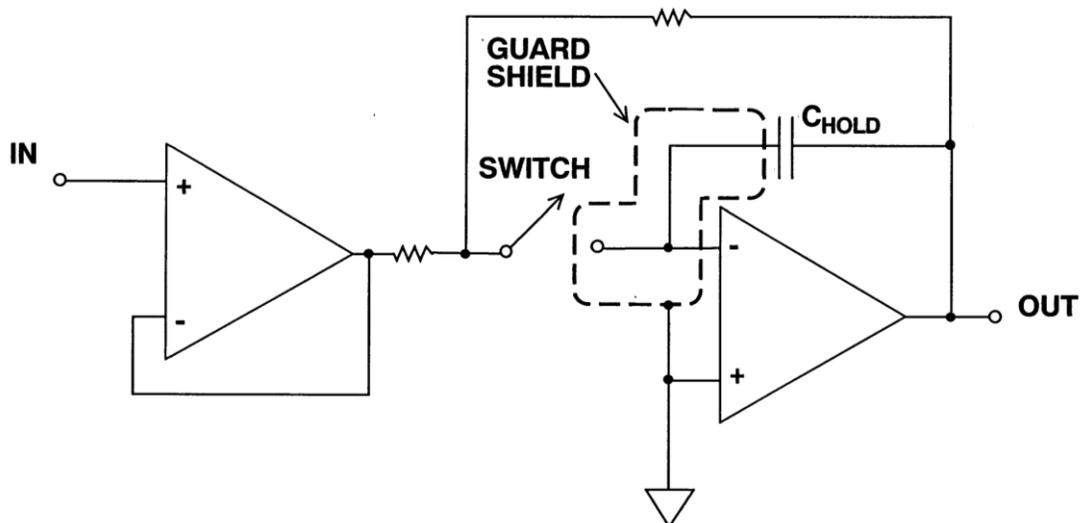


图12：在虚地SHA设计上使用防护罩

SHA保持电容的泄漏必须很低，但还有一个特性也同样重要，这就是“低电介质吸收”。如果一个电容充电、放电然后开路，它会恢复一些电荷，如图13所示。这种现象称为“电介质吸收”，它会导致上一个样本的残余部分污染新样本，并且可能引入数十甚至数百mV的随机误差，因此可能会使SHA的性能严重降低。

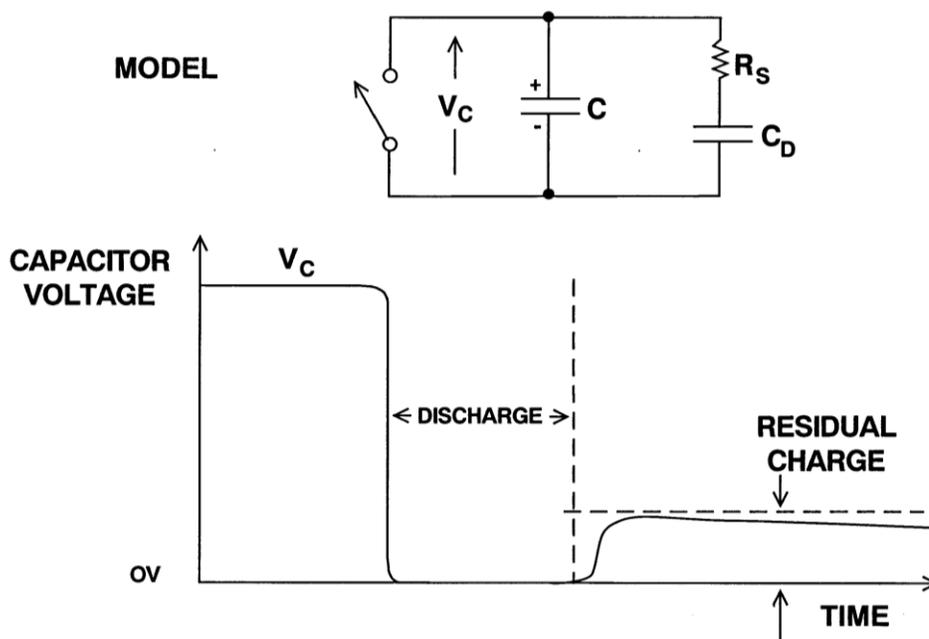
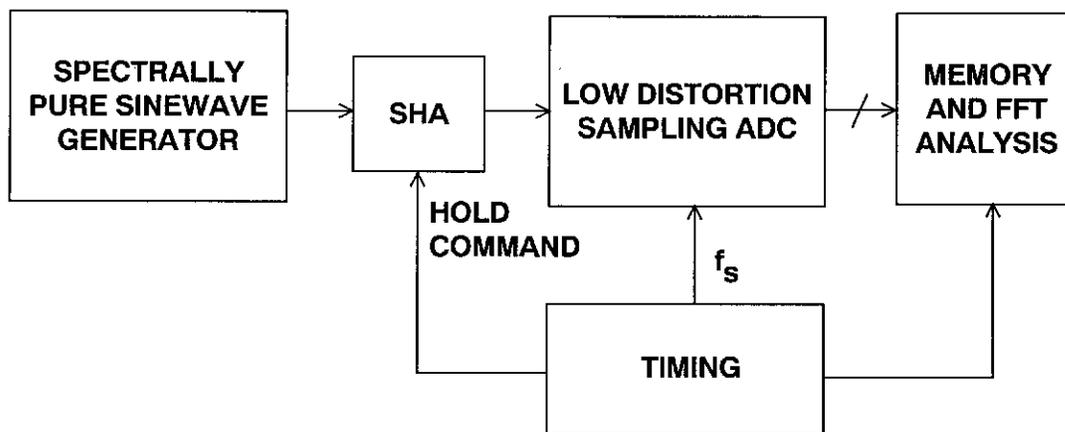


图13：电介质吸收

不同的电容材料具有不同的电介质吸收量，电介质电容最糟糕（泄漏也很高），某些高K陶瓷电容也很差，但云母、聚苯乙烯和聚丙烯电容一般较好。遗憾的是，产品批次不同，电介质吸收也会有所不同，有时连聚苯乙烯和聚丙烯电容也可能受批次影响。因此，购买用于SHA应用的电容时，增加30-50%的预算是明智的，并且应当购买制造商保证它具有低电介质吸收的器件，而不是购买一般认为它具有这种特性的某类电容。

SHA的杂散电容可能会让少量交流输入在保持期间耦合到输出，这种效应称为**馈通**，取决于输入频率和幅度。如果馈通到SHA输出的信号幅度大于 $\frac{1}{2}$  LSB，ADC就会发生转换错误。

许多SHA中，失真仅在跟踪模式下规定。*跟踪模式失真*常常远优于*保持模式失真*。跟踪模式失真不包括开关网络引起的非线性，当驱动ADC时，可能无法反映SHA的性能。现代SHA，特别是高速SHA，通常规定两种模式下的失真。跟踪模式失真可以利用模拟频谱分析仪测量，但保持模式失真应当利用图14所示的数字技术进行测量。将一个频谱纯净的正弦波应用于SHA，一个低失真高速ADC在保持时间快要结束时对SHA输出进行数字化。然后对ADC输出执行FFT分析，并计算失真成分。



**图14：测量保持模式失真**

在跟踪模式下，SHA噪声的规定和测量与放大器相似。峰峰值保持模式噪声利用示波器测量，然后除以6.6转换成均方根值。保持模式噪声可以用频谱密度( $\text{nV}/\sqrt{\text{Hz}}$ )来表示，或者用额定带宽内的均方根值来表示。除非另有说明，保持模式噪声必须与跟踪模式噪声合并以得出总输出噪声。有些SHA规定的是总输出保持模式噪声，其中包括跟踪模式噪声。

## 保持转跟踪模式规格

当SHA从保持切换到跟踪时，它必须重新获取输入信号（输入信号在保持模式期间可能已经发生满量程跃迁）。*获取时间*是指SHA从保持切换到跟踪时，重新获取信号并达到目标精度所需的时间间隔。该时间间隔开始于采样时钟沿的50%点，结束于SHA输出电压落在额定误差带以内时（通常规定0.1%和0.01%时间）。某些SHA还规定相对于保持电容电压的获取时间，而忽略输出缓冲器的延迟和建立时间。保持电容获取时间规格适用于高速应用，在这种应用中，必须为保持模式分配可能的最长时间。当然，输出缓冲器建立时间必须显著小于保持时间。

获取时间可以利用现代数字采样示波器(DSO)或数字荧光示波器(DPO)直接测量，这些示波器对大过驱不敏感。

## SHA架构

像运算放大器一样，SHA架构有许多种，我们将讨论最常见的几种架构。最简单的SHA结构如图15所示。输入信号由放大器缓冲，然后施加于开关。输入缓冲器可以是开环或闭环，可以提供或不提供增益。开关可以是CMOS、FET或双极性（使用二极管或晶体管），由开关驱动器电路控制。保持电容上的信号由输出放大器缓冲。有时将这种架构称为*开环架构*，因为开关不在反馈环路之内。注意，全部信号电压均施加于开关，因此它必须具有出色的共模特性。

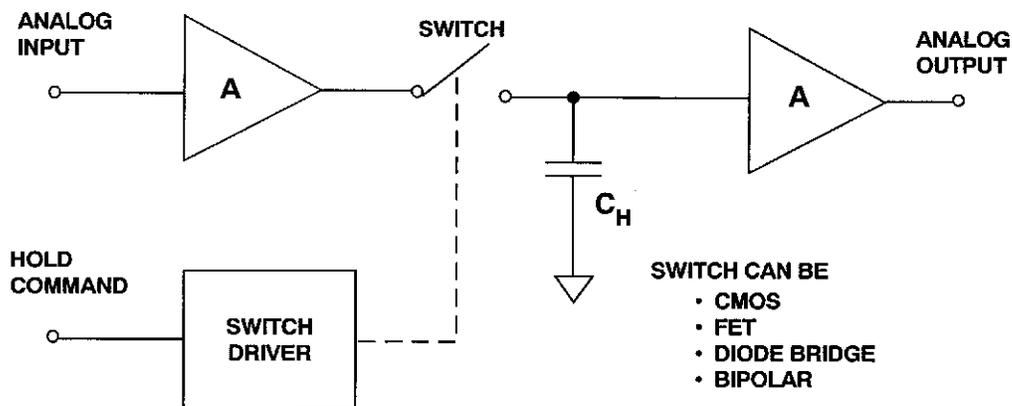


图15：开环SHA架构

图16显示了这种架构的一个实现方案，其中开关使用简单的二极管桥。在跟踪模式下，电流流经二极管桥D1、D2、D3和D4。对于快速压摆的输入信号，保持电容通过电流I充电和放电。因此，保持电容的最大压摆率等于 $I/C_H$ 。使电桥驱动电流反向会导致电桥反向偏置，从而将电路置于保持模式。利用保持输出信号自举关闭脉冲可以使共模失真误差最小，这对于该电路至关重要。反偏电桥电压等于D5和D6的正向压降加上串联电阻R1和R2上的压降。该电路速度非常快，特别是如果输入和输出缓冲器为开环跟随器，并且二极管为肖特基二极管。关闭脉冲可以利用高频脉冲变压器或电流开关产生，如图17所示。该电路可以在任何采样速率下使用，因为二极管开关脉冲直接耦合到电桥。自上世纪60年代中期起，这种电路的不同形式就已用于高速PC板、模块式、混合和IC SHA。

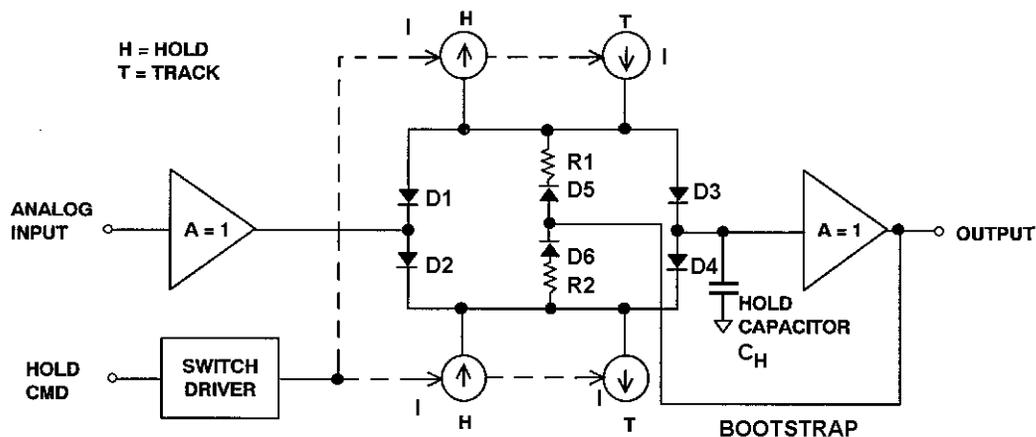


图16：使用二极管桥开关的开环SHA

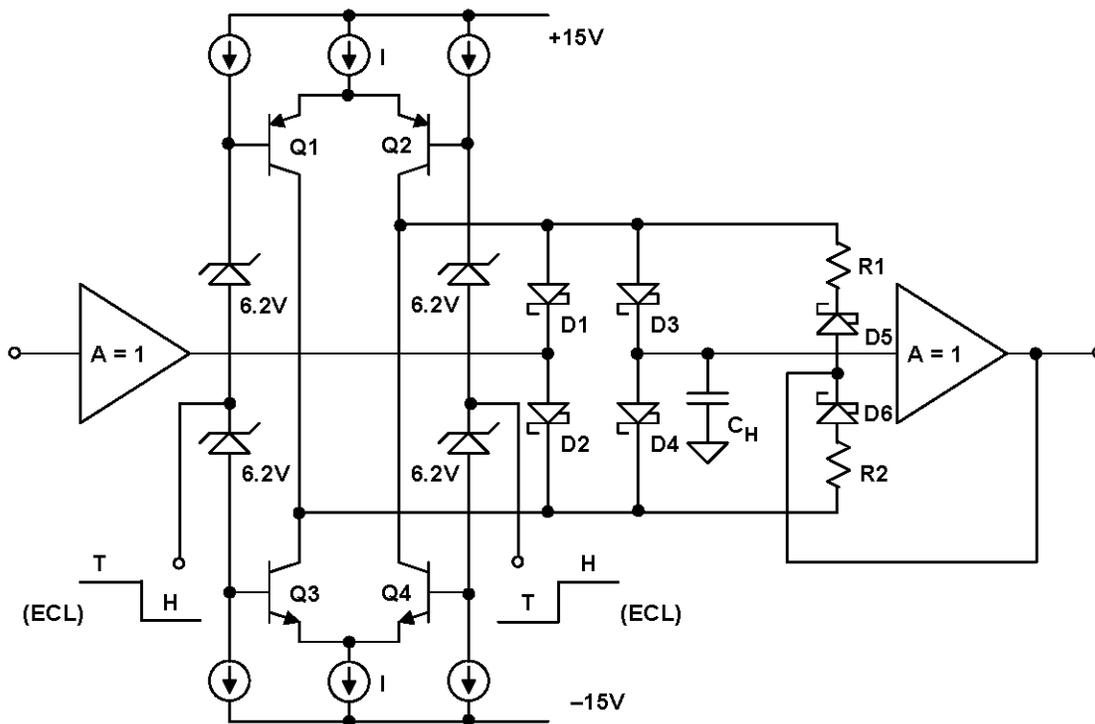


图17：开环SHA实现方案

图18所示的SHA电路是经典的闭环设计，已被许多CMOS采样ADC采用。由于开关始终在虚地工作，因此开关上不存在共模信号。

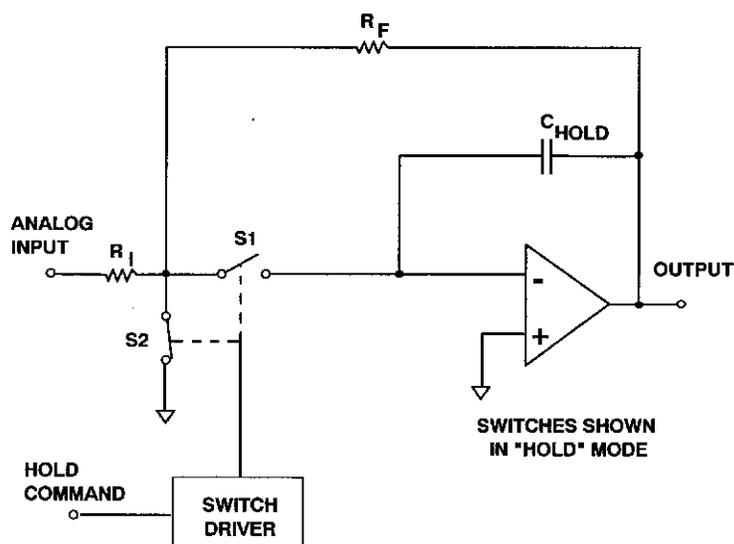


图18：基于反相积分器的闭环SHA，在求和点切换

开关S2是必需的，用以保持恒定的输入阻抗，防止输入信号在保持期间耦合到输出端。在跟踪模式下，SHA的传递特性由运算放大器决定，开关不会引入直流误差，因为开关位于反馈环路之内。利用图19所示的差分开关技术，可以将电荷注入的影响降至最小。

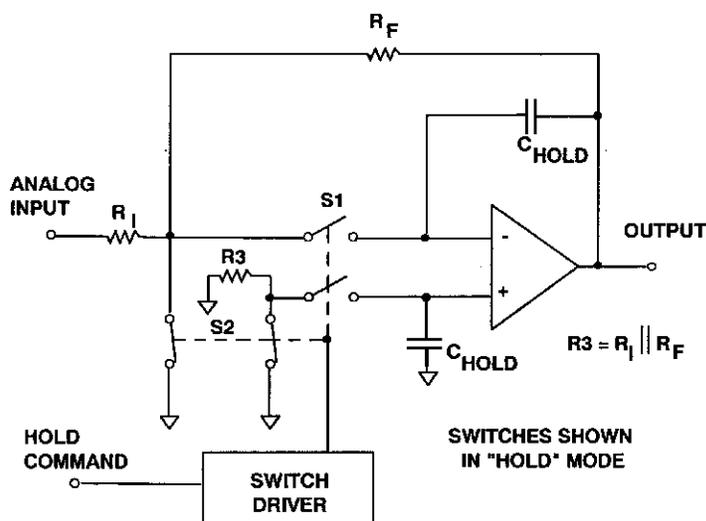
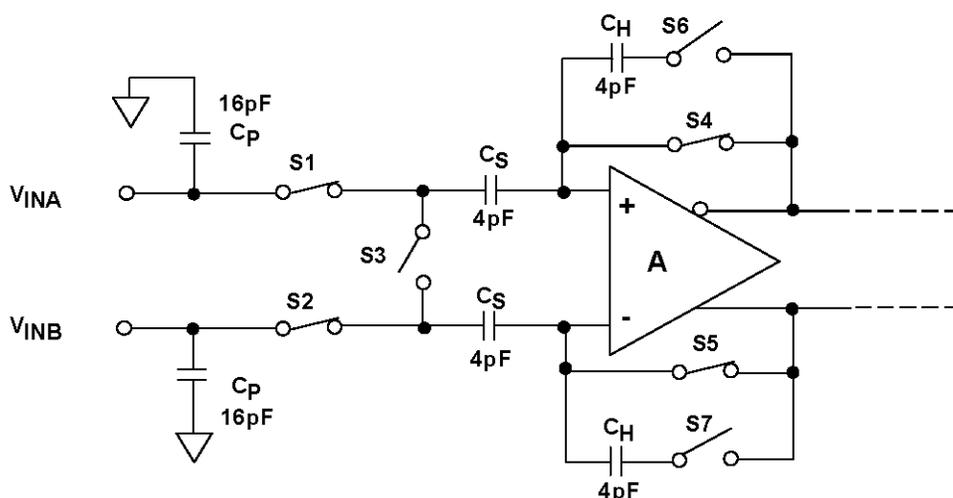


图19：差分开关减少电荷注入

## IC ADC的内置SHA电路

CMOS ADC由于低功耗和低成本而颇受欢迎。使用差分采样保持器的典型CMOS ADC的等效输入电路如图20所示。图中开关显示为跟踪模式，但应注意，它们以采样频率断开和闭合。16 pF电容代表开关S1和S2的有效电容以及杂散输入电容。 $C_S$ 电容(4 pF)是采样电容， $C_H$ 电容是保持电容。虽然输入电路完全是差分式，但该ADC结构既可以单端方式驱动，也可以差分方式驱动。然而，使用差分变压器或差分运放驱动一般可以获得最佳性能。



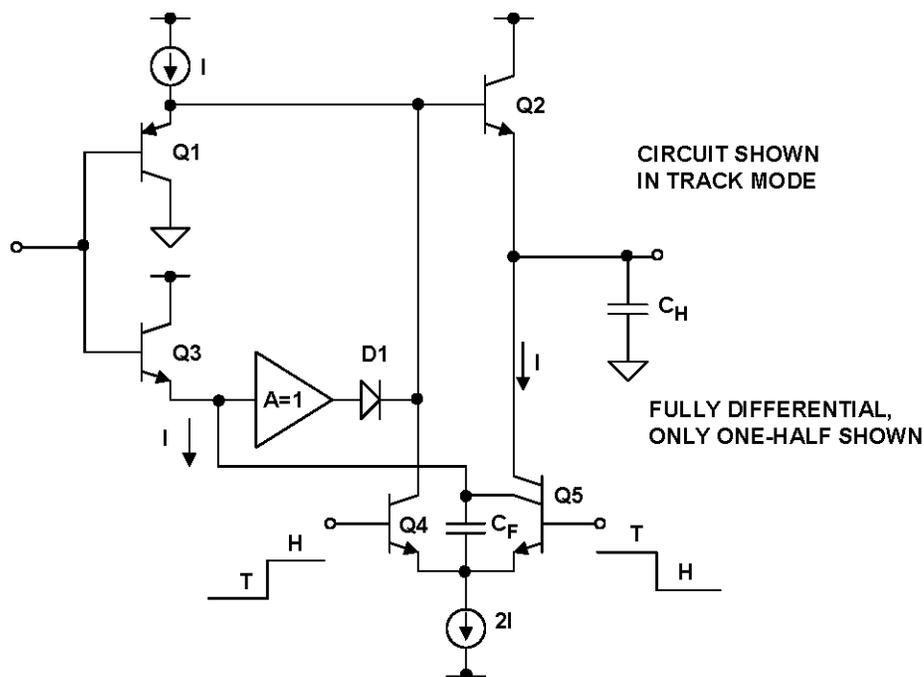
SWITCHES SHOWN IN TRACK MODE

图20：典型开关电容CMOS采样保持器的简化输入电路

在跟踪模式下，差分输入电压施加于 $C_S$ 电容。当电路进入保持模式时，采样电容上的电压转移到 $C_H$ 保持电容上，由放大器A缓冲（开关由适当的采样时钟相位控制）。当SHA返回跟踪模式时，输入源必须将 $C_S$ 上的电压充电或放电到新的输入电压。 $C_S$ 的这种充电和放电动作（求一定时间内的平均值，以给定的采样频率 $f_s$ 进行），使输入阻抗呈现为一个有利的阻性元件。然而，如果在采样周期( $1/f_s$ )内分析该动作，输入阻抗将是动态的，必须考虑输入驱动源的一些注意事项。

输入阻抗的阻性部分可以通过计算 $C_H$ 从输入驱动源获取的平均电荷而算出。可以看出，如果在开关S1和S2打开之前让 $C_S$ 完全充电至输入电压，那么进入输入端的平均电流就像是在输入端之间连接了一个等于 $1/(C_S f_s)$ 的电阻。由于 $C_S$ 仅为数pF，因此当 $f_s = 10$  MSPS时，阻性部分通常大于数k $\Omega$ 。

图21显示了1995年推出的12位41 MSPS ADC [AD9042](#) 采用的输入SHA的简化电路（参考文献7）。AD9042采用高速互补双极性工艺(XFCB)制造。电路包括两个独立的并联SHA，构成全差分工作方式，图中仅显示了一半电路。全差分工作方式可以减小下降率引起的误差，同时还能降低二阶失真。在跟踪模式下，晶体管Q1和Q2提供单位增益缓冲。当电路被置于保持模式时，Q2的基极电压被拉至负值，直到被二极管D1箝位。片内保持电容 $C_H$ 的标称值为6 pF。Q3与 $C_F$ 一起提供输出电压自举功能，并减小Q2的 $V_{BE}$ 变化，进而降低三阶信号失真。20 MHz时，跟踪模式THD通常为-93 dB。在时域中，12位精度的满量程获取时间为8 ns。在保持模式下，Q3和 $A = 1$ 缓冲器的电压自举动作与Q2的低馈通寄生效应一起，使信号相关的基底变化最小化。12位精度的保持模式建立时间为5 ns。在50 MSPS时钟速率和20 MHz输入信号下，保持模式THD为-90 dB。



**图21：1995年推出的12位41 MSPS ADC AD9042采用的SHA**

图22所示为近年推出的14位105 MSPS ADC [AD6645](#)中使用的差分SHA一半电路的原理示意图（参考文献9详细描述了该ADC，包括SHA）。在跟踪模式下，Q1、Q2、Q3和Q4形成一个互补射极跟随器缓冲器，驱动保持电容 $C_H$ 。在保持模式下，Q3和Q4的基极极性反转，箝位在低阻抗，从而关闭Q1、Q2、Q3和Q4，导致输入端信号与保持电容之间产生双重隔离。如前所述，箝位电压由保持输出电压自举，以便最大程度地减小非线性效应。

跟踪模式线性度主要取决于 $C_H$ 充电时Q3和Q4的 $V_{BE}$ 调制。保持模式线性度取决于跟踪模式线性度和跟踪转保持时的非线性误差，引起该非线性误差的原因是Q3和Q4的基极电压切换不平衡，以及由此导致的Q3和Q4关闭时通过其基极-射极结注入的电荷不平衡。

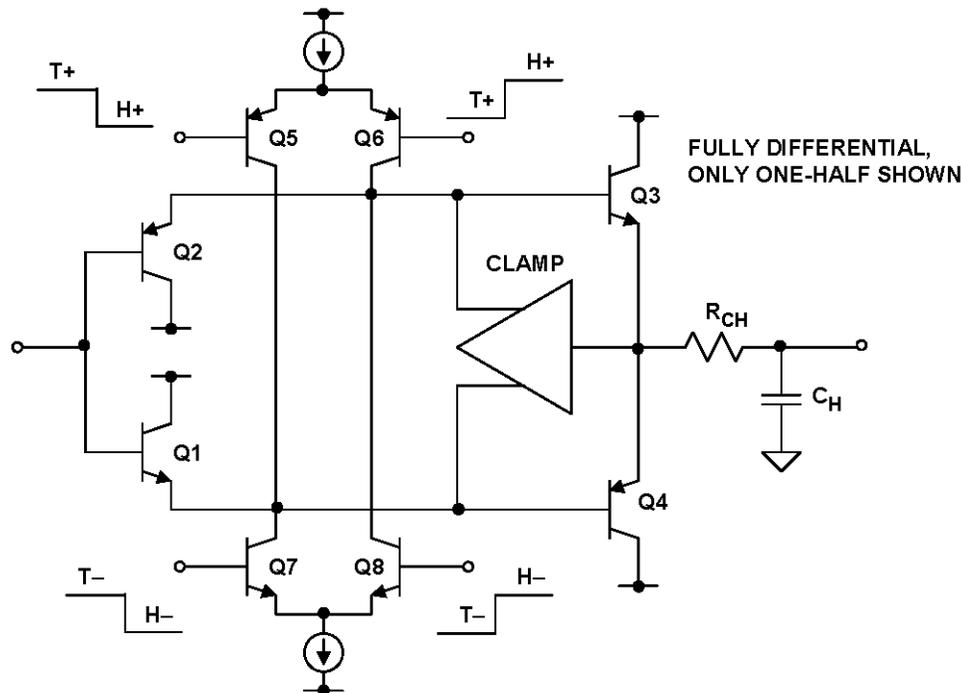


图22：2000年推出的14位105 MSPS ADC AD6645采用的SHA

## SHA应用

目前来说，SHA的最大应用是驱动ADC。大多数用于信号处理的现代ADC都是采样ADC，内置针对转换器设计而优化的SHA。采样ADC的直流和交流性能均是完全明确的，只要有可能，就应当取代分立式SHA/ADC组合。仅在极少的情况下，特别是那些要求宽动态范围和低失真的应用，使用分立组合可能是有利的。

图23显示了一个类似的应用，它利用低失真SHA来降低代码相关DAC毛刺的影响。就在要将新数据锁存至DAC之前，将SHA置于保持模式，从而将DAC开关毛刺与输出隔离。SHA产生的开关瞬变与代码无关，并且以更新频率出现，因此很容易予以滤除。这种技术在低频时可能有用，可以改善DAC的失真性能，但对于专门为DDS应用而设计、更新速率为数百MHz的高速低毛刺低失真DAC，价值则不大。

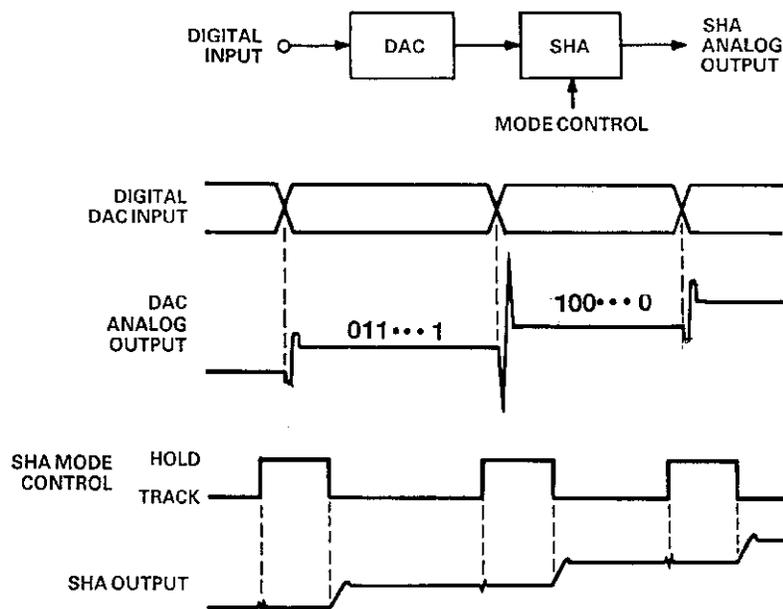


图23：SHA用作DAC限变器

在同步采样系统中，与每通道使用一个ADC的方案相比，使用多个SHA、一个模拟多路复用器和单个ADC的方案往往更具经济性（图24）。同样，在数据分配系统中，可以使用多个SHA将单个DAC的顺序输出路由到多个通道，如图25所示，但这种做法不太普遍，因为使用多个DAC的方案通常更好。

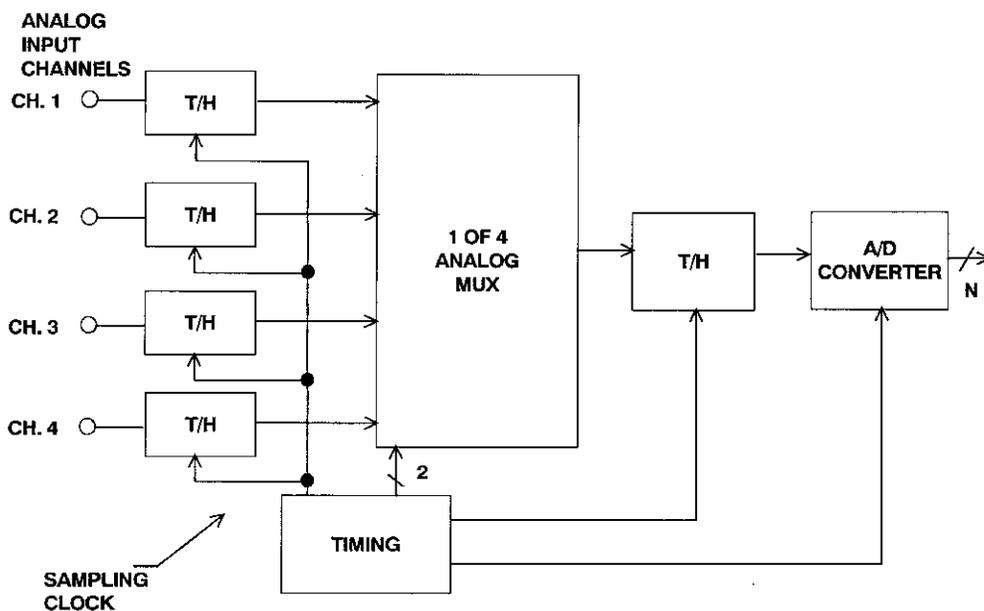


图24：使用多个SHA和单个ADC的同步采样

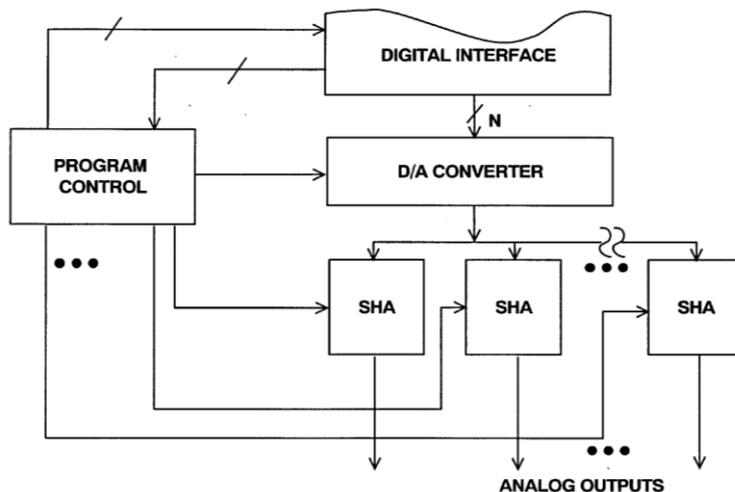


图25：使用多个SHA和单个DAC的数据分配系统

SHA的最后一个应用如图26所示：在一个数据采样系统中，多个SHA级联起来以产生模拟延迟。在SHA 1的保持间隔时间快要结束之前，SHA 2被置于保持模式。因此，总流水线延迟时间大于采样周期 $T$ 。这种技术常常用于多级流水线式分级ADC中，以提供连续多级的转换延迟。在流水线式ADC中，50%占空比的采样时钟很普遍，因而可以利用交替的时钟相位来驱动流水线中的各SHA（流水线式ADC详见教程MT-024）。

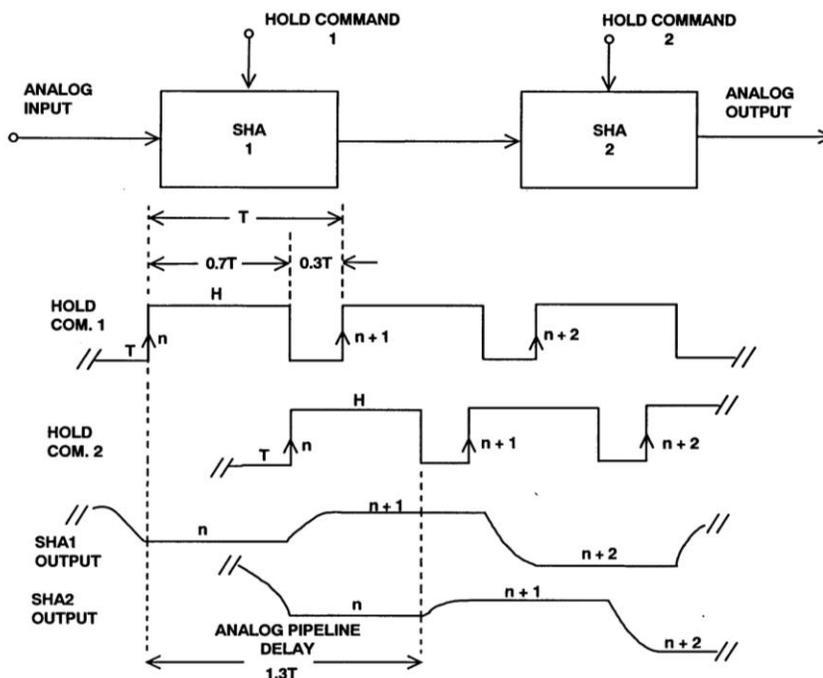


图26：用于产生模拟流水线延迟的SHA

## 参考文献：

1. Alec Harley Reeves, "Electric Signaling System," *U.S. Patent* 2,272,070, filed November 22, 1939, issued February 3, 1942. Also *French Patent* 852,183 issued 1938, and *British Patent* 538,860 issued 1939. (典型的PCM专利, 包括对5位6-kSPS真空管ADC和DAC的说明)。
2. L. A. Meacham and E. Peterson, "An Experimental Multichannel Pulse Code Modulation System of Toll Quality," *Bell System Technical Journal*, Vol 27, No. 1, January 1948, pp. 1-43. (介绍经过诸多努力, 最终开发出这款24通道PCM实验系统。此外, 本文描述了一个基于脉冲变压器驱动器的50 kSPS真空管采样保持电路)。
3. J. R. Gray and S. C. Kitsopoulos, "A Precision Sample-and-Hold Circuit with Subnanosecond Switching," *IEEE Transactions on Circuit Theory*, CT11, September 1964, pp. 389-396. (详细介绍由固态变压器驱动的二极管桥SHA, 并对电路及其相关误差进行了详细的数学分析)。
4. J. O. Edson and H. H. Henning, "Broadband Codecs for an Experimental 224Mb/s PCM Terminal," *Bell System Technical Journal*, Vol. 44, pp. 1887-1940, Nov. 1965. (概述基于电子管编码器和每级一位格雷码9位固态ADC的ADC实验。电子束编码器为9位、12MSPS, 是当时该类型中最快的。)
5. D. J. Kinniment, D. Aspinall和D.B.G.Edwards, "High-Speed Analogue-Digital Converter," *IEE Proceedings*, Vol. 113, pp. 2061-2069, Dec. 1966. (介绍一款7位9MSPS三级流水线式纠错转换器, 该转换器通过一个3位级进行三次循环。隧道(Esaki)二极管用作单个比较器。该文献还提出了一种更快的流水线式7位架构, 使用3个独立的3位级提供纠错功能。此外还介绍了一种由变压器驱动的快速自举二极管桥采样保持电路)。
6. A. Horna, "A 150Mbps A/D and D/A Conversion System," *Comsat Technical Review*, Vol. 2, No. 1, pp. 39-72, 1972. (介绍分级ADC, 包括对采样保持电路的详细分析)。
7. Roy Gosser and Frank Murden, "A 12-bit 50MSPS Two-Stage A/D Converter," *1995 ISSCC Digest of Technical Papers*, p. 278. (关于AD9042纠错分级ADC的说明, 其内部ADC使用MagAMP级)。
8. Carl Moreland, "An 8-bit 150 MSPS Serial ADC," *1995 ISSCC Digest of Technical Papers*, Vol. 38, p. 272. (介绍具有5个折叠级后接一个3位Flash转换器的8位ADC, 包括对采样保持电路进行了探讨)。
9. Carl Moreland, Frank Murden, Michael Elliott, Joe Young, Mike Hensley, and Russell Stop, "A 14-bit 100-Msample/s Subranging ADC," *IEEE Journal of Solid State Circuits*, Vol. 35, No. 12, December 2000, pp. 1791-1798. (介绍14位105MSPS AD6645 ADC的架构, 以及采样保持电路)。
10. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. 另见[Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 7.

11. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 7. 另见[The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 7.

© 2009 Analog Devices, Inc 保留所有权利。对于客户产品设计、客户产品的使用或应用，以及因ADI公司协助而可能导致的任何侵权，ADI公司概不负责。所有商标和标志均属各自所有人所有。ADI公司应用与开发工具工程师提供的信息准确可靠，但ADI公司对其技术指南所提供内容的技术准确性和时效性不承担责任。