

アナログ・デバイセズに寄せられた珍問／難問集 Issue 165

ディファレンス・アンプ回路の抵抗は外付けでよいのか？

著者：Jordyn Ansari、Chau Tran

質問：

ディファレンス・アンプ回路を使用したいと考えています。ディスクリートの抵抗をオペアンプに外付けして構成すればよいと思っているのですが、抵抗を集積したディファレンス・アンプ製品も存在するようです。両者には、どのような違いがあるのですか？



回答：

ディスクリート構成のディファレンス・アンプ回路は、非常にシンプルなものですが、オペアンプと4つの抵抗で構成される回路の設計が複雑になるはずもないでしょう。

しかし、出来上がった回路の性能は、設計者が望むほど高くないかもしれません。以下では、現実の設計において、ディスクリート抵抗を使用する場合に生じるいくつかのデメリットについて見ていきます。具体的には、ゲイン精度、ゲイン・ドリフト、AC同相ノイズ除去（CMR）、オフセット・ドリフトなどの面で問題が生じる可能性があります。

図1に示したのが、4つの抵抗を使用して構成した従来型のディファレンス・アンプ回路です。

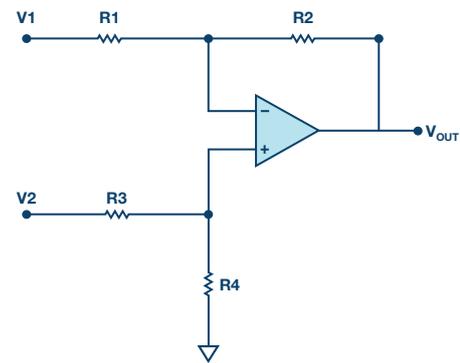


図1. ディスクリート構成のディファレンス・アンプ回路

この回路の伝達関数は、次のとおりです。

$$V_{OUT} = \left(\frac{R4}{R3 + R4} \right) \times \left(\frac{R1 + R2}{R1} \right) \times V2 - \left(\frac{R2}{R1} \right) \times V1$$

$R1 = R3$ 、 $R2 = R4$ となるように抵抗値を選択すると、上式は以下のように簡素化できます。

$$V_{OUT} = \left(\frac{R2}{R1} \right) \times (V2 - V1)$$

このように簡素化すれば、期待する信号が容易に得られるように思えます。しかし、現実には、各抵抗の値が完璧に一致することはありません。また、各抵抗の精度は高いとは言えず、温度係数も大きいので、この回路ではかなりの誤差が生じます。

例えば、理想的な性能のオペアンプを使用し、許容誤差が1%、温度ドリフトが100ppm/°Cの標準的な抵抗を使ってゲインを設定するとします。その場合、初期状態のゲイン誤差は最大2%に達し、それが最大200ppm/°Cで変化する可能性があるということになります。この問題に対する1つの解決策は、高い精度でゲインを設定できるモノリシック型の抵抗回路を使用することです。しかし、そうした製品は、サイズが大きくコストがかかります。ディスクリートの抵抗を使用するほとんどの差動オペアンプ回路は、精度が低く、温度ドリフトが大きいことに加えて、CMR性能が低く、電源電圧より低い入力電圧しか扱えません。一方、モノリシック型の計装アンプでは、ゲイン・ドリフトが問題になります。内蔵プリアンプの抵抗が、RGピンに外付けで接続されるゲイン設定用の抵抗と完全にマッチングすることはないからです。

こうしたすべての問題に対する最良の解決策は、「AD8271」のようなゲイン設定用の抵抗を内蔵するディファレンス・アンプ製品を使用することです。通常、この種の製品は、精度が高く歪みの小さいオペアンプとトリミングを施された複数の抵抗で構成されます。それらの抵抗を活用すれば、ディファレンス・アンプだけでなく、非反転増幅回路や反転増幅回路など、多様なアンプ回路を構成できます。また、それらの内蔵抵抗を並列に接続すると、更に広範な種類の回路を構成することが可能です。内蔵抵抗を活用すれば、ディスクリート構成の設計に勝る複数のメリットを享受できます。

多くの場合、オペアンプ回路のDC性能は、使用する抵抗の精度に依存します。上記の内蔵抵抗は、レーザー・トリミングによって、厳密にマッチングがとられています。また、そのマッチング精度は、試験によって確認されています。そのため、ゲイン・ドリフト、CMR、ゲイン誤差など、各種仕様については高い精度が保証されています。例えば、図1の回路を集積した場合、図2に示すように、ゲイン誤差は0.1%、ゲイン・ドリフトは10ppm/°C未満に抑えられます。

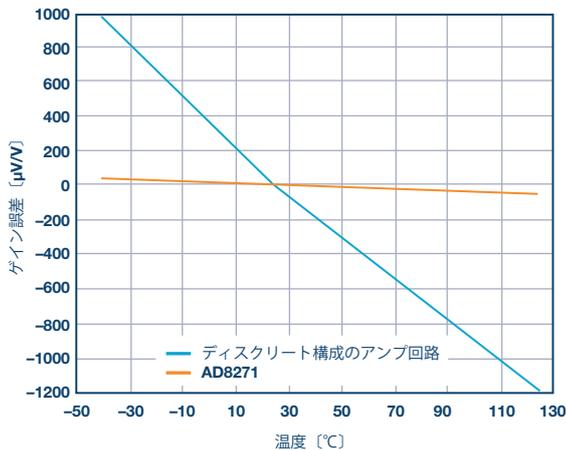


図2. ゲイン誤差と温度の関係。AD8271とディスクリート構成のアンプ回路を比較しています。

AC性能

モノリシック型のディファレンス・アンプ製品が内蔵する回路のサイズは、プリント回路基板上でディスクリート部品を使って構成した回路よりもはるかに小さくなります。つまり、IC化されている方が回路に付随する寄生要素が小さくなるので、AC性能も高くなります。例えば、AD8271が内蔵するオペアンプの反転入力ノードと非反転入力ノードは、外部ピンとして外に出されてはいません。これらのノードがプリント基板上のパターンに接続されないようにすることで、寄生容量を低く抑え、周波数に対するループの安定性とCMR性能 (CMRR) を向上させています (図3)。

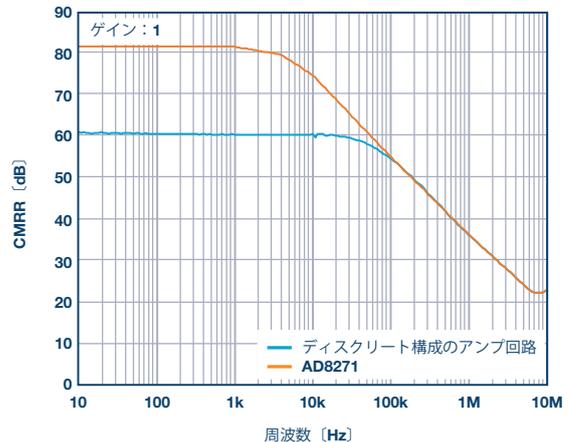


図3. CMRRと周波数の関係。AD8271とディスクリート構成のアンプ回路を比較しています。

ディファレンス・アンプの重要な機能は、両方の入力に共通する信号を除去することです。図1において、R1~R4の抵抗が完璧にマッチングしていない場合 (あるいは、ゲインが1より大きく、R1とR2、R3とR4の比率が一致していない場合)、同相電圧の一部がディファレンス・アンプによって増幅されます。その増幅された信号は、本来の信号と区別できず、V1とV2の差が増幅されたものとしてV_{OUT}に現れます。CMRは、同相電圧を除去するディファレンス・アンプの能力のことです。この能力は、同相ノイズ除去比 (CMRR) と呼ばれ、V/V単位またはdB単位の値として表されます。図4の出力電圧と同相電圧のグラフからわかるように、ディスクリートの抵抗には、レーザー・トリミングされた抵抗ほどのマッチング精度はありません。

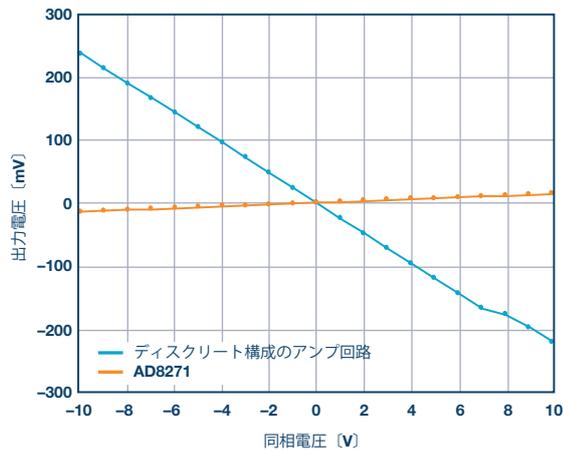


図4. 出力電圧と同相電圧の関係。AD8271とディスクリート構成のアンプ回路を比較しています。

オペアンプが理想的なものと仮定すると、ディファレンス・アンプ回路のCMRRは、次の式で表わせます。

$$CMRR \cong \frac{A_d + 1}{4t}$$

ここで、 A_d はディファレンス・アンプ回路のゲイン、 t は抵抗の許容誤差です。つまり、ユニティ・ゲインの回路で許容誤差が1%の抵抗を使用している場合、CMRRは50V/V（または約34dB）となります。一方、誤差が0.1%以下のトリミング済みの抵抗を使用した場合、CMRRは54dBに達します。仮に、CMRが無限大の完璧なオペアンプを使用できるとしても、回路全体のCMRRは、抵抗のマッチングによる制約を受けます。低価格のオペアンプの中には、最小CMRRが60dB～70dB程度のももあり、そうした製品を使用すると誤差は更に大きくなります。

許容誤差の小さい抵抗

通常、オペアンプは定められた動作温度範囲内では適切に動作します。しかし、外付けのディスクリート抵抗を使用する場合には、その温度係数を考慮する必要があります。抵抗を内蔵するオペアンプ製品の場合、抵抗のトリミングによって、ドリフトをマッチングさせることができます。

また、内蔵抵抗は、ドリフトがすべて同等になるよう互いの近くに配置されます。そのため、オフセットの温度係数も抑えられます。ディスクリート構成の場合、抵抗はプリント基板上に分散して配置されます。ICの内蔵抵抗ほどのマッチングは得られないため、図5に示すように、オフセットの温度係数は大きくなります。

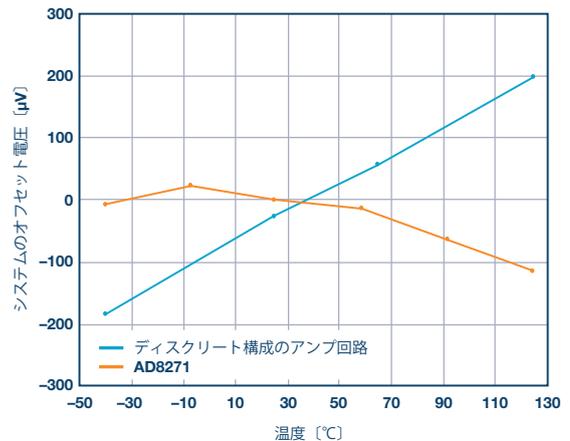


図5. システムのオフセットと温度の関係。AD8271とディスクリート構成のアンプ回路を比較しています。

4つの抵抗を使用するディファレンス・アンプ回路は、ディスクリート構成であるかモノリシック型であるかにかかわらず、広く用いられています。ただ、プリント基板に複数のディスクリート部品を配置するよりも、1つのICだけを配置する方が、素早く効率的にボードを構築できます。また、実装面積を大きく節約することも可能です。

最終製品に適用できる堅牢な回路を構築するには、ノイズのゲインと入力電圧範囲について慎重に検討し、80dB以上のCMR性能を達成しなければなりません。ICが内蔵する抵抗は、ドリフトの小さい薄膜材料によって製造されるため、温度が変化しても優れたマッチング性能を示します。

まとめ

本稿で示したように、ゲイン設定用の抵抗を内蔵するディファレンス・アンプ製品は、ディスクリート構成のディファレンス・アンプ回路よりもはるかに優れた性能を実現できます。

著者：

Jordyn Ansari (jordyn.ansari@analog.com) は、アナログ・デバイセズのリニア製品/ソリューション・グループに所属するプロダクト・エンジニアです。ウースター工科大学 (WPI) で電気工学とコンピュータ工学の学士号を取得した後、2014年1月にアナログ・デバイセズに入社しました。



Jordyn Ansari

Chau Tran (chau.tran@analog.com) は、アナログ・デバイセズの計装アンプ製品 (IAP) グループ (マサチューセッツ州ウィルミントン) に所属しています。1984年に入社しました。1990年に、タフツ大学で電気工学の修士号を取得しています。10件以上の特許を保有しており、10本以上の技術論文を執筆しています。



Chau Tran