

Rarely Asked Questions

アナログ・デバイセズに寄せられた珍問／難問集より

複数のクロック・エッジに注意!

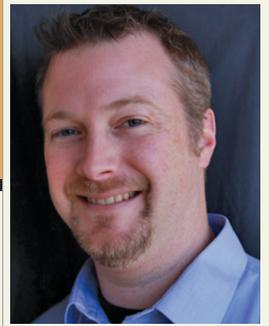
Q. 複数のクロックを使用する場合、どうすればシステム性能を改善できるでしょうか?

A. 同じクロック源から生成される複数のクロックを使用する場合に問題となるのは、一般的にはノイズ(通常はノイズ・フロアから発生するスプリアス)です。この問題が生じるのは、単一のクロック源が逡倍されて使用されたり、複数の同じクロックに分割されて使用されることによります。各クロックの隣接エッジをずらせば、システムのタイミング・マージンに応じて、ノイズのスプリアスを低減、あるいは完全に除去することができます。この現象は、クロック信号の破損が時間領域内の干渉の位置と関連がある時変システムにみられます。干渉が起こる位置は固定されるので、クロック破損の程度は線形システムの場合と同じように干渉の大きさに比例します。

一例として、AD9516クロック・ジェネレータからの2つの出力をみてみましょう。1つの出力は100MHzでADCに接続され、もう1つは25MHz ($1/4 \times f_{\text{SAMPLE}}$) でFPGAのクロックとして使用されます。立上がりエッジと立下がりエッジは、ほぼ同時に両方の出力クロックで発生します。高速で移動する広帯域幅を持つエッジが、不都合なことに10nsごとに2回発生するため、カップリング効果が生じます。この遷移期間中は、内部ノイズまたは外部からのノイズを低く抑える必要があります。クロックの遷移期間にジッタまたはノイズが存在すると、そのときだけADCのタイミングが損なわれる可能性があります。スルーレートを速くしてエッジの速度を上げれば、スレッシュホールド領域は小さくなるので、スレッシュホールド期間にノイズが存在する時間も必然的に短くなります。その結果、システムに生じるRMS(実効値)のジッタが効果的に低減されます。クロックが定常状態(ローレベルまたはハイレベル状態)を維持していれば、クロックのノイズは特に関係ありません。したがって、単に25MHzクロックと100MHzクロックのいずれか一



方を遅延させるだけで、それらは時間的に分離されるため、干渉の位置も変わります。要するに、一方のクロックの遷移エッジを、他方のクロックの定常状態期間に生じるよう調整する必要があります。ここで生じているものは、本質的には、隣接パターン間のクロストークによる誘導ジッタ(ノイズ)です。あるパターンに信号が流れ、そばの並列パターンで変動電流が流れると、電圧が信号パターンに誘起されます。それがクロック信号の場合は、クロック・エッジの発生時間が変調されてしまいます。この場合に問題が生じるのは、それらのエッジが近隣に配置され、ほぼ同時に発生するときです。



筆者紹介:

Rob Reederは、1998年以降、米国ノースカロライナ州グリーンズボロにあるアナログ・デバイセズで高速コンバータ・グループの上級コンバータ・アプリケーション・エンジニアとして働いています。イリノイ州デカルブの北イリノイ大学で1996年にBSEE(電気工学士)、1998年にMSEE(電気工学修士)を取得しています。余暇には、音楽のミキシング、美術を楽しむほか、2人の息子とバスケットボールをしったりします。

この記事に関する

ご意見・ご感想は、

marcom.japan@analog.com

までお寄せください。

その他のRAQについては、

www.analog.com/jp/RAQ

をご覧ください。



www.analog.com/jp