

R A Q ' s

Rarely Asked Questions

アナログ・デバイセズに寄せられた珍問／難問集より

高速コンバータのPCボード設計について
その2: 電源プレーンとグラウンド・プレーンを使用する利点

Q. 高速コンバータを使用するとき、PCボードのレイアウトで気をつける点がありますか？

A. このRAQの「その1」では、設計においてやむを得ない事情がない限りAGNDとDGNDを分離する必要がないことをご説明しました。「その2」では、PCボード (PCB) の給電システム (PDS) の設計についてお話ししましょう。見落とされることが多いのですが、この作業はシステム・レベルで考えるアナログ設計者やデジタル設計者にとっては非常に重要なのです。

PDSの設計目標は、電源電流の需要に応じて発生する電圧リップルを最小限に抑えることです。すべての回路が電流を必要としています。ある回路は他の回路より多くの電流を、また別の回路は他の回路よりも早い速度の切り替え電流を必要とします。デカップリングが適正で、PCBスタックが良好な低インピーダンスの電源／グラウンド・プレーンであれば、回路の電流需要によって発生する電圧リップルを最小限に抑えることができます。たとえば、設計上負荷のスイッチング電流が1Aで、PDSの出力インピーダンスが10mΩを持っている場合、最大電圧リップルは10mVになります。

まず、大きなプレーン容量に対応できるPCBスタックを設計する必要があります。たとえば、最上層の信号用、グラウンド1用、電源1用、電源2用、グラウンド2用、最下層の信号用で6層のスタックを構成してみましょう。グラウンド1と電源1はスタック内の近い位置を指定します。これらを2～3mil分離すれば、固有のプレーン・コンデンサになります。このコンデンサが魅力的なのは何といってもタダだということにあります。PCBの製造用のノートに指定するだけでよいのですから。電源プレーンを分割して、同じプレーンに複数のVDD (電源電圧) レールを配置しなければならない場合は、そのプレーンを最大限利用しましょう。空いている場所が



ないようにしてください。しかし、同時に影響を受けやすい回路にも注意してください。こうすることで、VDDプレーンの容量を最大化することができます。さらに層を増やすことができる場合、この例で言えば6層ではなく8層の設計が可能な場合は、電源1と電源2の間に2個のグラウンド・プレーンを追加し、同じく2～3milのコア間隔を設けることで、スタック内の固有の容量を倍増することができます。PCBスタックが完全なものになったら、電源プレーンの基点となるエントリ・ポイントとDUTの周りのポイントの両方にデカップリングを行います。これによって、全周波数範囲でPDSインピーダンスを低減できます。この周波数範囲に対応するために0.001μF～100μFまでの値を持つコンデンサをいくつか使用します。コンデンサをあちこちにばら撒く必要はありません。コンデンサとDUTをぶつかるように配置すれば、製造上のあらゆるルールを破ることになります。そのような思い切った手段が必要になるとすれば、回路内では何か別のことが発生しているはずです。



筆者紹介：

Rob Reederは、1998年以降、米国ノースカロライナ州グリーンズボロにあるアナログ・デバイセズで高速コンバータ・グループの上級コンバータ・アプリケーション・エンジニアとして働いています。イリノイ州デカルブの北イリノイ大学で1996年にBSEE (電気工学士)、1998年にMSEE (電気工学修士) を取得しています。余暇には、音楽のミキシング、美術を楽しむほか、2人の息子とバスケットボールをしります。

この記事に関する

ご意見・ご感想は、

marcom.japan@analog.com

までお寄せください。

その他のRAQについては、

www.analog.com/jp/RAQ

をご覧ください。



www.analog.com/jp