

アナログPLLとの比較で知る、 シングルチップDDSならではの 魅力

低消費電力、低コスト、小型でAC性能に優れた
DAC内蔵型のDDS IC

著者：Jim Surber、Leo McHugh

C-DDS (Complete-Direct Digital Synthesizer) ICは、アジャイルな周波数合成の用途において、アナログ方式のフェーズ・ロック・ループ (PLL) に代わる魅力的な選択肢となっています。これまでも、DDSは、精度が高く、周波数に対してアジャイルで (広い範囲で高速に周波数を変更できる)、歪みの小さい波形を生成することが可能な優れた技術として認識されてきました。図1に示したのが、DDS (Direct Digital Synthesis) のアーキテクチャです。このアーキテクチャの目的は、安定性の高いリファレンス・クロックを基準とし、デジタル方式で正弦波信号を生成することです。そのためのものとして、高精度の位相アキュムレータとデジタル信号処理技術が適用されています。正弦波の生成は、それに対応するデジタル・データを高速D/Aコンバータ (DAC) に入力し、アナログ出力を得るという方法で実現します。

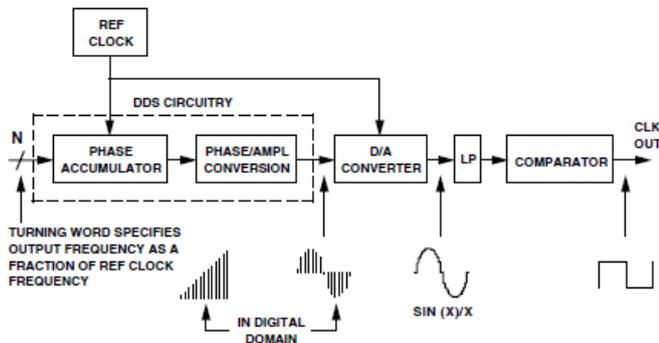


図1. DDSの標準的なアーキテクチャ

DDSを使えば、出力周波数と位相をデジタル・プロセッサの制御によって高精度かつ迅速に調整することができます。実際、DDSの特性として、極めて高い分解能で周波数と位相を調整することが可能です。例えば、mHz単位で周波数を制御したり、0.09°未満の単位で位相を制御したりすることができます。加えて、高速な周波数ホッピングも実現可能です。必要があれば、1秒あたりに最大2300万回も出力周波数を切り替えられます。このような特徴を組み合わせることで、DDS技術は防衛用のレーダーや通信システム分野で広く普及しました。実際、以前は、ハイエンドのアプリケーションや防衛用のアプリケーションには、ほぼ例外なくDDS技術が採用されていました。しかし、当時のDDSは、高価で、消費電力が多く (その量は単位がWのレベル)、実現が困難なものでした。なぜなら、ディスクリートの高速DACが必要なことに加え、システムのインターフェースについて、使いにくい一連の要件が存在したからです。

そのような状況を受けて、アナログ・デバイス社は、CMOSのデジタル・シンセサイザ技術を利用した画期的な製品ファミリを開発しました。それらは、1チップでDDS機能を実現する非常に魅力的なソリューションです。[AD9850]と[AD9830]は、それぞれ周波数が125MHzと50MHzのクロック (リファレンス・クロック) に対応するC-DDS製品です。いずれも、分解能が10ビットのDACを内蔵しています (図2、図3)。また、出力の歪みを小さく抑えるために最適化が施されています。そのため、いずれもクロック周波数が40MHzの場合に、狭帯域で72dBc、広帯域で最大54dBcのスプリアスフリー・ダイナミック・レンジ (SFDR) を実現します。加えて、表面実装型の小さなパッケージ、超低消費電力 (電源電圧が3.3Vの場合で155mW)、充実した機能、低価格といった特徴を備えています。そのため、これらの製品はDDS技術の最先端に位置するものと言えます。これらの製品であれば、コストが重視される量産型の民生向けシンセサイザ・アプリケーションにも対応することが可能です。アジャイルなアナログ周波数生成向けのものとして、アナログ・ベースのフェーズ・ロック・ループ (PLL) 技術に代わる実用的な選択肢となっています。

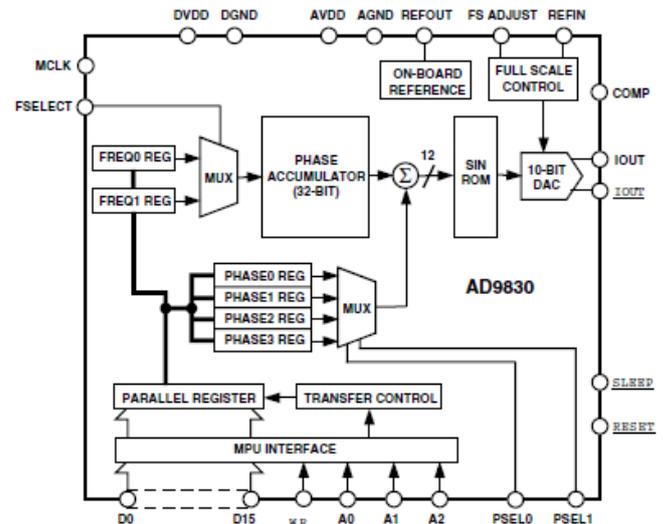


図2. 50MHzのクロックに対応する
AD9830のブロック図

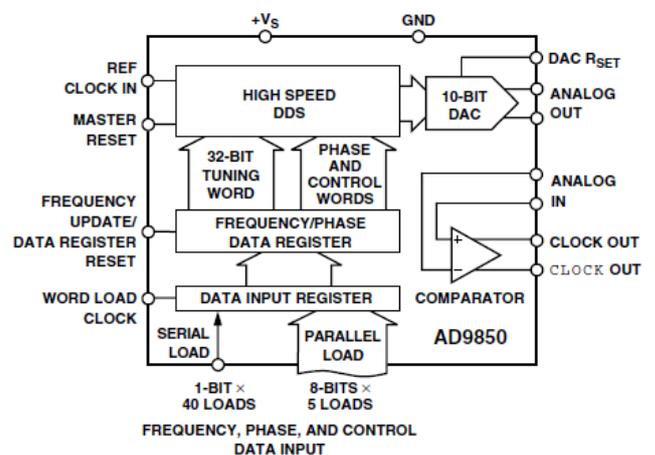


図3. 125MHzのクロックに対応する
AD9850のブロック図

従来、局部発振器 (LO) やアップ/ダウン周波数変換段の分野ではPLLベースのアナログ・シンセサイザが独占的な状況を築いていました。しかし、C-DDSのアーキテクチャを備えるAD98x0は、それらの分野において非常に魅力的な存在になりました。実際、以下に列挙するような点で、AD98x0は、PLLをベースとするアジャイルなアナログ・シンセサイザと比べて優れていると言えます。

- 出力周波数の分解能**：C-DDS製品であるAD98x0は、32ビットの位相アキュムレータを内蔵しています。そのため、PLLベースのシンセサイザと比べて、出力周波数のチューニングをかなり高い分解能で実施できます。AD9850を125MHzのクロックで動作させる場合、0.06Hzの出力分解能でチューニングを実現することが可能です。一方、AD9830で50MHzのクロックを使用する場合、0.012Hzの分解能が得られます。また、これらのデバイスの出力では、別の周波数への移行を実施している間にも位相の連続性が保たれます。それに対し、PLLをベースとする標準的なアナログ・シンセサイザでは、出力信号のチューニングにおける分解能は通常1kHz程度です。つまり、デジタル信号処理を利用することによって得られる分解能と比べると、かなり低いと言えます。

- 出力周波数のスイッチング時間**：アナログPLLの場合、周波数の切り替えにかかる時間（スイッチング時間）は、帰還ループのセトリング時間とVCO (Voltage Controlled Oscillator) の応答時間の関数になります。通常、その値は1ミリ秒以上に達します。それに対し、C-DDSベースのシンセサイザのスイッチング時間は、DDSのデジタル処理によって生じる遅延だけによって決まります。AD9850の場合、出力周波数のスイッチング時間は最小でわずか43ナノ秒です。

- チューニングの範囲**：標準的なアナログPLL回路では、安定した（使用可能な）周波数範囲は、非常に重要な帰還ループの帯域幅と入力リファレンス周波数の関係によって決まります。それに対し、C-DDSベースのソリューションは、そうしたループ・フィルタの安定性の影響は受けません。全ナイキスト範囲（クロック・レート \times 1/2未満）でチューニングすることが可能です。

- 位相ノイズ**：C-DDSベースのソリューションは、周波数の分割により、出力位相ノイズの面でアナログPLLシンセサイザと比べて明らかに有利になります。実際、C-DDSの出力位相ノイズは、リファレンス・クロック源よりも良化します。それに対し、アナログPLLをベースとするシンセサイザでは、周波数リファレンスに含まれる位相ノイズがより増大するので、明らかに不利になりません。

- 基板上的実装面積**：AD98x0は集積度が高いことに加え、表面実装型の非常に小さいパッケージを採用しています。そのため、ほとんどの場合、高品質で同等の帯域幅を備えるディスクリート構成のPLLシンセサイザを使うよりも基板上的実装面積を抑えられます。

- コスト**：C-DDSベースのソリューションは、旧来のDDS技術が抱えていたコストの問題を打破しています。実際、同等の帯域幅を備えるディスクリート構成のPLLシンセサイザを採用した量産型アプリケーションに匹敵するレベルを達成しています。

- 消費電力**：C-DDSでは、初期のディスクリート構成のDDSソリューションと比べて消費電力が大幅に削減されています。例えば、AD9850を使って100MHzのリファレンス・クロックを基に40MHzの信号を生成するとします。電源電圧が3.3Vの場合、その消費電力は155mWに抑えられます。これは、競合となるディスクリート構成のアナログPLL回路の消費電力に匹敵します。

- 実装の簡素化**：DACを内蔵したC-DDSのソリューションを採用すれば、システムの設計を簡素化できます。また、従来、DDSのソリューションを実現するために必要だったRF設計に関する専門知識の要素も不要になります。そうした難易度の高い部分はIC内に集積されているからです。制御向けには、デジタル方式の簡単な命令セットが用意されており、サポート用ハードウェアの複雑さも最小限に抑えられています。PLLベースのシンセサイザを利用したソリューションに必要なアナログ中心のシステム設計は、デジタル・システムの設計に置き換わります。

周波数シンセサイザを選択する際には、AC性能が重要な検討項目になります。C-DDSの歪み性能はDACに依存します。AD98x0は、CMOSベースのDACの性能という面で新たな基準になる製品だと言えます。AD98x0が内蔵する10ビットのDACは、広い出力帯域幅を対象として高いSFDRを実現できるようにすることに重点を置いて最適化されています。そのこと自体が、技術的なブレイクスルーだと言えるでしょう。

図4、図5は、AD9850の出力スペクトルを広帯域にわたって示したものです。それぞれ、125MHzのリファレンス・クロックから5MHz、40MHzの周波数を生成する場合に対応しています。それぞれの図を見ると、AD9850のSFDRは、62.5MHzのナイキスト帯域幅（リファレンス・クロック・レートの1/2）においてそれぞれ62.8dB、55.2dBとなっています。このような動的性能は、以前は数Wのレベルの電力を消費する高価なバイポーラ・ベースのDACでしか実現できませんでした。

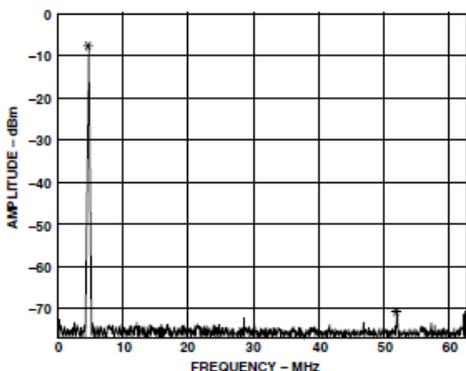


図4. AD9850が5MHzを出力する場合の広帯域スペクトル。クロックは125MHzです。

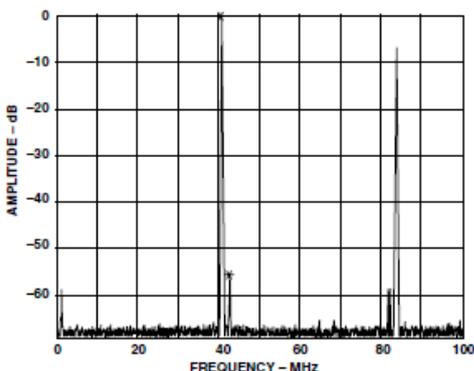


図5. AD9850が40MHzを出力する場合の広帯域スペクトル。クロックは125MHzです。

多くのアプリケーションでは、アナログPLLをベースとするシンセサイザのソリューションが使われています。その場合、狭帯域の性能が重要な検討項目になります。狭帯域のアプリケーションにおいて、C-DDSの出力スプリアス性能は、DACの性能よりも、むしろDDSのデジタル・トランケーションのレベルに大きく依存します。図6は、AD9830の狭帯域性能を示したものです。クロック周波数が50MHzで出力が4.16MHzの場合のスペクトルを示しています。SFDRについては、基本波の±5kHzの範囲で79dB以上を達成していることがわかります。

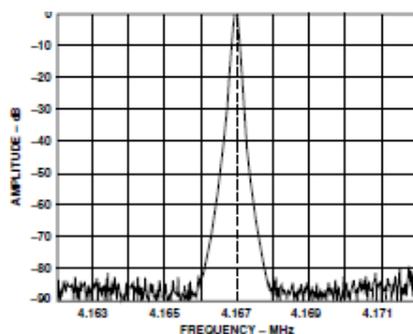


図6. AD9830が4.1MHzを出力する場合の狭帯域スペクトル。クロックは50MHzです。

AD9850、AD9830は、いずれもユーザが操作しやすいように非常にシンプルなローディング方式を採用しています。両ICで出力周波数と位相を制御したり、スリープ・モードを有効にしたりするために必要なのは、データ・クロックとデータ/アドレス・バスのみです。特定の条件における出力フィルタ処理を除けば、アナログ中心のシステム設計を行う必要はありません。また、AD9850は便利な機能として高速コンパレータを内蔵しています。フィルタ処理を施されたDACの出力をこのコンパレータに入力すれば、正弦波の代わりに方形波を生成できます。そのため、同ICは周波数アジャイルなクロック・ジェネレータとしても使用可能です。更に、両ICに対応し、PCに接続可能な評価用ボードも提供されています。それらを使用すれば、周波数合成のテストを容易に実施できます。

C-DDSのソリューションでは、高速な出力ホッピング、デジタル制御、低歪みの出力、チューニング用の高い分解能を組み合わせた状態で利用できます。そのため、アナログPLLをベースとするシンセサイザを置き換えることができます。AD9830、AD9850におけるCMOSベースのDACとDDS技術の飛躍的な進化によって、あらゆる周波数シンセサイザの条件について真剣に再考する時期が訪れたと言えます。

なお、AD9830はアイルランドのリムリックにおいて、Hans Tucholskiによって設計されました。一方、AD9850はノースキャロライナ州グリーンズボロにおいて、Dave CrookとTim Stroudによって設計されました。

機能/仕様	AD9850	AD9830
最高クロック周波数	125MHz	50MHz
出力周波数の 最高ナイキスト帯域幅	62.5MHz	25MHz
周波数チューニング用の ワードの分解能	32ビット	32ビット
位相チューニング用の ワードの分解能	5ビット	12ビット
電源電圧	3.3Vまたは5V	5V
最大動作条件における 消費電力	155/380mW	265mW
ワーストケース、 最高クロック周波数に おける狭帯域のSFDR (±50kHzの範囲)	72dBc	72dBc
20MHz出力の場合の 広帯域のSFDR (ナイキスト)	58dBc	50dBc
40MHz出力の場合の 広帯域のSFDR (ナイキスト)	54dBc	N/A
制御用 インターフェース	パラレル/シリアル	パラレル
固有の追加機能	内蔵高速コンパレータ のレジスタ	2つの 周波数レジスタと 4つの位相レジスタ
パッケージ	28ピンSSOP	48ピンTQFP
サンプル価格 (100個)	\$14.55	\$11.70

* 技術関連のデータは、アナログ・デバイセズのウェブサイト (www.analog.com/jp) で入手できます。