

アプリケーション・エンジニアに 尋ねる - 32

容量性負荷によって損なわれる オペアンプ回路の安定性、この問題には どう対処すればよいのか？

著者：Soufiane Bendaoud (soufiane.bendaoud@analog.com)

Giampaolo Marino (giampaolo.marino@analog.com)

Q：容量性の負荷が原因で回路の安定性が損なわれるということは知っています。アナログ・デバイセスは、そうした問題への対処方法に関して多くの情報を提供していますよね？

例えば、オペアンプに関する一連のセミナーや書籍、[アナログ・ダイアログ](#)でもこの話題が取り上げられています。更には、そうした問題に関連する機能を備えた[設計ツール](#)も提供されています。そうした話題について、ここでまとめてもらえないでしょうか？

A：おっしゃるとおり、容量性の負荷は様々な問題を引き起こす可能性があります。

例えば、容量性負荷は回路の出力帯域幅やスルー・レートを低下させる可能性があります。ただ、最も重大な問題は、オペアンプ回路の動作の安定性が損なわれてしまうことでしょう。容量性負荷は、オペアンプ回路のフィードバック・ループに位相の遅れを生じさせます。それが原因となって、回路の動作が不安定になってしまうのです。現実として、容量性負荷の中には不可避のものがあります。しかし、考察不足が原因で、オーバーシュートやリングング、更には発振につながるほどの容量性負荷がオペアンプに接続されてしまうケースも少なくありません。一方で、現実のアプリケーションでは、液晶パネル・ディスプレイや、適切に終端されていない同軸ケーブルなど、大きな容量性負荷を駆動しなければならないこともあります。そのような場合には、上記の問題は更に深刻なものになります。高い精度が求められる低周波アプリケーションやDCアプリケーションでも、想定外の望ましくない結果が生じることがあります。

詳細は後述しますが、オペアンプはユニティ・ゲインのフォロウ回路として構成される場合に最も動作が不安定になりやすくなります。その原因としては、以下の2つが挙げられます。

- ループ内に減衰を生じさせる要素が存在しない
あるいは、
- コモンモード振幅が大きいことから、信号に対するゲインの精度に影響を与えるほどではないものの、ループ・ゲインが不安定な動作領域に変調されてしまう可能性がある

また、容量性負荷を駆動するオペアンプの能力は、次のような要因に左右されます。

- オペアンプの内部構造
(出力インピーダンス、ゲインと位相余裕、補償回路など)
- 負荷インピーダンスの性質
- フィードバック回路における減衰と位相シフト
(出力負荷、入力インピーダンス、浮遊容量の影響など)

上記のパラメータのうち、オペアンプの出力インピーダンスは出力抵抗 R_o で表されます。これは、容量性負荷に関する性能に大きな影響を及ぼす要因の1つです。仮に R_o の値がゼロで、それ以外の点においても安定している理想的なオペアンプが存在したとします。そのようなオペアンプであれば、位相性能を損なうことなくどのような容量性負荷でも駆動できます。

オペアンプ製品の多くは、大きな容量性負荷に対する徹底的な補償を実現可能な内部回路を備えてはいません。その理由は、軽い負荷に対する性能が損なわれるのを避けたいからです。しかし、現実にはオペアンプの出力に大きな容量性負荷が接続されるアプリケーションは数多く存在します。そうしたアプリケーションの最適化を図るためには、外付けの補償回路を適用しなければなりません。典型的なアプリケーションの例としては、サンプル&ホールド・アンプ、ピーク検出器、終端されていない同軸ケーブル用の駆動回路などが挙げられます。

ここで図1、図2をご覧ください。容量性負荷は、非反転入力と反転入力のうちどちらがアクティブな入力であるのかにかかわらず、オープンループ・ゲインに対して同じように影響を及ぼします。負荷容量 C_L は、オープンループの出力抵抗 R_O と組み合わせられることにより極（ポール）を形成します。負荷が存在する場合のゲインは、以下の式で表すことができます。

$$A_{loaded} = A \left(\frac{1}{1 + j \frac{f}{f_p}} \right), \text{ where } f_p = \frac{1}{2\pi R_O C_L}$$

上式のAは、オペアンプに負荷が接続されていない場合のオープンループ・ゲインです。

極の存在は、-20dB/decのゲインの傾きと90°の位相の遅れの原因になります。それらに対し、オペアンプ（とその他の既存の遅れ）に起因する-20dBの傾きと90°の遅れが加わります。その結果、ROC（Rate of Closure）は、少なくとも40dB/decに増加します。このことが原因となって、不安定な状態が引き起こされます。

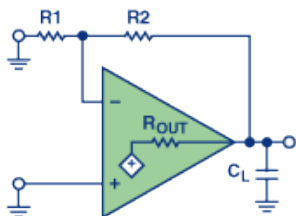


図1. 容量性負荷が接続されたシンプルなオペアンプ回路

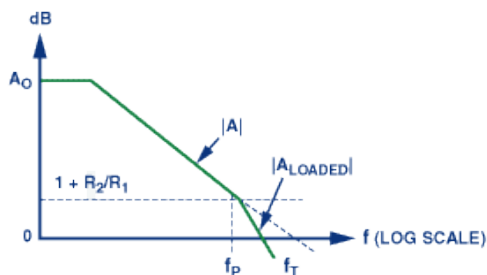


図2. 図1の回路のボード線図

上記のとおり、容量性負荷はオペアンプ回路の安定性に影響を及ぼします。以下では、そうした影響に関して寄せられる一般的な疑問に対する答えを提示します。更に、容量性負荷によって生じる不安定性の問題の解決方法を紹介します。

Q: オペアンプ回路としては様々なものが考えられますよね。安定性を確保するために必要な手法はそれぞれに異なるのでしょうか？

A: そのとおりです。各回路に最も適した補償方法を選択しなければなりません。例として図3をご覧ください。これは、抵抗とコンデンサで構成したフィードバック回路によって補償を実現するというものです。この回路を使えば、オペアンプのノイズをフィルタリングするという付加的なメリットも得られます。

図3の手法は一般的なものであり、ループ内補償と呼ばれています。この手法では、値の小さい直列抵抗 R_X によってオペアンプの出力を C_L から切り離します。また、値の小さいコンデンサ C_F をフィードバック・ループに挿入することによって、 C_L の近くに周波数の高い成分をバイパスする経路を設けています。

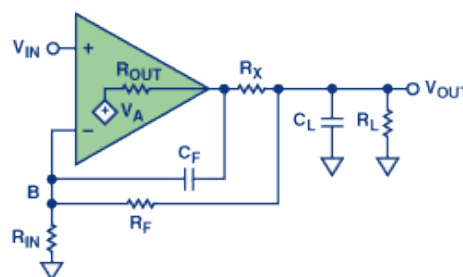


図3. ループ内補償を実現する回路

この手法についてより正しく理解できるようにするために、回路のフィードバック部分を図4のように描き直しました。図中のVBは、オペアンプの反転入力端子に接続されます。

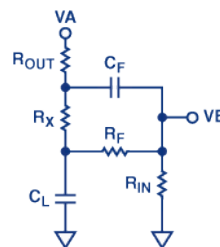


図4. 図3の回路のフィードバック部分に相当する回路

C_F と C_L は、DCに対してはオープン・サーキット、高周波成分に対しては短絡した状態として振る舞います。以下では、このことを念頭に置きつつ図4の回路について吟味します。具体的には、上記の原則を一度に1つのコンデンサに対して適用してみましょう。

【ケース1】

ここでは図5aに注目してください。C_Fが短絡で、R_X << R_F、R_O << R_{IN}であるとすると、極とゼロはC_L、R_O、R_Xの関数になります。すなわち、以下の2つの式が成り立ちます。

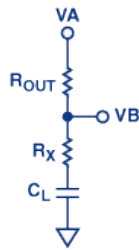


図5a. C_Fを短絡と見なした場合の回路

$$\text{Pole Frequency} = \frac{1}{2\pi(R_O + R_X)C_L}$$

$$\text{Zero Frequency} = \frac{1}{2\pi R_X C_L}$$

【ケース2】

続いて図5bをご覧ください。C_Lをオープン・サーキットとすると、極とゼロはC_Fの関数になります。すなわち、以下の2つの式が成り立ちます。

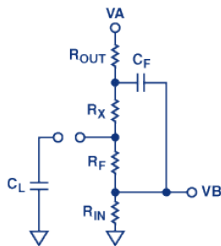


図5b. C_Lがオープン・サーキットだと見なした場合の回路

$$\text{Pole Frequency} = \frac{1}{2\pi \left[(R_X + R_f) \parallel (R_O + R_{in}) C_f \right]}$$

$$\text{Zero Frequency} = \frac{1}{2\pi (R_X + R_f) C_f}$$

ケース1の極とケース2のゼロが等しく、ケース2の極とケース1のゼロが等しいことから、以下の2つの式が得られます。

$$R_X = \frac{R_O R_{in}}{R_f} \text{ and}$$

$$C_f = \left(1 + \frac{1}{|A_{cl}|} \right) \left(\frac{R_f + R_{in}}{R_f^2} \right) C_L R_O$$

C_Fの式には、A_{cl}（オペアンプのクローズドループ・ゲイン：1 + R_F/R_{IN}）の項が含まれています。これまでに行われてきた検証作業の結果、1/A_{cl}の項は、C_Fの式に含める必要があることが明らかになっています。上記の構成の回路については、これら2つの式を使うだけで補償方法を導き出せます。すなわち、任意の容量性負荷を接続した任意のオペアンプに対する補償を実現可能です。

この手法を使えば、大きな容量性負荷を使用している場合でも発振を防ぐ効果が得られます。但し、クローズドループ回路を構成した場合、帯域幅が大きく減少します。帯域幅はオペアンプで決まるのではなく、外付け部品であるC_FとR_Fによって決まることになります。クローズドループ回路の帯域幅は、f_{-3dB} = 1/(2π C_FR_F)となります。

ここでは、オペアンプ製品として「AD8510」を例にとり、実用的な補償方法を紹介しましょう。AD8510は、ユニティ・ゲイン周波数（クロスオーバー周波数）において45°の位相余裕を維持しつつ、最大200pFの容量性負荷を安定した状態で駆動することができます。ここでは、同アンプを図3の構成で使用し、ゲインを10に設定したとします。また、出力に接続されている負荷容量が1nF、標準的な出力インピーダンスが15Ωであるとしましょう。その場合、ここまで示した式を使用してR_XとC_Fの値を計算すると、それぞれ2Ωと2pFになります。

図6、図7に示したのは、それぞれ補償回路なしの場合と補償回路ありの場合の正弦波に対する応答です。補償回路を使用していない場合、高速な応答が得られますがリングングが生じることがわかります。補償回路を適用した場合、それよりも応答は低速になりますが、単調な応答が得られるように補償が行われています。

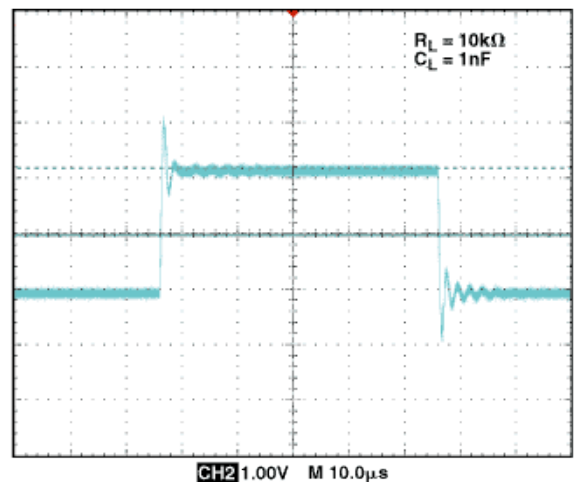


図6. 補償回路を適用していない場合の出力応答

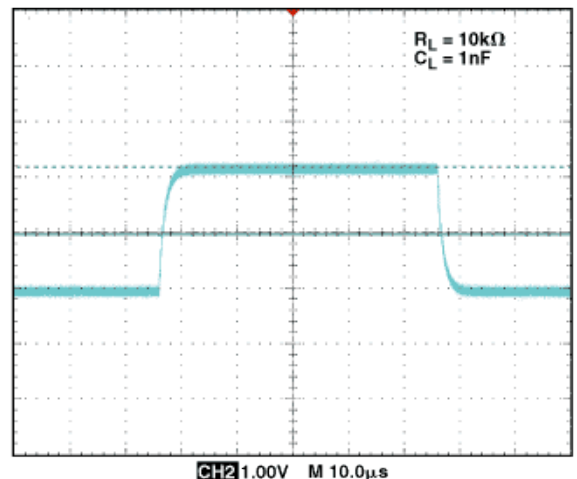


図7. 補償回路を適用した場合の出力応答

補償回路を適用する場合、 R_x はフィードバック・ループ内に配置されていることになります。そのため、 R_x を追加してもDC精度は低下しません。但し、出力振幅とスルー・レートが過度に低下することがないように、 R_x の値は適度に小さく設定する必要があります。

注意すべき点

ここで説明した回路の振る舞いは、広く使用されている電圧帰還型アンプで一般的に見られるものです。電流帰還型のアンプについては、別の手法を適用する必要がありますが、本稿では説明を割愛することにします。なお、本稿で紹介する手法を電流帰還型のアンプに適用すると、 C_F を追加したことによる影響が生じて回路の動作は不安定になります。

ループ外補償

Q: もっとシンプルで、使用する部品数を少なく抑えられる補償方法はありませんか？

A: あります。最も簡単な方法は、1つの外付け抵抗を出力に直列に接続するというものです（図8）。この方法は補償の面では有用ですが、性能の面で代償が伴います。

図8の回路では、出力と負荷の間に抵抗 R_{SERIES} を配置しています。この抵抗の主要な役割は、オペアンプの出力とフィードバック経路を容量性負荷から分離することです。フィードバック回路の伝達関数にゼロを追加することで、高い周波数におけるループの位相シフトを抑えます。 R_{SERIES} の値は、適切なレベルの安定性を確保できるように選択しなければなりません。具体的には、オペアンプ回路のユニティ・ゲイン周波数と比べて少なくとも1dec低い位置にゼロが追加されるようにします。どれだけの値が必要になるのかは、主にオペアンプの出力インピーダンスに依存します。一般的には5～50 Ω の値を選択することで十分な安定性が得られます。

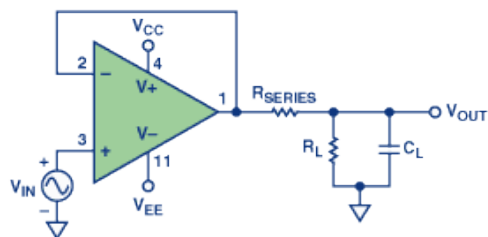


図8. 外付け抵抗を使用する補償方法。
外付け抵抗 R_{SERIES} によってオペアンプ回路のフィードバック・ループを容量性負荷から分離します。

図9、図10に、オペアンプとして「OP1177」を使用した場合の評価結果を示しました。図9は、同アンプの出力に2nFの負荷を接続し、非反転入力にピークtoピークが200mVの信号を印加した場合の出力応答です。一方の図10は、同じ条件下で信号パスに50 Ω の抵抗を挿入した場合の出力応答を表しています。

出力信号は、トータルの抵抗に対する直列抵抗の比に応じて減衰します。そのため、フルスケールの負荷電圧を得るには、オペアンプ回路の出力振幅が大きな値をとるように設計する必要があります。非線形の負荷や可変の負荷は、出力信号の形状と振幅に影響を及ぼします。

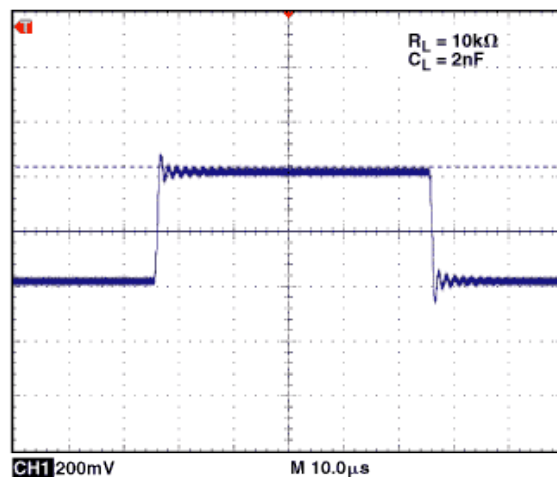


図9. 補償を行わない場合のOP1177の出力応答。OP1177を使ってフォロワ回路を構成し、出力に容量性の負荷を接続しています。周波数の高いリングングが生じていることがわかります。

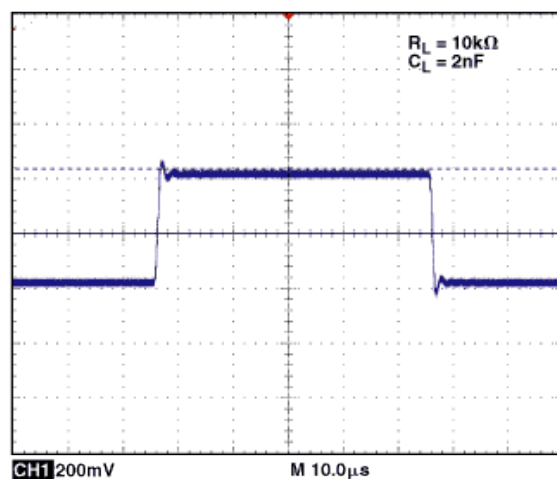


図10. 補償を行った場合のOP1177の出力応答。
50 Ω の直列抵抗を追加しています。
図9の結果と比べてリングングが抑えられていることがわかります。

スナバ回路

Q: レールtoレールのオペアンプを使用する回路の安定性を確保する方法を教えてください。出力振幅を維持しつつ、ゲインの精度を確保するにはどうすればよいのでしょうか？

A: 電圧が低めのアプリケーションにおいて最大の出力振幅を得たい場合には、抵抗とコンデンサを直列に接続した回路を出力とグラウンドの間に配置するとよいでしょう（図11）。この回路はスナバ回路と呼ばれています。

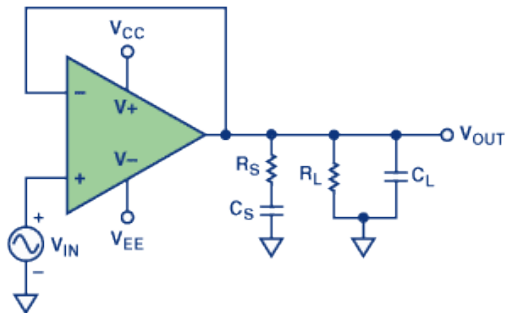


図 11. スナバ回路による補償。同回路は、抵抗 R_S とコンデンサ C_S という負荷によって構成しています。これにより、 C_L に起因する位相シフトを抑えることができます。

通常、アプリケーション・エンジニアは容量性負荷の大きさに応じ、経験則に基づいて R_S と C_S の適切な値を決定します。すなわち、次のような考え方を原則として使用します。まず、ピーキングが生じる辺りの周波数に対するオペアンプの出力を抵抗性負荷によって抑えます。また、それによってオペアンプのゲインを抑制します。そして、直列コンデンサにより低周波領域における負荷を低減します。具体的な作業は次のような手順で行います。まず、オペアンプの周波数応答を取得し、ピーキングが生じる周波数の値を確認します。次に、抵抗性の負荷である R_S の値を変更していき、ピーキングが満足できるレベルになる抵抗値を見いだします。続いて、ピーク周波数の約1/3のブレーク周波数に対応する C_S の値を計算します。つまり、 $C_S = 3/(2\pi f_p R_S)$ の値を求めるということです。ここで、 f_p はピーキングが発生する周波数です。

それらの値は、(容量性負荷がある場合の) 過渡応答をオシロスコープで観測しながら、トライ&エラーで決定することもできます。 R_S と C_S については、オーバーシュートとアンダーシュートを最小限に抑えられる値が理想です。

図12、図13は、オペアンプとして「AD8698」を使用し、68nFの負荷を接続した状態で400mVの信号を非反転入力に印加した場合の出力応答です。図12は外部補償を全く行っていない場合の結果であり、最大25%ほどのオーバーシュートが発生しています。一方、図13はシンプルなおスナバ回路を適用した場合の結果です。ご覧のように、オーバーシュートは10%未満に抑えられています。 R_S 、 C_S の値はそれぞれ30Ω、5nFに設定しました。

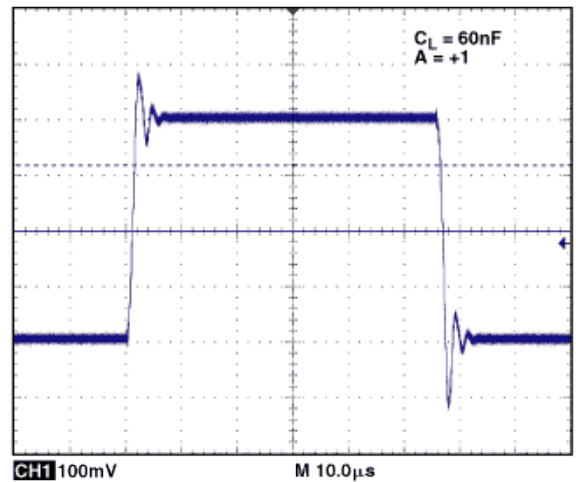


図 12. 補償を行わない場合の出力応答

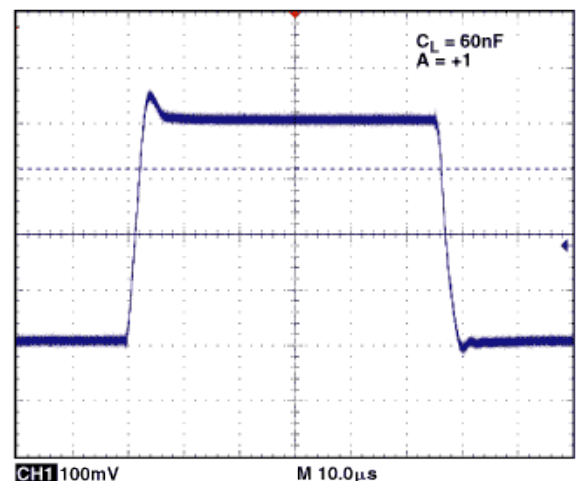


図 13. スナバ回路を適用した場合の出力応答

Q：オペアンプの出力に接続された容量性負荷については理解できました。では、入力端子に付加された容量も問題になるのでしょうか？

A：オペアンプの入力に接続された容量性負荷も、安定性の面で問題を引き起こす可能性があります。いくつかの例を示しましょう。

非常に典型的なアプリケーションの例に、オペアンプを使用して電流から電圧への変換を実現するというものがあります。例えば、電流出力型のD/Aコンバータ(DAC)の出力にオペアンプ回路を付加し、バッファ/アンプとして使用するといった具合です。その場合、オペアンプの入力部には、DACの出力容量、オペアンプの入力容量、配線の浮遊容量が存在することになります。

オペアンプの入力部に大きな容量が付加される典型的なアプリケーションの例としては、フィルタ回路が挙げられます。フィルタの設計では、RFノイズがオペアンプに伝搬するのを防ぐために、(通常は抵抗と直列に) 値の大きいコンデンサを入力と並列に接続することがよく行われます。しかし、この方法は深刻なリングングや発振につながるおそれがあります。

ここでは、典型的な例として図14の回路について考えてみます。この例におけるフィードバック回路の等価回路(入力 V_{IN} はグラウンドに接続)からは、以下の関係式が得られます。

$$\frac{V_B}{V_A}(=\beta) = \frac{R_1}{(R_O + R_2)(1 + sR_1C_1) + R_1}$$

この式を使うことで、極の位置は次のように求まります。

$$f_p = \frac{R_1 + R_2 + R_O}{2\pi R_1 C_1 (R_2 + R_O)}$$

この関数から、ノイズ・ゲイン($1/\beta$)の曲線は、ブレーク周波数 f_p より高い領域では20dB/decで増加するということがわかります。 f_p がオープンループのユニティ・ゲイン周波数よりもはるかに低い場合、システムは不安定な状態になります。これは、約40dB/decのROCに相当します。ROCは、オープンループ・ゲイン(dB単位)の曲線(対象周波数範囲の大半で傾きは-20dB/dec)と $1/\beta$ の曲線が交差する周波数(ループ・ゲインが0dB)付近における両曲線の傾きの差として定義されます。

図14の回路では、オペアンプの入力部に付加されたコンデンサ C_1 に起因して安定性が損なわれる可能性があります。その対策としては、 R_2 と並列に C_F を接続します。それにより、極 f_p に対応するゼロを追加してROCを抑えます。結果として、位相余裕が増加します。例えば位相余裕を90°にするには、 $C_F = (R_1/R_2)C_1$ とします。図15に、オペアンプとして「AD8605」を使用して図14の回路を構成した場合の周波数応答を示しました。

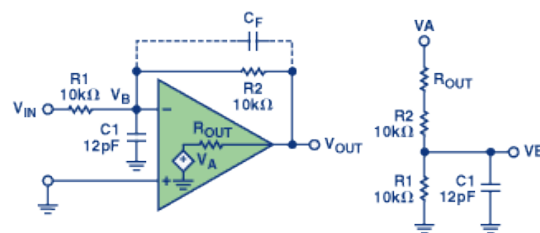


図14. 入力に容量性負荷を接続した反転回路

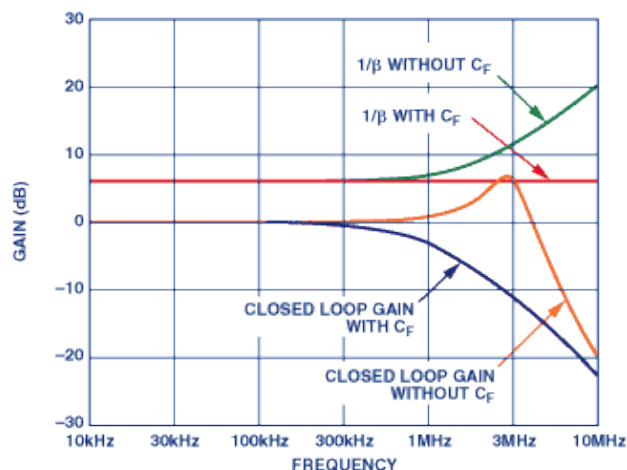


図15. 図14の回路の周波数応答

Q：位相余裕やピーキングの値を見積もるにはどうすればよいのでしょうか？

A：まず、次の式を使用すれば、補償回路を適用していない場合のピーキングについて計算することができます。

$$Q = \sqrt{\frac{f_u}{f_z}}, \text{ where } f_z = \frac{1}{2\pi(R_1 \parallel R_2)C_1}$$

上の式において、 f_u はユニティ・ゲイン帯域幅、 f_z は $1/\beta$ の曲線のブレークポイント、 C_1 はトータルの容量(内部容量、外部容量、寄生容量の総和)です。

一方、位相余裕 ϕ_m は、次の式を使うことで求めることが可能です。

$$\Phi_m = \cos^{-1} \left(\sqrt{1 + \frac{1}{4Q^4}} - \frac{1}{2Q^2} \right)$$

AD8605の場合、トータルの入力容量は約7pFです。寄生容量が約5pFであるとする、上の式からクローズドループ・ゲインによって5.5dBという深刻なピーキングが生じることがわかります。同様に、位相余裕は約29°となります。つまり、同アンプの本来の位相応答である64°から大きく低下することがわかります。

Q：オペアンプの入力部に直接RCフィルタを接続したい場合、どうすれば回路の安定性を確保することができるのでしょうか？

A：既に説明したのと同様の方法を適用できます。例を示しながら説明していきましょう。

例えば、高周波の干渉（RFI）と電磁干渉（EMI）を抑えたいというケースはよくあるでしょう。そうした場合、オペアンプの入力端子のうちアクティブな方とグラウンドの間にコンデンサを接続するというのが有効な方法になります。このコンデンサは、フィルタリングの役割を果たします。ただ、オペアンプの動作に対しては浮遊容量が増加するのと同じ影響が加わります。また、すべてのオペアンプ製品が同じように動作するわけではありません。したがって、どれだけの入力容量を許容できるかはオペアンプ製品ごとに異なります。そのことも踏まえると、補償に向けてはフィードバック用のコンデンサ C_F を追加するというのが汎用的な対策になります。

RFIを更に抑制したい場合には、値の小さい直列抵抗をオペアンプの端子に接続します。それとオペアンプの入力容量が組み合わせられることにより、RF領域に対処するためのフィルタリングが実現されます。図16の左側の回路では、この方法を適用しただけでは安定性を維持することが困難でした。そこで、右側の回路のように変更を加えました。図17は、両回路の正弦波応答を重ねて示したものです。右側の回路では、波形の質が大幅に改善されていることがわかります。

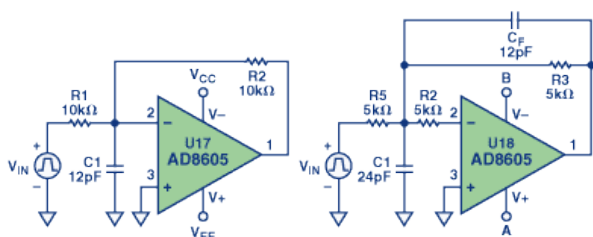


図16. 入力部にフィルタを付加した回路。左側の回路では安定性を維持できないため、右側のような変更を加えました。それにより、補償に向けてインピーダンスのレベルを抑えることが可能になります。

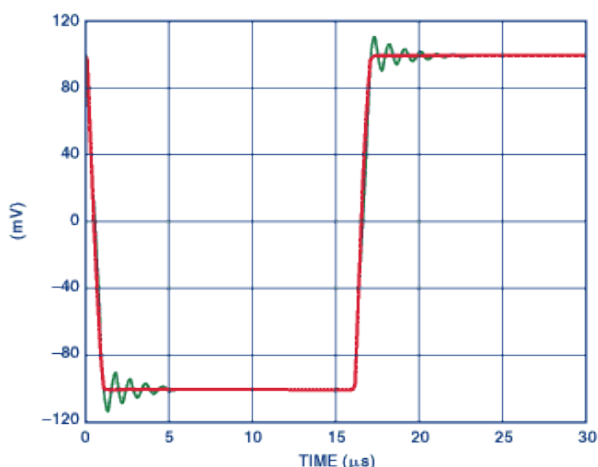


図17. 図16の2つの回路の出力応答。左側の回路の応答には発振が見られます。

Q：先ほど、トータルの入力容量には浮遊容量も含まれるという説明がありました。浮遊容量というのは、どのくらい注視すべきものなのでしょうか？

A：浮遊容量が原因で、オペアンプの安定性に思いもよらない悪影響が及ぶ可能性があります。そのことも想定して影響を最小限に抑えるのは、非常に重要なことです。

基板設計を行う際、そのレイアウトは入力部の浮遊容量が増加する主要原因になる可能性があります。その浮遊容量は、オペアンプの加算接合部につながる入力パターンによって発生します。例えば、グラウンド・プレーンで囲まれた基板では、（ボードの厚みにより異なりますが） 1cm^2 あたり約 2.8pF の容量が形成されます。この容量を低減するための方法は次のようなものになります。まず、入力パターンは可能な限り短くします。また、フィードバック抵抗と入力源は、オペアンプの入力部のできるだけ近くに配置します。グラウンド・プレーンについては、オペアンプ回路にそれが必要で、なおかつ非反転入力端子をグラウンドに接続する場合を除き、オペアンプ、特にその入力部から遠くに配置します。どうしてもグラウンドが必要な場合には、幅の広いパターンを使用し、グラウンドまでのパスの抵抗値を小さく抑えるようにします。

Q：ユニティ・ゲインでは安定性が得られないオペアンプを、ユニティ・ゲインで使用することはできますか？例えば「OP37」は素晴らしいオペアンプのようですが、ゲインが5以上の回路を構成しなければ安定した動作が得られないようです。

A：そうしたオペアンプ製品は、ちょっとした工夫を加えることによってゲインが低い回路でも使用できるようになります。

図18の回路では、抵抗 R_B と同 R_A により、高周波に対する回路の動作を安定させるために十分なクロードループ・ゲインが提供されます。また、コンデンサ $C1$ は、DC～低周波領域においてゲインをユニティに戻す役割を担います。 R_B と R_A の値は、オペアンプの安定化に必要な最小ゲインに基づいて簡単に計算することができます。OP37の場合、安定した動作を維持するために必要なクロードループ・ゲインは最小で5です。そのため、 $\beta = 1/5$ から $R_B = 4R_A$ という関係が導き出されます。高い周波数では、 $C1$ は短絡しているかのように振る舞います。したがって、オペアンプはクロードループ・ゲインが5の状態で作動することになり、安定化が実現されます。一方、DC～低周波領域では、 $C1$ はオープン・サーキットのように振る舞います。そのため、負帰還では減衰は生じず、オペアンプ回路はユニティ・ゲインのフォロウ回路のように動作します。

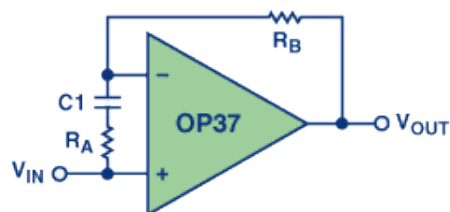


図18. ユニティ・ゲインのフォロウ回路。ユニティ・ゲインでは安定性が得られないオペアンプ製品（OP37）を使用しています。入力部にRC直列回路を適用することで安定性を実現します。

次に、 C_1 の値を計算します。 C_1 の値は、ブレーク周波数が回路のコーナー周波数 f_{-3dB} よりも1dec以上低くなるように選択する必要があります（以下参照）。

$$C_1 = \frac{1}{2\pi R_A \left(\frac{f_c}{10} \right)}$$

図19に、2Vp-pのステップ入力に対するOP37ベースの回路の出力応答を示しました。補償用の部品の値は、 f_c が16MHzであるとし、上の式を使用して決定しました。

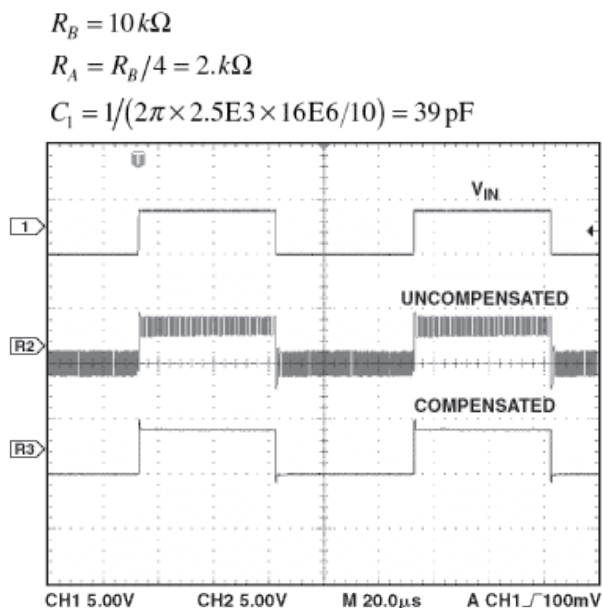


図19. ユニティ・ゲインのフォロフ回路の入出力応答。
OP37をベースとして回路を構成しています。補償回路の有無によって
応答に差が現れることがわかります。

Q：いま説明してくれた方法は、反転構成の回路にも適用できますか？ その場合にも、同じ式を使用できるのでしょうか？

A：反転構成の回路の場合も、解析方法は同様です。但し、クロースドループ・ゲインの式が少し異なります。オペアンプの反転入力端子の入力抵抗は、高い周波数において R_A と並列になることに注意してください。その並列構造を前提として、安定した動作を維持するために必要な最小ゲインに対する R_A の値を計算します。 C_1 の値の計算方法は、非反転構成の場合と同じです。

Q：その方法には欠点がありますか？

A：欠点があります。それは、ノイズ・ゲインが大きいと、高い周波数における出力ノイズ・レベルが大きくなるというものです。一部のアプリケーションでは、そのことを許容できない可能性があります。また、フォロフ回路の構成では、高いソース・インピーダンスを備える配線には特に注意する必要があります。ゲインがユニティよりも大きくなる周波数では、オペアンプの非反転入力に対し、容量を介した正帰還がかかります。それによって回路の動作が不安定になると共に、ノイズも大きくなる可能性があります。