

オペアンプの入力保護回路が抱える欠点と対応策を理解する

著者：John Ardizzone

今日の高速オペアンプの多くは、その入力部を保護するための回路を内蔵しています。ほとんどの場合、その仕組みはユーザにとって透過的なものになります。ただ、アプリケーションによっては、それが回路のアキレス腱になる可能性があります。本稿では、高速オペアンプにおける入力保護の必要性、実装方法、潜在的な欠点について解説します。また、入力保護機能を備えるオペアンプをうまく活用するためのヒントを提供します。

高速オペアンプには、入力部を保護するために様々な仕組みが適用されています。それらの目的は、コモンモードの過電圧に対する保護、ESD（静電気放電）に対する保護、入力差動ペアの保護を実現することです。コモンモードの過電圧に対する保護の方法としては、主にオペアンプの安全動作領域に合致するように入力電圧が制限されます。ESDについては、静電気や静電誘導といったイベントからオペアンプを保護するためのダイオードが使用されます。それらのダイオードは、オペアンプICの内部で、入力／出力と電源レールの間に接続されています。それにより、ESDに伴う電流は、敏感なアクティブ回路を流れるのではなく、電源とバイパス・コンデンサに流れるようになります。結果として、オペアンプの保護が実現されます。

オペアンプの入力電圧が突然変化すると、入力差動ペアに逆バイアスがかかります。その結果、潜在的な欠陥に関連する障害、入力バイアス電流の増加、オフセット電圧の増加が生じる可能性があります。差動入力段に対するダメージは、ベース・エミッタ間の電圧を制限することにより防ぐことが可能です。高速動作に対応可能な一部のシリコン・プロセスでは、ベース・エミッタ間のブレイクダウン電圧 BV_{EBO} が $2\sim 3V$ しかないことがあります。そのブレイクダウン電圧は、プロセスに依存する動作速度に反比例します。そのため、高速動作に対応するプロセスでは、ブレイクダウン電圧が低くなっています。信頼性の高い動作を確保するには、差動ペアのベース・エミッタ間に逆バイアスがかかるのを防ぐことが不可欠です。

オペアンプが電圧フォロワとして構成されている場合、その入力段はダメージの影響を最も受けやすくなります。実際の（理想的ではない）オペアンプの出力は、入力の変化に同時に応答することはできません。出力が入力に追従できないということは、差動ペアのベース・エミッタ間に逆バイアスの過電圧がかかる可能性があるということを意味します。つまり、それによって回路に悪影響が及ぶかもしれませんということです。図1は、この問題について示したものです。オペアンプの入力は、出力振幅が $\pm 3V$ のパルス発生器に接続されています。ここでは、パルス発生器の立上がり／立下がり時間は、アンプの伝搬遅延よりもはるかに短くと仮定します。パルス発生器の出力が $-3V$ から $3V$ に遷移すると、オペアンプの入力は直ちに変化します。しかし、オペアンプの出力はすぐには変化せず、 $5.3V$ の逆バイアスがトランジスタ $Q2$ に印加されます。トランジスタの BV_{EBO} の定格値が $2\sim 3V$ である場合、入力保護が必要であることは明らかです。

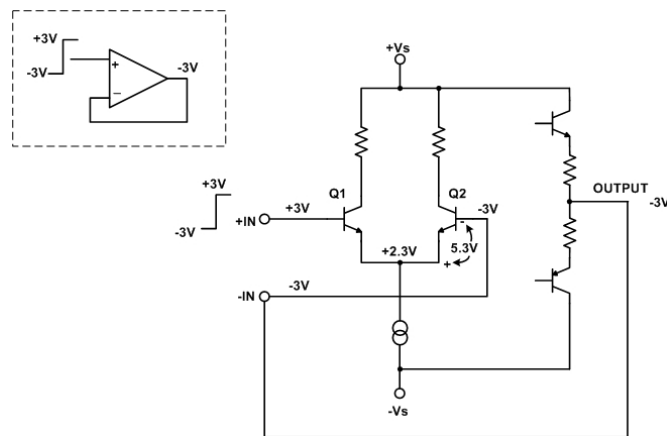


図1. オペアンプ内部の状態。
入力に高速な信号を印加すると、その振幅に起因して、悪影響の原因になり得る逆バイアスが $Q2$ に印加されます。

上記の問題に対応するための入力保護の方法を図2に示しました。この回路では、バック・ツー・バック接続されたダイオードのペア $D1$ 、 $D2$ をオペアンプの2つの入力の間に接続しています。ご覧のとおり、その実装は非常に簡素なものです。 $D1$ 、 $D2$ を配置することで、トランジスタ $Q1$ と $Q2$ の間の電圧の振幅は $\pm 0.8V$ 程度に制限されます。これは、ベース・エミッタ間のブレイクダウン電圧を大きく下回る値です。より低速なプロセスになると、ブレイクダウン電圧は高くなります。その場合、更に多くのダイオードを直列に追加して閾値電圧を高くすればよいでしょう。例えば、プロセスのブレイクダウン電圧が $4V$ である場合、3つのダイオードを直列に追加すれば、閾値を約 $2.1V$ まで高めることが可能です。非常に低速なプロセスの場合には、逆ブレイクダウン電圧が十分に高いので、入力保護は不要です。ところで、1種類のダイオードのセットで、すべてのケースに対応することはできないのでしょうか。入力保護の欠点の1つは、ダイオードによって入力間の電圧が制限されるため、スルー・レートに悪影響が及ぶことです。これは、高速動作が求められるケースでは望ましいことではありません。

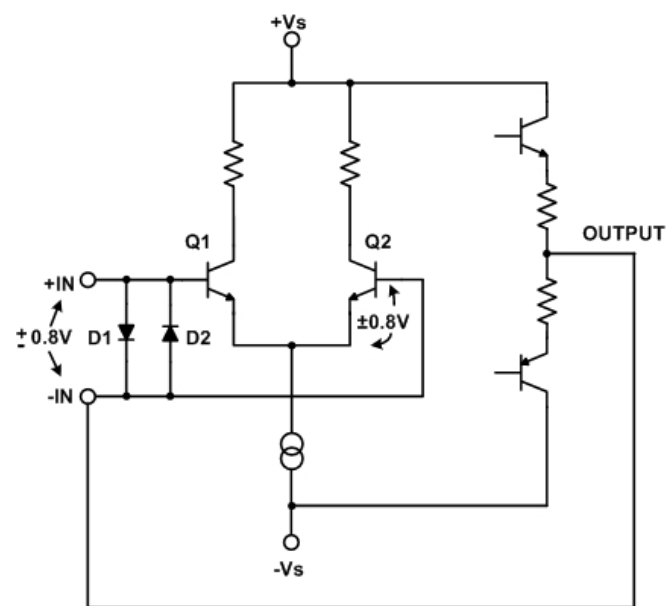


図2. バック・ツー・バック接続のダイオードによる入力保護。
電圧の振幅が制限され、 $Q2$ が保護されます。

ほとんどの場合、入力保護によって得られるメリットはデメリットに勝ります。ただ、入力保護によって非常に望ましくない影響が生じることもまれにあります。例として、通電されていないオペアンプの入力に信号が印加されるケースを考えます。信号の振幅が数百mV未満であれば、問題はありません。しかし、約400mVを超えると、問題が生じる可能性があります。大きな入力信号が印加されると、入力保護用のダイオードD1、D2には順方向のバイアスがかかります。すると、入力と出力の間に、帰還抵抗を経由して負荷に至るまでの信号パスが確立されます（図3）。そのパスを通過する信号の大きさは、入力信号の振幅と周波数に依存します。

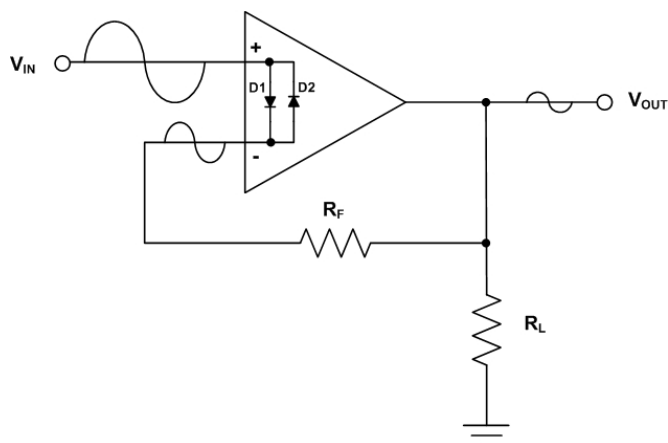


図3. 通電されていないオペアンプ。
入力保護用のダイオードによって、入力信号が出力に結合されます。

ここでは、高速オペアンプ「AD8021」を例にとり、上記の原理について説明します。同オペアンプのゲインは1に設定すると仮定します。上述したように、AD8021の入力の間にはバック・ツー・バック接続された2つのダイオードが実装（集積）されています。ここでは、評価環境として図4のような構成を使用しました。そして、200mVpp（-10dBm）と2Vpp（+10dBm）の信号を入力として印加し、それぞれを300kHz～100MHzで掃引しました。図5に示したのは、その場合のオフ・アイソレーションの評価結果です。これを見ると、10MHzにおいて、200mVの信号に対するオフ・アイソレーションは約-50dBになっています。一方、2Vppの信号に対しては、保護用のダイオードが完全にオンになります。それにより、入力信号の大部分が出力に供給された結果、オフ・アイソレーションはわずか-29dBになっています。このことから、レーダーのような高いレベルのオフ・アイソレーションが求められる多重化アプリケーションでは、動作に悪影響が及ぶおそれがあることがわかります。

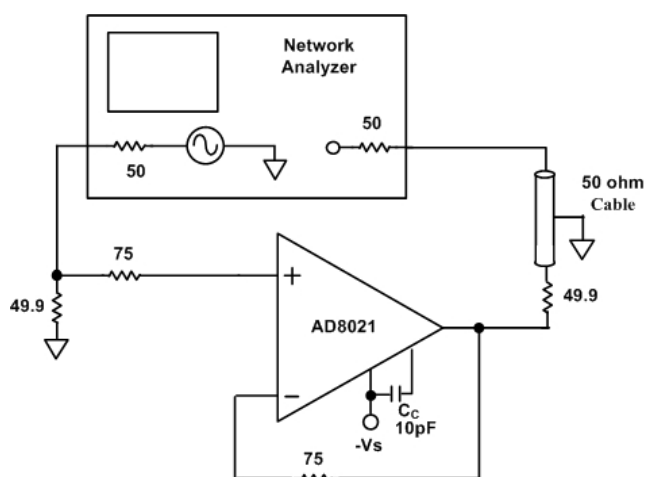


図4. オフ・アイソレーションの評価環境

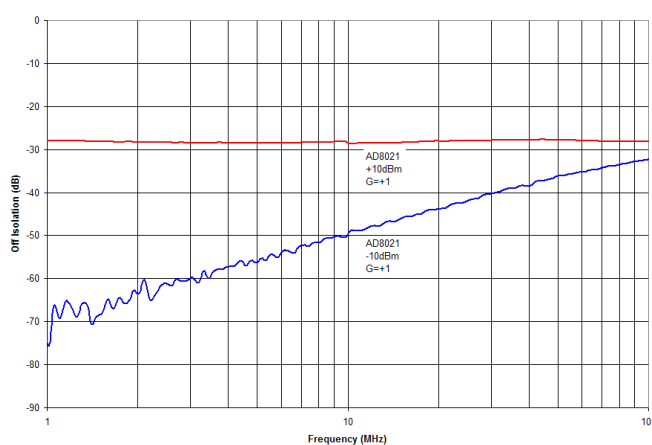


図5. +10dBm/-10dBmの入力信号に対する
AD8021のオフ・アイソレーション性能

この問題の解決策としては、まず定格差動電圧が高いオペアンプ製品を選択し、このような状況が生じないようにすることです。残念ながら、重要なパラメータが数多く存在する場合、オペアンプ製品の選択条件から、差動入力の実保護機能が漏れてしまうこともあるでしょう。通常、オペアンプのデータシートには、絶対最大定格として最大差動入力電圧が記載されています。その値が $\pm V_s$ よりも低ければ、何らかの入力保護機構が実装されています。その電圧の値が低いほど、回路のオフ・アイソレーション性能が低下する可能性が高くなります。

表 1 に、代表的な高速オペアンプ製品の最大差動入力電圧についてまとめました。

表 1. 代表的な高速オペアンプ製品の最大差動入力電圧

品番	最大差動入力電圧 [V]
AD8021	±0.8
AD8007	±1
ADA4899	±1.2
AD8010	
AD8036	
AD8037	
AD8027	±1.8
AD8029	
AD8099	
AD8055	
AD8014	±2.5
AD8051	
AD8023	
AD8024	
AD8031	±3.4
AD8041	
AD8005	
AD8057	
AD8038	±4
AD8000	
AD826	
AD845	
AD845	±6
AD8061	
AD8003	
AD8045	
ADA4860	±Vs

「AD8038」について、上述したのと同じオフ・アイソレーションのテストを実施しました。AD8038は、AD8021の5倍に相当する±4Vの定格差動入力電圧に対応する高速オペアンプです。定格入力電圧が高いということは、入力保護用のダイオードは、大きな信号が入力されない限り順方向バイアスにはならないということを意味します。図6に示したのはAD8038の評価結果です。10MHzにおいて2Vppの信号を印加した場合、AD8038のオフ・アイソレーションは-57dBになります。つまり、AD8021と比べて28dB優れた値が得られることがわかります。

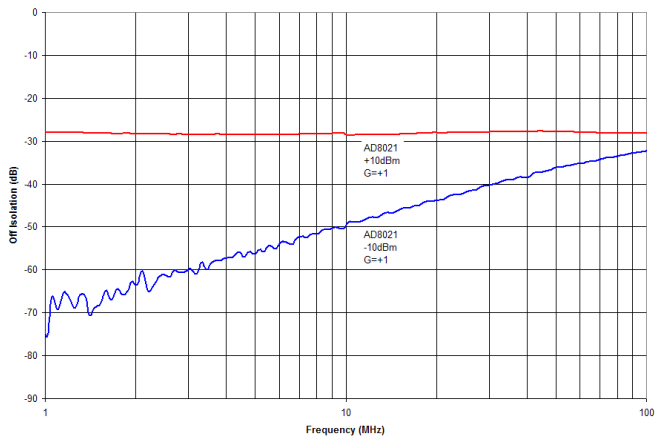


図 6. +10dBmの入力信号に対するAD8021とAD8038のオフ・アイソレーション性能

選択したオペアンプの定格差動入力電圧が低い場合には、異なる構成を採用するとよいでしょう。電圧フォロワの構成ではフィードスルーが最も大きくなります。より良い方法は、ゲインを備える非反転構成のアンプ回路を構成することです。帰還抵抗と負荷によって分圧器を構成することにより、出力におけるフィードスルー信号は減衰されます。帰還抵抗の値が大きいほど、高い減衰レベルが得られます。但し、過度に大きな値にしてはなりません。そうすると、ノイズとオフセット電圧が大きくなり、安定性が低下するおそれがあるからです。図7は、AD8021を使用して異なる回路を構成し、2Vppを印加した場合のオフ・アイソレーション性能を比較したものです。ゲインが2の回路を構成した場合、オフ・アイソレーション性能が電圧フォロワの構成よりも6dB改善されることがわかります。

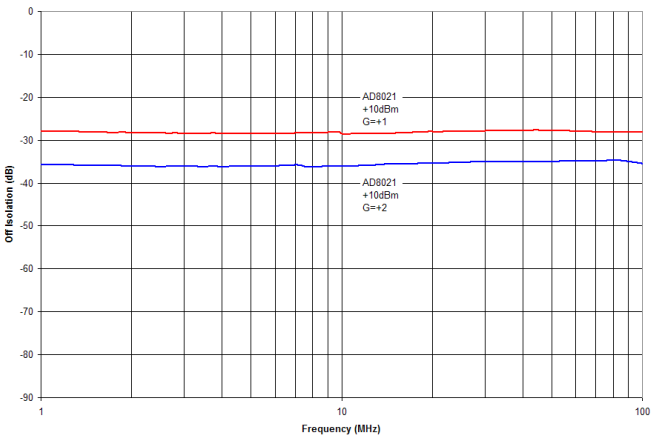


図 7. AD8021 を使用して、異なる回路構成を実現した場合のオフ・アイソレーション性能。ゲインが1の場合と同2の場合の比較を行っています。

より抜本的な方法は、「[ADG701](#)」などのアナログ・スイッチをオペアンプの出力に直列に接続することです。ADG701によってオペアンプの出力から負荷を完全に切り離すことで、10MHzにおいて約-55dBのオフ・アイソレーションが得られます。これは、AD8021に200mVppの入力信号を印加する場合と同等の性能です。重要なAC性能は達成しているものの、定格差動入力電圧が不十分なオペアンプ製品を使用しなければならない場合には、スイッチを追加する方法が有効です。

入力保護回路を備えるオペアンプは、ほとんどのアプリケーションで問題なく動作します。ただ、その回路が問題につながるケースがまれに存在します。そのような場合には、まず最大差動入力電圧の仕様を確認してください。その値が低い場合には、より定格値の高いオペアンプ製品を使用する、回路の構成を変更する、スイッチを直列に追加するといった方法を検討します。これら3つの方法は、いずれもフィードスルーの低減とオフ・アイソレーションの改善につながります。