

アプリケーション・エンジニアに 尋ねる—37

低ドロップアウト・レギュレータ

Jerome Patoux 著 (jerome.patoux@analog.com)

ここでは、「低ドロップアウト電圧レギュレータ」(LDO)の安定動作を実現するための基本的なトポロジを紹介し、実用的な方法を提案します。また、アナログ・デバイスサイズのLDOファミリの設計は、動的安定性とDC安定性を維持するための柔軟な方法を提供していますが、その特長についても解説します。

Q. LDOとは何でしょうか？ またその利用方法は？

A. 電圧レギュレータは、負荷インピーダンス、入力電圧変動、温度、時間にかかわらず、安定した電源電圧を提供するために使用します。低ドロップアウト・レギュレータは、電源電圧と負荷電圧のごくわずかな差でレギュレーションを維持できるという点に特色があります。たとえば、リチウムイオン・バッテリーが4.2V(完全充電)から2.7V(放電状態)に電圧降下するとき、LDOは負荷において一定の2.5Vを維持できます。

このため、ポータブル・アプリケーションの分野で、LDOを利用してバッテリーの充電状態とは無関係に必要なシステム電圧を維持しようとする設計者が増えてきました。しかし、LDOを活かせるアプリケーションは携帯システムだけではありません。一定の安定電圧が必要だが、同時にアップストリーム電源を最小限に抑えなければならない(あるいはアップストリーム電源の大きな変動に対応しなければならない)機器にはLDOの利用が考えられます。代表的な例として、デジタル/RF負荷を含む回路があります。

「リニア」タイプの電圧レギュレータ(図1)は、リファレンス電圧、出力電圧をスケールリングしてリファレンスと比較する手段、フィードバック・アンプ、直列パス・トランジスタ(バイポーラまたはFET)で構成されます。直列パス・トランジスタの電圧降下はアンプで制御し、出力を必要な値に保ちます。たとえば、負荷電流が減少して出力が徐々に上昇する場合は、誤差電圧が増加し、アンプ出力が上昇し、パス・トランジスタの両端の電圧が増加し、出力が元の値に戻ります。

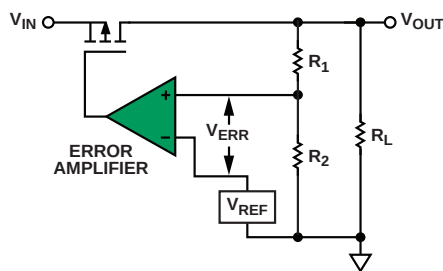


図1. 基本的な拡張機能モードのPMOS LDO

図1では、エラー・アンプとPMOSトランジスタが電圧によって制御する電流源を構成しています。出力電圧 V_{OUT} は、分圧器(R_1 , R_2)でスケールダウンし、リファレンス電圧(V_{REF})と比較します。エラー・アンプの出力が、エンハンスメント型PMOSトランジスタを制御します。

「ドロップアウト電圧」は、入力電圧がさらに低下すると回路がレギュレーションを維持できなくなる状態での出力電圧と入力電圧の差を意味します。一般に、出力電圧が公称値よりも100mV低下すると、このポイントに達したと考えられます。レギュレータの特性を決定するこの重要な要素は、パス・トランジスタのジャンクション温度と負荷電流に依存します。

Q. ドロップアウト電圧によってレギュレータはどのように区別されるのでしょうか？

A. 標準レギュレータ、準LDO、低ドロップアウト・レギュレータ(LDO)の3種類に分けられます。

「標準レギュレータ」は、一般にNPNパス・トランジスタを採用し、約2Vでドロップアウトします。

「準LDOレギュレータ」は、一般にダーリントン構造(図2)を使用して、NPNトランジスタとPNPで構成されるパス・デバイスを構成します。ドロップアウト電圧 $V_{SAT}(PNP) + V_{BE}(NPN)$ は約1Vであり、LDOを上回りますが、標準レギュレータより小さい値になります。

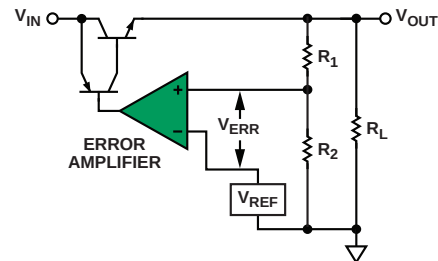


図2. 準LDO回路

「LDOレギュレータ」は、100~200mV(typ)のドロップアウト電圧に基づき、一般に最適な選択となります。ただし、その欠点として、準LDOレギュレータや標準レギュレータよりもLDOのグラウンド・ピン電流が高くなります。

標準レギュレータは、他のタイプに比べてドロップアウト電圧と電力損失が高く、効率が低くなります。ほとんどの場合、LDOレギュレータに置き換えることができますが、最大入力電圧の仕様(標準レギュレータに比べて低いことがあります)を考慮する必要があります。また、LDOによっては、安定性を維持するために特別な外付けコンデンサが必要な場合があります。3つのタイプのレギュレータは、帯域幅と動的安定性が若干異なります。

Q. アプリケーションに最適なレギュレータをどのように選べばよいのでしょうか？

A. 特定のアプリケーションに最適なレギュレータを選択するには、入力電圧のタイプと範囲(たとえば、レギュレータの前段にあるスイッチング電源やDC/DCコンバータの出力電圧)を考慮する必要があります。また、必要な出力電圧、最大負荷電流、最小ドロップアウト電圧、静止電流、消費電力も重要です。レギュレーションの損失を示すエラー・フラグやシャットダウン・ピンなどの追加機能があると役に立つことがあります。

適切なカテゴリーのLDOを選択するには、入力電圧源を考慮する必要があります。バッテリー駆動のアプリケーションでは、バッテリーの放電に伴い、LDOが必要なシステム電圧を維持する必要があります。整流されたACソースからDC入力電圧を供給する場合は、ドロップアウト電圧はさして必要ないことがあります。この場合は、安価で大量の負荷電流を供給できる標準レギュレータのほうが適切かもしれません。しかし、低消費電力や高精度の出力電圧が必要な場合は、LDOがよいでしょう。

もちろん、レギュレータは、最悪の条件下でも負荷に対して十分な電流を規定の精度で供給できなければなりません。

LDO トポロジ

図1のパス・デバイスは、PMOSトランジスタです。ただし、さまざまなパス・デバイスを利用することができ、使用するパス・デバイスのタイプに応じてLDOを分類できます。その多種多様な構造や特性によって、さまざまな長所と欠点があります。

図3に、NPNとPNPのバイポーラ・トランジスタ、ダーリントン回路、PMOSトランジスタの4種類のパス・デバイスの例を示します。

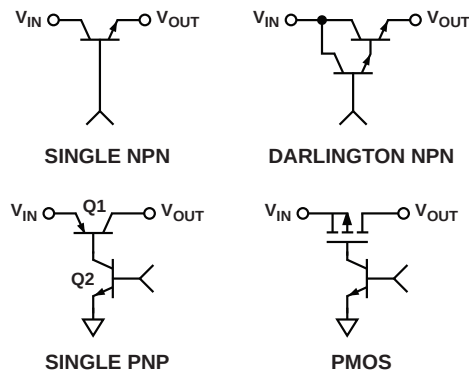


図3. パス・デバイスの例

任意の電源電圧で、バイポーラ・パス・デバイスが最も大きな出力電流を出します。NPNよりもPNPのほうが好まれますが、これはPNPのベースをグラウンドに落として、必要ならばトランジスタを完全に飽和させることができるためです。NPNのベースは、電源電圧の高さまでしか持ち上げることができないため、最小の電圧降下は $1V_{BE}$ までになります。したがって、NPNとダーリントンのパス・デバイスでは、1Vを下回るドロップアウト電圧が得られません。ただ、この2つのパス・デバイスは Z_{OUT} 特性が低いため、広い帯域幅と容量性負荷への耐性が必要な場合に最適です。

PMOSトランジスタとPNPトランジスタをうまく飽和させ、パス・デバイスが消費する電力と電圧損失を最小限に抑えれば、低ドロップアウトで高効率の電圧レギュレータになります。PMOSパス・デバイスは、およそ $R_{DS(ON)} \times I_L$ という一番低いドロップアウト電圧降下を実現できます。また、静止電流も最小になります。主な欠点は、MOS形トランジスタが通常外付け部品になる（特に大電流を制御する場合）ため、ICが「コントローラ」になってしまい、完全な自己完結型レギュレータにならないという点です。

完全なレギュレータの電力損失は、次のようになります。

$$P_D = (V_{IN} - V_{OUT}) I_L + V_{IN} I_{GND}$$

この式の最初の部分は、パス・デバイスの電力損失です。2番目の部分は、回路のコントローラ部分の消費電力です。レギュレータによっては（特にパス・デバイスとして可飽和のバイポーラ・トランジスタを使用する場合）、グラウンド電流はパワーアップ時にピークに達することがあります。

Q. どのようにしたらLDOの動的安定性が確実に得られますか？

A. 汎用アプリケーション向けの従来のLDO回路設計には、安定性の問題があります。その原因は、フィードバック回路の特性、負荷が広範になる可能性、ループ内の要素の変異性、整合性のあるパラメータを持った高精度補償デバイスの調達が難しいことにあります。以下ではこれらの問題について説明し、それから安定性を改善したanyCAP®回路トポロジを紹介します。

一般にLDOは帰還ループを使用して、負荷にかかわらず、一定の電圧を出力に供給します。どの高ゲイン帰還ループにもいえることですが、安定性を決めるのはループ・ゲイン伝達関数におけるポールとゼロの位置です。

NPNベースのレギュレータは、エミッタ負荷を接続した低インピーダンス出力により、出力容量性負荷には比較的左右されないという傾向があります。これに対し、PNPレギュレータとPMOSレギュレータは、出力インピーダンスが高くなります（PNPの場合にはコレクタ負荷を接続）。さらに、ループのゲイン／位相特性は負荷インピーダンスに強く依存するため、安定性を確保するには特別な配慮が必要です。

PNPとPMOSをベースとするLDOの伝達関数には、安定性に影響を与えるいくつかのポールがあります。

- ドミナント・ポール（図4のP0）は、エラー・アンプによって設定され、内部補償容量 C_{COMP} によって、アンプの gm とともに制御され、調整されます。このポールは、上述のすべてのLDOトポロジに共通です。
- 2番目のポール（P1）は、出力エレメント（出力容量と負荷容量／抵抗の組み合わせ）によって設定されます。これらの要素がループ・ゲインと帯域幅の両方に影響を与えるため、この場合のアプリケーションの問題は対応が難しくなります。
- 3番目のポール（P2）は、パス・エレメントの周囲の寄生容量に起因します。PNPパワー・トランジスタでは、同じ条件の下で、同等のNPNトランジスタに比べてユニティ・ゲイン周波数（ f_T ）がずっと低くなります。

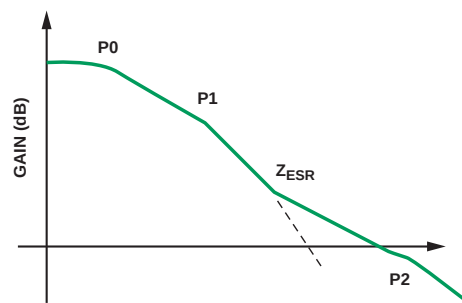


図4. LDOの周波数振幅応答

図4に示すように、各ポールにより、最大90°の位相シフトまで20dB/ディケードのロールオフがゲインに生じます。ここで説明するLDOには複数のポールがあるため、ユニティ・ゲイン周波数で位相シフトが -180° に近づく、リニア・レギュレータが不安定になります。図4では、レギュレータにコンデンサと負荷を接続した場合の影響もわかります。コンデンサの「有効直列抵抗」(ESR)により、伝達関数にゼロ（ Z_{ESR} ）が追加されます。このゼロによってポールの1つが補償され、ループがユニティ・ゲイン周波数を下回る位置で発生し、その周波数で位相シフトを -180° よりかなり下に維持していれば、ループの安定化が可能です。

安定性のためには、特に縦型構造のPNPパス・デバイスを備えたLDOの場合など、ESRが重要になることがあります。しかし、コンデンサの寄生特性として、ESRは必ずしも十分に制御できません。ESRが何らかのウィンドウ内に収まらなければ、LDOがあらゆる出力電流について安定した領域で動作できないこともあります（図5）。

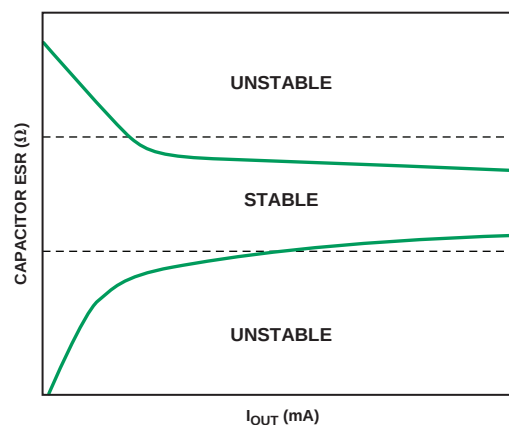


図5. 出力電流と負荷-コンデンサESRの関数としての安定性

原理的にも、適切なESR（周波数応答が0dBを交差する前にスロープを低くできるくらい高いが、関連するポールP2より前にゲインを0dBより低くできるほど低い値）を持った適切なコンデンサを選択することは、かなり難しい場合があります。実用的な観点を加えれば、困難はさらに増します。というのも、ESRはブランドによって異なるからです。製造に際して使用する最小容量値には、最小周囲温度と最大負荷の極端な条件を含め、ベンチ・テストが必要でしょう。コンデンサのタイプを選択することも重要です。おそらく最も適切なタイプは、高い容量範囲ではサイズが大きくなるとはいえ、タンタル・コンデンサでしょう。アルミニウム電解コンデンサは小型ですが、ESRが低温で低下する傾向があり、しかも-30℃を下回るとうまく機能しません。多層セラミック型では、通常のLDOに対して十分な容量がありません（ただし、以下に述べるようにanyCAPデザインには適しています）。

アナログ・デバイセズのanyCAP LDO ファミリー

アナログ・デバイセズのanyCAP LDOアーキテクチャが採用され、レギュレータに関連するDC/AC性能が向上したおかげで、今ではLDOの実装はずいぶん簡単になりました。このアーキテクチャを採用したレギュレータは、その名前からわかるように、コンデンサのサイズにもそのESRにも比較的左右されることがなく、このため広範な出力容量に対応できます。この手法はすでに普及しており、市場でも今では広く利用できるようになっていますが、なぜこのアーキテクチャ（図6）が安定性の問題を簡単にできるかを理解することもよいかもしれません。

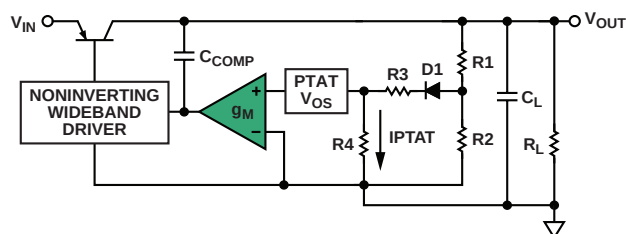


図6. anyCAP LDOの簡略回路図

100mAのADP3307や200mAの低静止電流ADP3331などのanyCAP LDOファミリーは、小型の多層セラミックなど任意のタイプの上質コンデンサを使用することで、わずか0.47μFの出力容量で安定性を保つことができます。ESRは、基本的にまったく問題になりません。

図6の簡略回路図では、1つのループがどのようにレギュレーションとリファレンスの2つの機能を提供するかがわかります。出力は、外付けR1-R2分圧器が検出し、ダイオードD1とR3-R4分圧器を通じて高ゲイン・アンプの入力に戻されます。平衡状態の時、このアンプは「絶対温度に比例」（PTAT）し、繰返し可能で、十分に制御された大きなオフセット電圧を生成します。この電圧と温度に反応する相補的なダイオード電圧降下と一緒に、温度に左右されない仮想バンド・ギャップ電圧である暗黙のリファレンスができます。

アンプ出力は、パス・トランジスタを制御する独特な非反転ドライバに接続します。これにより、ミラー補償に基づくポール分割配置で負荷コンデンサを周波数補償に含めることができます。その結果、負荷コンデンサの値、タイプ、ESRの影響を小さくすることができます。ポール分割方式の利点には、ライン・ノイズ除去が優れていることとレギュレータ・ゲインがきわめて高いことが挙げられます。これによって、卓越した精度と優れたライン／負荷レギュレーションが得られます。

Q：アナログ・デバイセズのLDOファミリーについて説明していただけますか？

A：どのLDOを選ぶかは、もちろん電源電圧範囲、負荷電圧、必要な最大ドロップアウト電圧によります。デバイスの主な違いは、消費電力、効率、価格、使いやすさ、さまざまな仕様とパッケージにあります。

人気の高いADP33xx anyCAPファミリーのLDOは、すでに数年前から市販されています。この製品は、BiCMOSプロセスとPNPパス・トランジスタをベースにし、優れたレギュレーション機能のほか、上述の多くの長所がありますが、CMOSデバイスに比べると価格がいくぶん高めになります。

ADP17xxファミリーなどの最近の設計になると、完全にCMOSベースで、PMOSパス・トランジスタを備えているため、低価格でLDOを製造できますが、ライン・レギュレーション性能が落ちるという欠点があります。このファミリーのデバイスは、広範な出力容量に対応できますが、それでも1μF以上では500mΩ以下のESRが必要です。たとえば、150mAのADP1710とADP1711は小型の1μFセラミック出力コンデンサで安定動作ができるように最適化されており、占有するボード・スペースがごくわずかながら、優れた過渡性能を発揮します。300mAのADP1712、ADP1713、ADP1714は、2.2μF以上のコンデンサを使用できます。

いずれのファミリーも、0.75～3.3Vの16種類の固定出力電圧オプションに加え、0.8～5V範囲の可変出力オプションがあります。ライン、負荷、温度についての精度は±2%以内です。ADP1711とADP1713の固定電圧バージョンでは、リファレンス・バイパス・コンデンサを接続できるため、出力電圧ノイズを減らし、電源電圧変動除去比を改善できます。ADP1714にはトラッキング機能があり、出力を外部電圧レールまたはリファレンスに追従させることができます。定格負荷でのドロップアウト電圧は、ADP1710とADP1711は150mV、ADP1712、ADP1713、ADP1714は170mVです。電源電圧変動除去比（PSR）は高く（1kHzで69dBと72dB）、消費電力は低く、100μA負荷でグラウンド電流は40μAと75μAになります。

図7に、ADP1710とADP1711の代表的な過渡応答の比較を示します。ほぼ全負荷ステップで、1μFと22μFの入出力コンデンサを使用しています。

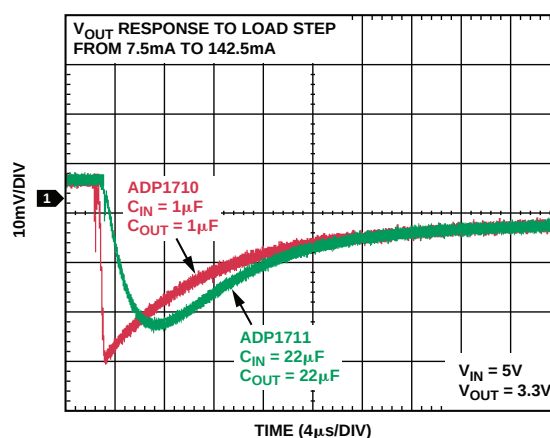


図7. ADP1710/ADP1711の過渡応答

動作ジャンクション温度範囲は-40～+125℃です。いずれのファミリーも超小型の5ピンTSOTパッケージで、多種多様な電力ニーズに対応する小型フットプリントのソリューションとなっています。