

すべて失敗したら、この記事をお読みください アンプ回路設計時の問題を 回避するには

Charles Kitchin 著 (charles.kitchin@analog.com)

はじめに

ディスクリート半導体を組み立てた時代と比べると、最新のオペアンプと計装アンプは設計者に大きなメリットをもたらします。賢く、役に立ち、しかも魅力的な回路アプリケーションが数多く発表されています。しかし、よくあることですが、急いで回路を組み立てようとするあまり、きわめて基本的な問題が見落とされ、その結果、回路が予想どおりに機能しなかったり、場合によっては、まったく動作しないことがあります。

この記事では、よくあるアプリケーションの問題をいくつか説明し、実用的な解決方法を提案します。

AC結合時にDCバイアス電流のリターン・パスが欠落

最もよくあるアプリケーションの問題の1つは、AC結合のオペアンプ回路または計装アンプ回路でバイアス電流のDCリターン・パスを設けるのを忘れることです。図1は、オペアンプの非反転(+)入力と直列にコンデンサを接続してAC結合を行っています。これは入力電圧(V_{IN})に重なったDC電圧を遮断する簡単な方法です。この方法は、アンプの入力での小さなDC電圧でもダイナミック・レンジを制限してしまい、場合によっては出力を飽和させてしまう高ゲインのアプリケーションに特に適しています。しかし、+入力を流れる電流のために、DCリターン・パスを設けないうまま高インピーダンス入力に対して容量結合を行うと、問題が生じることになります。

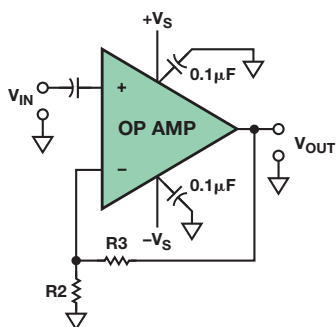


図1. うまく機能しないAC結合のオペアンプ回路

実際に何が起こるかという点、入力バイアス電流がカップリング・コンデンサに流れ込んでコンデンサを充電し、最終的にはアンプ入力回路の同相電圧の定格を超えたり、あるいは出力が限界値に達してしまいます。入力バイアス電流の極性によって、コンデンサは正側電源電圧もしくは負側電源電圧の向きに充電されます。この効果によるバイアス電圧は、アンプのクローズド・ループDCゲインによって増幅されます。

この回路動作には時間がかかります。たとえば、電界効果トランジスタ(FET)入力のアンプに1pAのバイアス電流があり、0.1μFコンデンサを介して結合されると、充電率(I/C)は $10^{-12}/10^{-7} = 10\mu\text{V/s}$ (1分当たり600μV)になります。ゲインが100であれば、出力は毎分0.06Vでドリフトすることになります。このため、簡単な実験室でのテスト(AC結合のスコープを使用)では問題を発見できず、何時間も経ってから回路が機能しなくなります。どう考えても、この問題を完全になくすことがきわめて重要です。

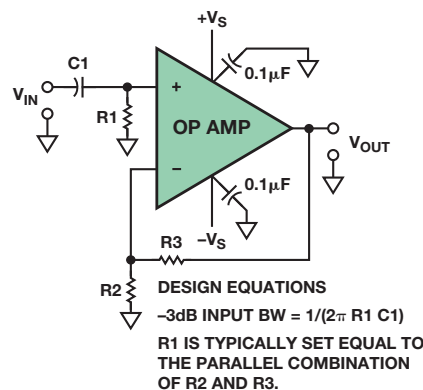


図2. 両電源動作のオペアンプ入力の正しいAC結合方法

図2は、このよくある問題に対する簡単な解決方法になります。ここでは、オペアンプの入力とグラウンド間に抵抗を接続して、入力バイアス電流のパスを設けています。入力バイアス電流によって生じ、バイポーラ・オペアンプのときは互いに追従し合うオフセット電圧を最小限に抑えるため、R1を通常、R2とR3の並列結合に等しい値に設定します。

ただし、この抵抗によって必ず回路内にノイズ源が入るため、回路の入力インピーダンス、必要な入力結合コンデンサのサイズ、抵抗によって加えられるジョンソン・ノイズの間でバランスをとる必要があります。代表的な抵抗値は一般に、約100,000Ω~1MΩの範囲です。

同様の問題が計装アンプ回路にもあります。図3は、入力バイアス電流のリターン・パスを設けずに、2つのコンデンサを用いてAC結合した計装アンプ回路です。この問題は、両電源(図3a)と単電源(図3b)の両方を使用する計装アンプ回路に共通した問題です。

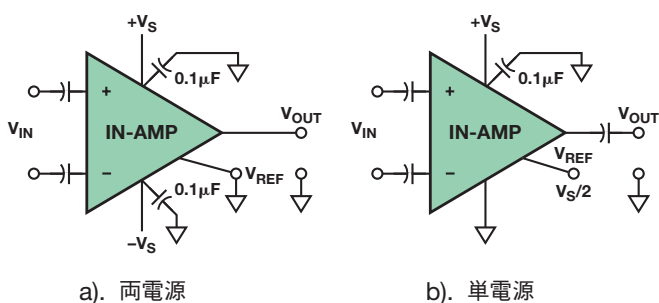


図3. 機能しないAC結合計装アンプ回路の例

図4に示すように、グラウンドへのDCリターン・パスがトランスの二次側回路に設けられていないと、トランス結合でも問題が生じます。

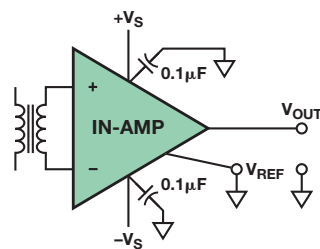
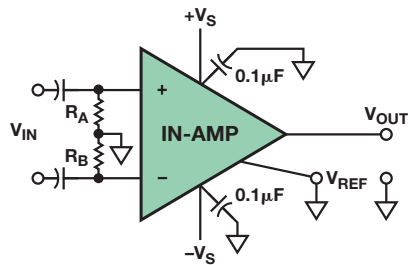
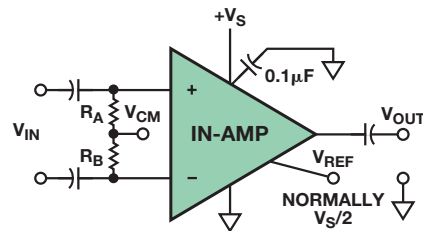


図4. 機能しないトランス結合の計装アンプ



a). 両電源



b). 単電源

図5. 各入力とコモンモード電圧間に高抵抗を接続して必要なバイアス電流リターン・パスを設ける
a). 両電源動作 b). 単電源動作

これらの回路の簡単な解決方法を図5と図6に示します。ここでは、値の大きい抵抗 (R_A 、 R_B) が各入力と同相電位間に追加されています。これは、両電源計装アンプ回路向けの簡単で実用的な方法になります。

抵抗によって入力バイアス電流の放電パスができます。図5aの両電源の例では、どちらの入力もグラウンドが基準になっています。図5bの単電源の例では、入力はグラウンド (V_{CM} をグラウンドに直結) またはバイアス電圧 (通常、最大入力電圧範囲の1/2の値) のいずれかを基準とすることができます。

同じ原理をトランス結合の入力に利用できます (図6)。ただし、トランスの二次側にセンター・タップがあって、グラウンドまたは V_{CM} に接続されている場合を除きます。

これらの回路では、抵抗間や入力バイアス電流間のミスマッチによって小さなオフセット電圧誤差が生じます。このような誤差を最小にするには、これらの値の1/10くらいの値 (ただし、差動ソース抵抗よりも大きい値) の第3の抵抗を、2つの計装アンプ入力間に接続します (このようにして、2つの抵抗をブリッジします)。

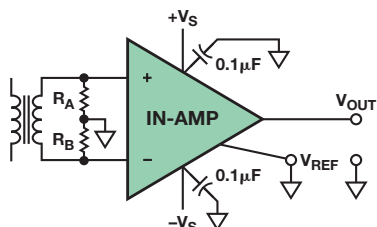
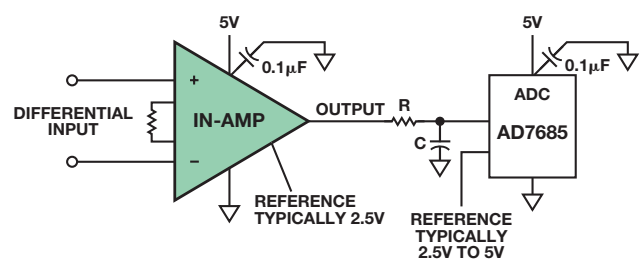


図6. 計装アンプに対する正しいトランス入力結合方法

計装アンプ、オペアンプ、ADCに対するリファレンス電圧の供給

図7は、計装アンプがシングルエンドのA/Dコンバータ (ADC) を駆動している単電源回路です。アンプのリファレンス入力は差動電圧入力がゼロの時に対応するバイアス電圧となり、ADCのリファレンス入力はスケール係数となります。一般に、簡単なRCローパス・アンチエイリアス・フィルタが計装アンプ出力とADC入力間に使用され、帯域外ノイズを低減します。設計者は、抵抗分圧器などの単純な方法で計装アンプとADCにリファレンス電圧を供給したいと考えがちですが、このような方法では、計装アンプによっては誤差が生じることになります。



TYPICAL VALUES FOR RC
LP FILTER
 $R = 50\Omega$ TO 200Ω
SET C TO PROVIDE DESIRED -3dB
CIRCUIT BANDWIDTH USING
 $C = 1/(2\pi R F)$

図7. 計装アンプで代表的な単電源回路のADCを駆動する

計装アンプにリファレンス電圧を正しく供給する方法

一般に、計装アンプのリファレンス入力端子は入力であることから、高インピーダンスであると思われます。このため、設計者は抵抗分圧器などの高インピーダンスの信号源を、計装アンプのリファレンス・ピンに接続したくなります。しかし、こうすることで、計装アンプの種類によっては重大な誤差が生じることがあります (図8)。

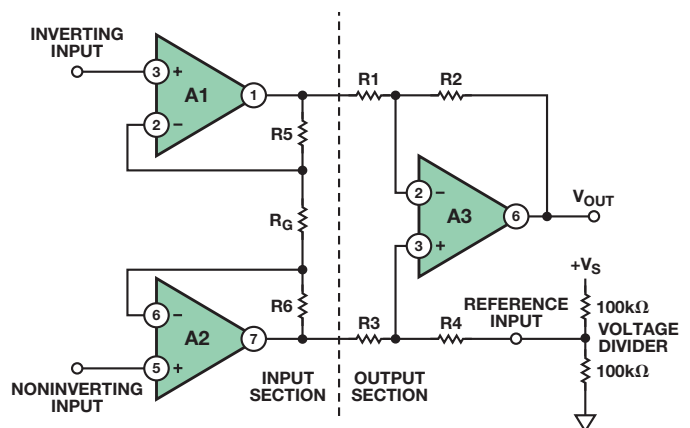


図8. 単純な分圧器によって3オペアンプ構成の計装アンプのリファレンス・ピンを直接駆動する誤った方法

たとえば、一般によく使われている計装アンプの設計では、上記のように接続した3個のオペアンプを使用します。全体の信号ゲインは、以下のように求めることができます。

$$G = \left(1 + \frac{R_5}{R_G} + \frac{R_6}{R_G} \right) \left(\frac{R_2}{R_1} \right) \quad \text{ここで} \quad \frac{R_2}{R_1} = \frac{R_4}{R_3}$$

リファレンス入力へのゲイン（低インピーダンス信号源から駆動された場合）はユニティです。ところが、ここに示した例では、計装アンプのリファレンス・ピンが単純な抵抗分圧器に直結されています。これによって、減算器回路のバランスが崩れ、分圧器の分圧比が不安定になります。その結果、計装アンプの同相ノイズ除去比が低下し、ゲインの精度が劣下します。ただし、R4が調整可能で、分圧器を並列接続の抵抗とみなした時の抵抗値と等しい量（ここでは50kΩ）だけ抵抗値を低減できれば、（この例では）電源電圧の1/2に等しい低インピーダンスの電圧源をR4の元の値に印加したかのように回路が動作し、減算器の精度が維持されます。

この方法は、計装アンプが一体となってワンパッケージ（IC）に入った回路ではR4の値を変更できないため、柔軟な応用が困難になります。また、もう1つの考慮すべき問題は、分圧器の抵抗の温度係数を減算器内のR4やその他の抵抗の温度係数に一致させなければならないことです。最後に、この方法ではリファレンスを調整可能にすることができません。他方、新たに加わる抵抗をごくわずかにするために分圧器に小さい抵抗値を使おうとすると、電源の消費電流が増大し、回路の消費電力が増大します。いずれにせよ、このような強引なやり方はよい設計方法とは言えません。

図9は、分圧器と計装アンプのリファレンス入力の間に低電力オペアンプ・バッファを使用した、もっと優れた解決方法です。これによって、インピーダンス・マッチングと温度トラッキングの問題が解消され、リファレンスを簡単に調整できるようになります。

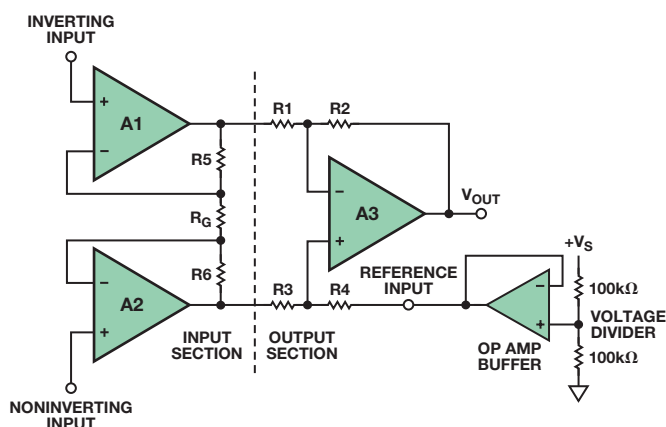


図9. オペアンプの低インピーダンス出力から計装アンプのリファレンス・ピンを駆動する

アンプが電源電圧を分圧した信号をリファレンス電圧とする際に、電源電圧除去（PSR）性能を維持する方法

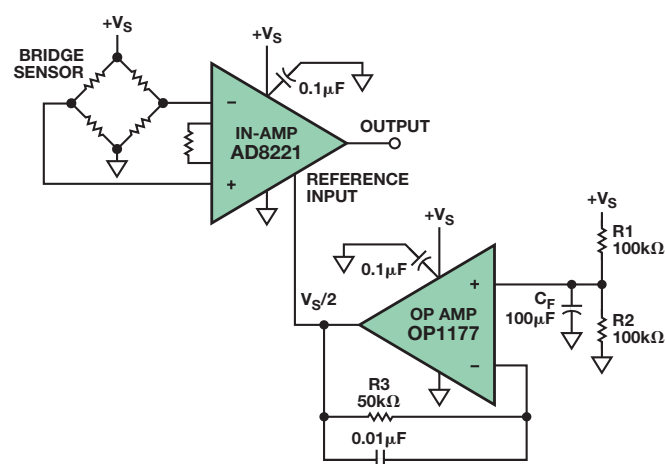
よく見落とされる問題は、リファレンス入力にのった電源ノイズ、トランジェント、ドリフトが分圧比により減衰しただけで、そのまま出力にあらわれることです。実用的な解決方法としては、バイパス処理やフィルタ処理がありますが、V_Sよりタップで直接とるのではなく、ADR121などの高精度リファレンスICを用いてリファレンス電圧を生成することもできます。

計装アンプでもオペアンプでも回路の設計では、この点を配慮することが大切です。電源電圧除去の考え方を正しく利用することによって、電源上に存在するハム、ノイズ、過渡電圧の変動からアンプを絶縁します。現実の回路では多くの場合、理想的とは言えない電源電圧を含んでいたり、そのような電源電圧に接続されていたり、あるいはそのような環境に存在するため、この方法が重要になります。また、電源ライン上のAC信号は回路に戻ったり、増幅されたり、条件がそろえば寄生発振を誘発したりします。

最近のオペアンプと計装アンプはすべて、回路設計の段階で十分な低周波電源除去比を備えています。ほとんどの技術者はこれを前提としています。最新のオペアンプと計装アンプの多くは80～100dB超のPSR比仕様を備え、10,000～100,000の低減率で電源変動の影響を低減しています。40dBというかなり低いPSR比性能のモデルでも、1/100の比率で電源の変動を分離できます。それでも、どのような場合も高周波バイパス・コンデンサ（図1～図7に示したものなど）を使用したほうがよく、場合によっては不可欠になります。

さらに、設計者が電源レールに単純な抵抗分圧器を使用し、オペアンプ・バッファで計装アンプにリファレンス電圧を供給すると、電源電圧のどのような変動もわずかに減衰しただけで回路に混入し、その分だけ計装アンプの出力レベルを変えてしまいます。このため、ローパス・フィルタ処理を行わない限り、ICに通常なら優れたPSRがあってもその効果は得られません。

図10では、大きなコンデンサを分圧器に追加し、電源の変動に対して出力をフィルタ処理し、PSRを維持します。このフィルタの-3dBポールは、R1/R2とコンデンサC1の並列接続によって設定します。ポールは対象となる最小周波数の約10分の1以下に設定する必要があります。



DESIGN EQUATIONS

$$C_F = 1 / ((2\pi) 50k\Omega \times \text{FREQUENCY IN Hz})$$

COOKBOOK VALUES: 10μF (0.3Hz) TO 100μF (0.03Hz)

R3 = PARALLEL COMBINATION OF R1, R2

$$C_F = 1 / (2\pi R3f), R3 = 50k\Omega, f = -30dB \text{ FREQUENCY IN Hz}$$

図10. リファレンス回路をデカップリングしてPSRを維持

ここに示す目安となる値では、約0.03Hzの-3dB極周波数が得られます。R3に対する小さいコンデンサ（0.01μF）によって、抵抗ノイズが最小になります。

フィルタは充電するのに時間がかかります。この目安となる値を使用すると、リファレンス入力での立ち上がり時間は、時定数（ $T = R_3 C_F = 5s$ ）の数倍、すなわち約10～15秒になります。

図11の回路は、さらに改善されています。ここでは、オペアンプ・バッファがアクティブ・フィルタとして使用されているため、同程度の電源デカップリングに対し、はるかに小さいコンデンサを使用できます。また、高いQ値が得られるようにアクティブ・フィルタを設計すれば、ターンオン時間が速くなります。

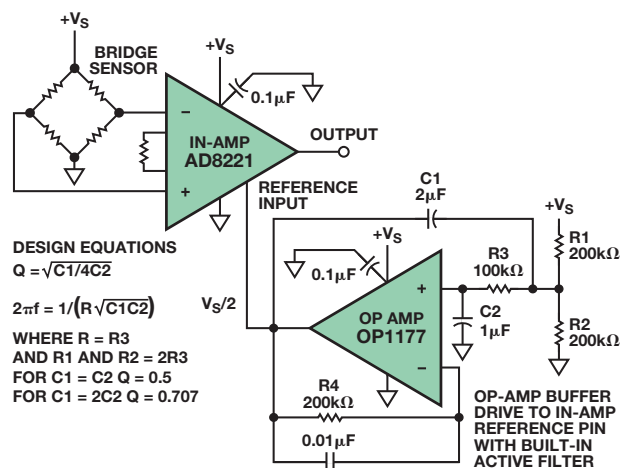


図11. オペアンプ・バッファをアクティブ・フィルタとして接続し、計装アンプのリファレンス・ピンを駆動する

テスト結果：ここに示すコンポーネントの値を用いて12Vを印加し、フィルタ処理した6Vのリファレンス電圧を計装アンプに供給しました。1Vp-pサイン波の変動周波数を使用して、12V電源を変調し、計装アンプのゲインはユニティに設定しました。この条件下で周波数を減少すると、オシロスコープ上でVREFまたは計装アンプ出力のAC信号は8Hz近辺まで見えなくなりました。この回路で測定した電源範囲は、ローレベル入力信号を計装アンプに印加した状態で4～25V超になりました。回路のターンオン時間は約2秒でした。

単電源オペアンプ回路のデカップリング

単電源オペアンプ回路では、入力AC信号の正側と負側の振幅を処理するために入力同相レベルをバイアスする必要があります。このバイアスを分圧器を使用して電源レールから得る場合は、PSRを維持するために十分なデカップリングが必要になります。

よく行われている間違った方法は、100kΩ/100kΩの抵抗分圧器と0.1μFバイパス・コンデンサを使用し、 $V_S/2$ をオペアンプの非反転ピンに供給することです。ポールの周波数が32Hzと高いので、これらの値を使用するとほとんどの場合、十分な電源デカップリングが得られません。特に誘導性負荷を駆動するときなど、回路の不安定性（「モーターボート現象」）がよく起こります。

図12（非反転）と図13（反転）は、最良の結果を得るために $V_S/2$ のデカップリング・バイアスを行っている回路です。いずれの場合も、バイアスは非反転入力に与えられ、フィードバックによって反転入力と同じバイアスを受け取り、ユニティDCゲインも同じ電圧に出力をバイアスします。カップリング・コンデンサC1は、低周波ゲインをBW3からユニティに低下させます。

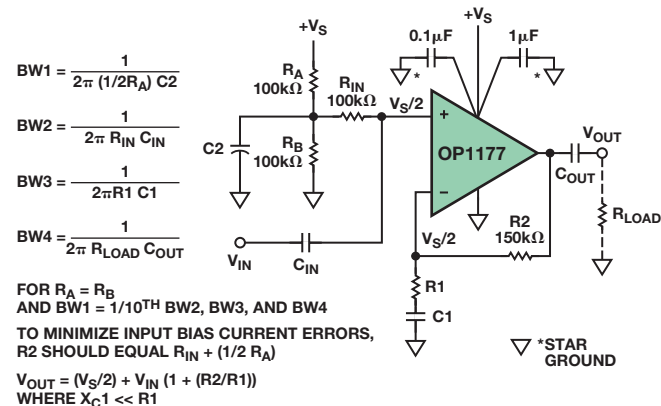


図12. 正しい電源デカップリングを示す単電源非反転アンプ回路。ミッドバンド・ゲイン=1+R2/R1

ここに示すように、100kΩ/100kΩの分圧器を使用するときの目安として、0.3Hzの-3dBのロールオフに対し、C2値には少なくとも10μFを使用するとよいでしょう。100μF（0.03Hzポール）であれば、ほぼすべての回路で十分です。

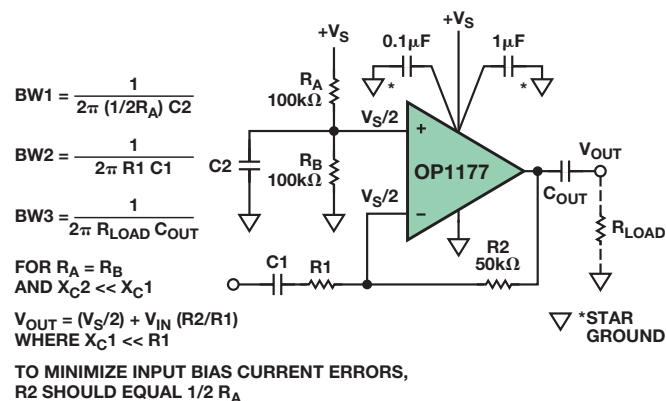


図13. 単電源反転アンプ回路の適切なデカップリング。ミッドバンド・ゲイン=-R2/R1

この記事は、<http://www.analog.com/analogdialogue>にて、HTMLとPDFの両方でご覧いただけます。日本語版をご覧いただく場合は、画面の「日本語」をクリックしてください。

AD8221 Precision Instrumentation Amplifier

