A/Dコンバータのクロックの最適化
試験工学的な観点

Rob Reeder、Wayne Green、Robert Shillito著

システム・クロックを最適化することは大変な作業ですが、それによる効果は期待ができます。クロック・ジッタ特性としてそこそこ良い値である350フェムト秒（fs）で、A/Dコンバータ（ADC）のエンコード回路を設計することは比較的簡単に思われますが、これは今日求められる高速コンバータの条件に十分でしょうか？たとえば、AD9446-100（16ビット、100MHzのADC）を100MHzのサンプル・クロックのナイキストでテストすると、350fsのジッタは約3dBのS/N比（SNR）を劣化させます。また、同じデバイスを105MHzアナログ入力の第3ナイキスト・ゾーンでテストすると、劣化は10dBにもなります。ジッタをもっと改善して100fs以下に低減するには、設計者はジッタがどこで生じるかを把握するとともに、ADCがどのくらいのジッタを許容できるかを理解しておく必要があります。クロック回路の性能がジッタに制限されていること、また、設計段階であればもっと簡単に防ぐことができたこの問題を、手遅れになってから気がつくほど情けないことはありません。

ここでは、関連するクロックの仕様について説明するとともに、高速コンバータが期待どおりの性能を実現する方法について検討します。必要なのは、わずかなノウハウと経験だけです。まず、図1に示すような一般的なADCのクロッキング方式について、シグナル・チェーンの各ポイントにおけるクロック最適化の方法を取り上げ、さらに現在よく使用されていますが、推奨されない回路構成を明らかにします。

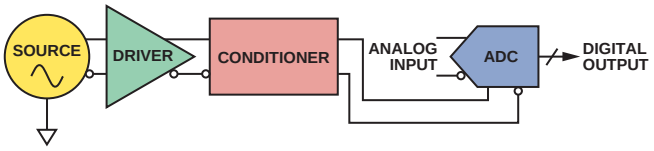


図1.　代表的なクロック・シグナル・チェーン

ジッタとは？

ジッタは、優れたシステム・クロック回路を開発する上でおそらく最も重要なパラメータです。このため、いくつかの基本事項を再確認し、その用語が何を意味しているか理解することが大切です。多くの技術論文ではn次までのジッタ計算式が記載されていますが、優れたコンバータ性能を引き出すには、ジッタを正確に数式で表すだけでは十分ではありません。ジッタがどのようにシステムに入るのか、また、どのようにジッタの影響を最小限に抑えるかも理解しておく必要があります。

ジッタとは、クロック・エッジの場所のばらつきであり、これによってタイミングの誤差が生じ、変換の振幅精度の誤差に直接つながります（図2a）。アナログ入力周波数が高い場合、入力信号の傾斜は低周波数時と比較すると大きくなるため、変換誤差が拡大します（図2b）。この変換誤差の大きさが相対的なものであるということは重要な点です。なぜなら、10ビットのデバイスでの0.5LSB（最下位ビット）の変換誤差は、16ビットのデバイスでは32LSBに相当することになるので、ADCの分解能とアナログ入力周波数が高いほど、ジッタが大きな問題になることになります。

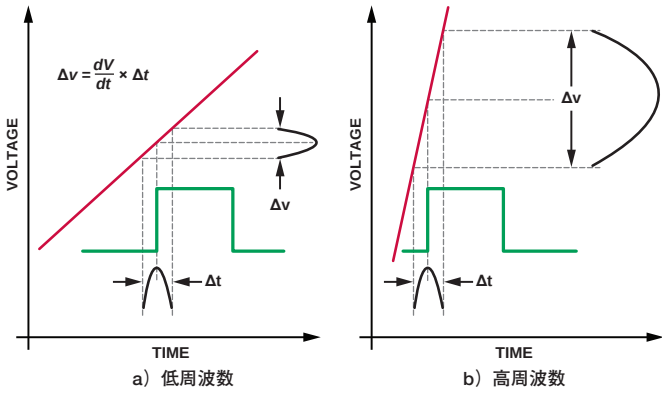


図2.　クロック・ジッタとアナログ入力周波数の関数としての変換誤差

この関係は明確なため、エンジニアはADCの性能をエンコード・クロックのジッタに関連付けることにより、許容可能なジッタの量を最終的に求めることができます。式1は、無限の分解能を備えた理想的なADCにおけるSNR（dB）を周波数によって定義しています。式2は、*N*（10、12、14、または16）ビット分解能を備えた理想的なADCにおけるSNR（dB）を示しています。

$$SNR_{ideal} = 20\log_{10}\left[\frac{1}{2\pi f t_{jitter}}\right] \quad (1)$$

（図3の斜線を参照）

$$SNR_{bits} = \left[6.02N + 1.76\right] \quad (2)$$

（図3の水平線を参照）

図3は、上記の2つの式を結合したものです。この交点から、所定のアナログ入力周波数に対して許容できるクロック・ジッタの総量を求めることができます。低周波数では、精度はコンバータの分解能により制限されます。ただし、入力周波数が高くなり、あるポイントに達すると、そこからはADCの性能がシステムの総クロック・ジッタに左右されるようになります。ちなみに、交点の左側の入力周波数においては、低いジッタはほとんど問題になることはありません。

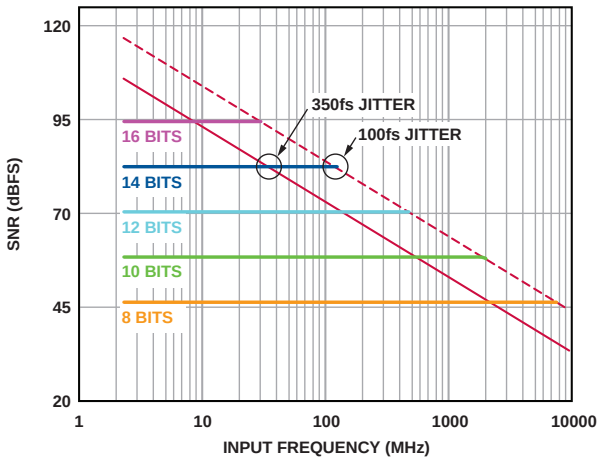


図3.　理想的なADCのSNR 対 アナログ入力周波数とジッタ特性

ただし、アナログ入力周波数が交点の近くまたは右側にある場合、周波数または分解能を低減するか、ジッタの仕様を厳しくする必要があります。このように、ジッタ量が大きくなるに従い、SNR特性がシステムのクロック・ジッタに影響するポイントがさらに低い周波数で生じることになります。

たとえば、ジッタ量が350fsであるクロックを使用して、14ビットADCをテストする場合、アナログ入力周波数を35MHz未満（14ビットの線と350fsの斜線の交点）に制限しないと大幅な性能の低下を生じてしまいます。ジッタを100fsまで低減できれば、125MHzくらいまでの高い入力周波数に関しても特性に影響を与えません。

実際には、この簡略化モデルは1次近似を使用しているため、アナログのテスト周波数が交点に近づくにつれ、精度が悪くなります。クロック・ジッタがADCの性能に及ぼす影響を完全に把握するには、分解能のほか、量子化ノイズとアナログ入力振幅を考慮する必要があります（式3、参考文献9に基づく）。

$$SNR = -20\log_{10}\sqrt{\underbrace{(2\pi f_a\ t_{j\ rms})^2}_{\text{サンプル・クロック・ジッタ}} + \underbrace{\frac{2}{3}\left(\frac{1+\varepsilon}{2^N}\right)^2}_{\text{量子化ノイズ、DNL}} + \underbrace{\left(\frac{2\sqrt{2}\,V_{NOISE\,rms}}{2^N}\right)^2}_{\text{実効入力ノイズ}}} \quad (3)$$

ここで、

SNR	＝S/N比（dB単位）
f_a	＝フルスケール・サイン波のアナログ入力周波数
$t_{j\ rms}$	＝内部ADCジッタと外部クロック・ジッタの総rms
ε	＝ADCの平均DNL（微分非直線性）（LSB単位）
N	＝ADCの分解能（ビット単位）
$V_{NOISE\ rms}$	＝ADCの実効入力ノイズ

$t_{j\ rms}$＝0、ε＝0、$V_{NOISE\ rms}$＝0の場合、上の式はお馴染みの次の式になります。

$$SNR = 6.02N + 1.76\text{dB}$$

たとえば、ADCに0.5LSBの量子化ノイズがあり、テストの結果、アナログ入力振幅がフルスケールより0.5dB低くなっているとしましょう。図4は、式2と式3を結合したものですが、エンコードのクロック・ジッタが簡略化モデルよりももっと低い周波数でSNR性能に影響を及ぼしていることがわかります。

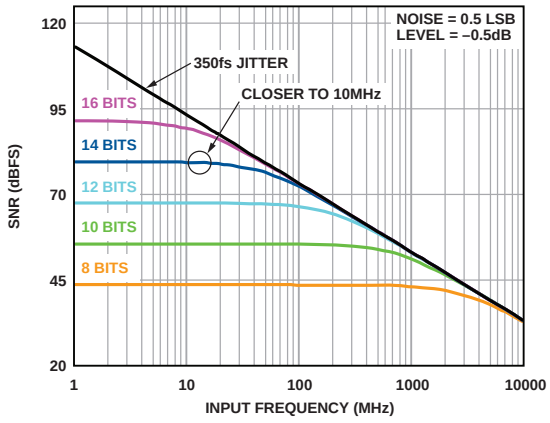


図4.　アナログ入力周波数、クロック・ジッタ、量子化ノイズの関数としてのSNR

前の例では、ジッタが350fsのクロックは、アナログ入力周波数が35MHzになるまでは14ビットADCのSNRに影響を与えないことを示していました。しかし、量子化ノイズ、入力周波数、入力振幅の影響を考慮すると、10MHzという低い周波数でも問題になります。同様に、クロック上の100fsのジッタも100MHz未満の周波数ではSNRの低下を引き起こします。

ジッタ特性の改善

以上でジッタの基本を再確認しましたので、今度はジッタの発生源を考えてみましょう。ADCのクロックのエッジ遷移を変える可能性のあるものはすべてジッタに取り込まれるか、あるいはジッタに影響を及ぼします。例としては、クロストーク、EMI（電磁干渉）、グラウンドの影響、電源ノイズなどがあります。

クロストークが引き起こすジッタは、2つの隣接するトレースで生じる可能性があります。一方のトレースが信号を搬送し、隣接して平行に走るトレースが変動する電流を搬送する場合、信号トレース内に電圧が生じます。これにより、クロック信号の場合はクロック・エッジのタイミングが変わってきます。

ジッタは、高感度の信号トレースへのEMI放射によっても生じることがあります。EMIは、スイッチング電源、高電圧電源ライン、RF信号、その他同様のノイズ源から発生します。EMIは電気や磁気の結合によって信号やクロックのタイミングを変調させることがあり、これによりクロストークと同じように影響を与えます。

図5は、SNRに対する電磁干渉の影響を示しています。青色の線は、クロックとリニア電源を外部から入力したAD9446の周波数対SNRのベースラインです。赤色の曲線は、スイッチング電源によって駆動されるボードに同じクロック回路を固定またはハンダ付けしたときに生じる劣化を示します。緑色の曲線は、発振器を停止させてこの電源から切り離すと、コンバータの性能が大幅に向上することを示しています。

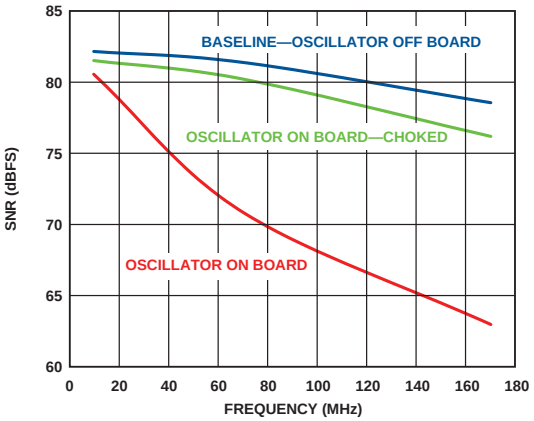


図5.　コンバータ性能 対 発振器の電源構成と周波数

スイッチング電流や不十分なグランド接続が原因となるグランドのバウンスもジッタを引き起こすことがあります。スイッチング電流は、多くのゲートを同時に切り替えると大きくなる可能性があります。これにより、電源プレーンとグランド・プレーンに電流スパイクを発生させたり、クロック回路のスレッショールド電圧やアナログ入力信号にレベルシフトを発生させたりすることがあります。以下の例で考えてみましょう。

> PCボードの配線とレシーバ・ゲート入力による合計の負荷10pFが、ゲート出力にあると仮定します。ゲートを切り替えると、10mAの動的電流が各出力で流入または流出します。［10mAは、10pF×1V/ns（CMOSゲートの代表的なスルーレートI＝C dV/dt）から導きました。］12ゲートが同時に切り替わると、ミッドスケール遷移が120mAの動的電流になる可能性があります。これによって、大きな電流スパイクが電源リードから引き込まれ、しかもその電源リードのうちの1本がグランドになることがあります。リードの抵抗によって生じる過渡電圧降下（バウンス）は、そのリードの抵抗によってグランド電位状態を保つすべての回路に影響を及ぼします。

こうした原因で生じるジッタを減らすには、最適なレイアウト手法と正しい回路分割を行う必要があります。ここで、アナログ回路とデジタル回路をそれぞれの領域に限定することが重要です。最適な絶縁を実現するには、すべての層でこの原則に従う必要が

あります。リターン電流が発生源に対してどのように流れるかを理解し、アナログ回路とデジタル回路の干渉や交差を避けることが大切です。以上をまとめると、高感度のアナログ入力とクロックのトレースは、望ましくない影響を及ぼすおそれのある他の回路や配線から分離する必要があります。

ジッタの改善はスルーの向上

以上でジッタの基本と想定しうる悪影響について説明しましたが、今度は「ジッタが低減するようにシステム・クロックやクロック回路をどのように改善すればよいか？」という質問が出てくると思います。

冒頭の説明を思い出してください。図6に示すように、ジッタやノイズがADCのタイミングを損なうおそれがあるのは、クロックの遷移期間やスレッショールド期間だけです。スルーレートを増大してこのエッジ（スレッショールド期間）を高速にすると、スレッショールド期間にノイズが混入する時間が必然的に少なくなり、システムに生じるrms（2乗平均）のジッタを改善させることができます。

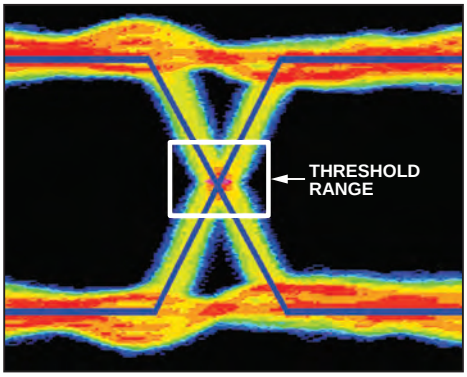


図6.　差動クロックのスレッショールド／遷移範囲の拡大図

スルーレートを増大しても元の信号品質には影響を及ぼさず、スレッショールド範囲の遷移時間のみに影響することを留意してください。これを確認するには、図2bを参照してください。この高速の信号振幅により、遷移範囲にかかる時間が少なくなることがわかります。図7は、ジッタとスルーレートの反比例関係を示しています。これを前述の例と関連付けると、70MHzのアナログ入力に対し、最小100fsのrmsジッタをともなう12ビットADCには、1V/nsのスルーレートが必要になります。

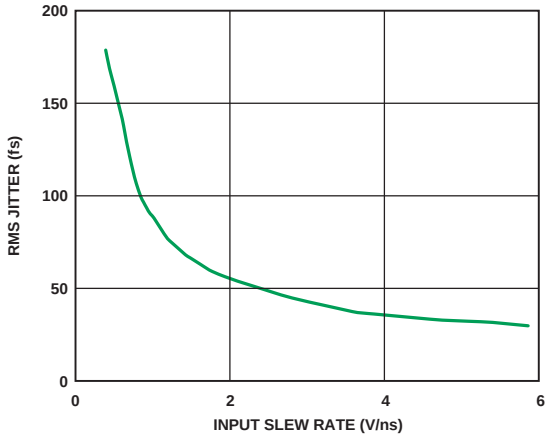


図7.　スルーレート 対 rmsジッタ

このように、ジッタ量を最小限に抑えることは、クロック・エッジのスルーレートを向上させることになります。これを実現する1つの方法は、クロック源そのものを向上させることです。図8は、さまざまなアナログ入力周波数で市販のいくつかの発振器を、アナログ・デバイセズの最高性能のADC、16ビット、80MSPSのAD9446のクロック源として使用した場合の比較を示しています。

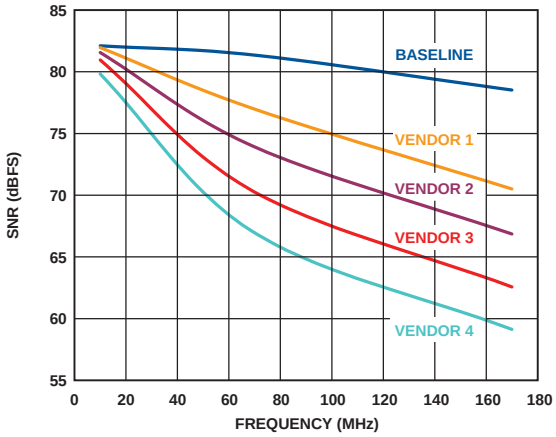


図8.　AD9446-80の性能は発振器の選択によって変わります。

まず、カスタム品の高性能クロック発振器を使用し、アナログ・デバイセズのADCが達成するベースライン性能（青色の線）を確認します。この高速コンバータのユーザがすべて高性能で恒温槽型の低ジッタ発振器にコストやスペースをかける余裕があるわけではありませんが、入手可能なコスト効率に優れた発振器により、高い周波数が入力されてもかなりの性能を実現することが可能です。図8は、手頃なデバイスを使用した場合の性能を示しています。

市販の発振器を選択するときに大切なのは、発振器のベンダーがみな同じ方法でジッタを規定または測定したりしているわけではないという点を考慮することです。特定のアプリケーションに最適な発振器を選ぶ実際的な方法は、いくつかの発振器を集め、直接システムとしてテストすることです。この選択を唯一の変数とすれば、性能を予測することができます（発振器ベンダーが品質管理に適切な基準を維持していることが前提）。できれば、発振器メーカーに問い合わせてジッタや位相ノイズのデータをもらい、デバイスの最適な終端方法についてアドバイスを受けるとよいでしょう。発振器の終端が不適切な場合、コンバータのスプリアス・フリー・ダイナミック・レンジ（SFDR）が極端に低下することがあります。

さらに向上させるには

価格と性能が前提ですが、入手可能な発振器の中で最高特性のものでも、まだ特性が十分でない場合、周波数分割やフィルタリングの使用を検討することで改善が期待されることがあります。式4は、正弦波発振器の出力を示しています。

$$V(t) = A\sin 2\pi ft \qquad (4)$$

2つのパラメータ、すなわち信号の周波数（f）と振幅（A）がスルーレートに影響を与えます。高い周波数、あるいは大きな振幅にするとスルーレートが増大し、システムのクロック・ジッタを期待する値にまで低減します。一般的には、クロック周波数をあげる方法のほうが簡単です。この場合は、周波数分割回路を使用して、所望のコンバータ・クロック・レートを生成するとともに、システム・クロック・ツリーとして他の回路にも供給することができます。

分周器は、回路の部品と電力条件という面でコストを増やし、またジッタも増大させます。なお、クロック・シグナル・チェーンにアクティブ部品が追加されるごとに総ジッタが増大します。

$$j_{total} = \sqrt{j_{source1}^{\ 2} + j_{source2}^{\ 2} + \ldots j_{source\,n}^{\ 2}} \qquad (5)$$

分周器を使用する際は、関連する仕様すべて考慮する必要があります。アナログ・デバイセズのクロック分周器製品の中で代表的なものはAD951xファミリーですが、これは一般に約250fsだけ増大します。内蔵の分周機能に加えて、クロック分配とデューティ・サイクル制御などの機能も利用できます。

クロック分周器は、いかにわずかであっても、必ず総ジッタ量を増大させます。しかし、クロック分周器により周波数が低減することから、出力ジッタの出力期間が短くなり、その結果、発生する誤差が少なくなります。たとえば、100MHzのクロック源とチェーンのその他の要素により800fsのジッタが生じ（10ns期間の約12.5%）、さらにクロック分周器により周波数を10MHzまで低下させるとともにさらに250fsのジッタが生じる場合、結果として生じる840fsのジッタ量は100nsの出力周期の1%未満になります。

式5の結果から、最大のジッタ源が総ジッタ量を左右するため、クロック源の最大ジッタは最大ジッタ源の1/3以下にする必要がありますが、それ以上少なくする必要はありません。実際の選択は、アプリケーションの性能条件（所要の周波数範囲でのSNRなど）、利用可能なシステム部品の特性、サイズとコストに関わる通常の制限によって決まります。

位相ノイズの低減

式5が示すように、総ジッタ量はクロック・クリーンアップ回路からのジッタとクロック源やその他の干渉部品のジッタの2乗和の平方根（RSS）です。したがって、分周器回路がきわめてノイズの多いクロック源により駆動された場合は、最も大きいジッタの項がこの式を決定することから、分周器回路の効果がすべて反映されません。この場合は、クロック源と分周器回路の間にパッシブなナローバンド・フィルタを使用することを検討します。

フィルタリングの利点を説明するため、ジッタの仕様が800fsのクロック源を考えてみましょう。クロック分周器回路をクロック源とコンバータの間に配置した場合、分周器回路にはもっと高い性能が可能であっても、ジッタはおよそ500fsに低減します。ただし、クロック源と分周器回路の間に5%のLCバンドパス・フィルタを配置すると、ジッタ量を250fsに低減することができます（図9を参照）。

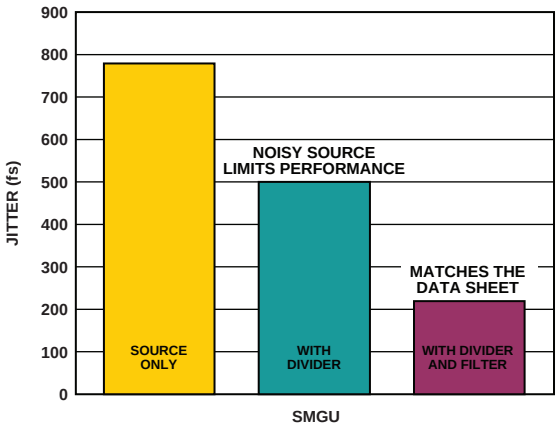


図9.　クロック分割とフィルタリングによるジッタの低減

フィルタがどのように正弦波のクロック源のジッタを改善するかを理解するには、周波数領域のジッタに注目し、位相ノイズのグラフ化からその値を推定することが役に立ちます。この計算は、スルーレートなどの非直線性の要因を考慮に入れていない簡単なものですが、このモデルは実際に存在する以上に多くのジッタを予測することが可能です。

計算を行うには、位相ノイズのグラフをいくつかの周波数領域に分け、図10に示すように各領域の総合ノイズ電力を計算します。これにより、各領域のジッタの寄与分、およびクロック源の総ジッタ（RSSの加算による）量を明らかにすることができます。これらの式では、f_0は搬送周波数です。総合位相ノイズには2の平方根が乗算されていますが、これはグラフが2つのサイドバンドの1つを表すためです。

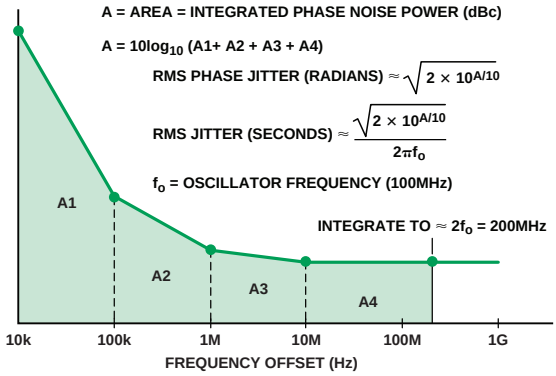


図10.　位相ノイズからのジッタの計算

次に、ジッタが800fsのクロック源を考えてみましょう。クロック源の位相ノイズをグラフにプロットすることによって（図11）、大部分のジッタが周波数領域のどこから来ているのかを簡単に突き止めることができます。ジッタ量が800fsのクロックの場合、スペクトルにおけるジッタの主要な部分は広帯域にあることがわかります。したがって、特に広帯域ノイズを低減することがサンプリング形式のシステムでは一番重要になります。

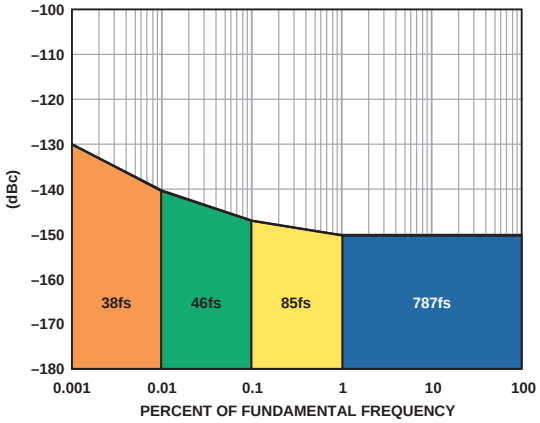


図11a.　ジッタが800fsのクロック源の位相ノイズのグラフ

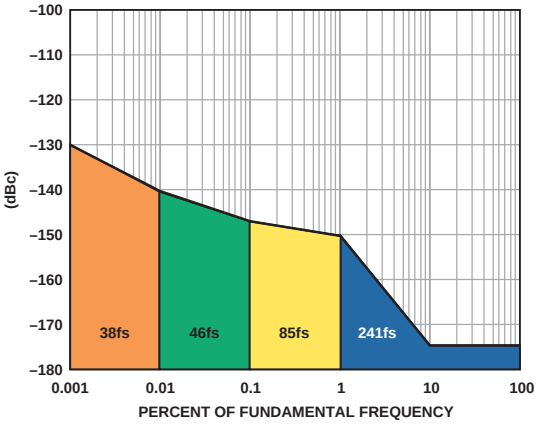


図11b.　パスバンドが5%のバンドパスLC多極フィルタを使用した800fsクロック源の位相ノイズ

パスバンドが5%の単純なバンドパスLC多極フィルタ（5%のLCBP）をクロック源の出力に使用すると、図11bに示すように大幅に性能が向上します。ご覧のように、800fsから300fs未満に改善されます。これは12dB以上のSNRの改善に相当します。

5%のLCBPフィルタは簡単に入手できますが、大きくて高価です。代わりに水晶タイプのフィルタを使用することもできます。図12では、800fsから100fs未満に位相ノイズが改善しています。5% LCBPフィルタの12dBよりもさらに3dB改善し、全体で15dBになりました。

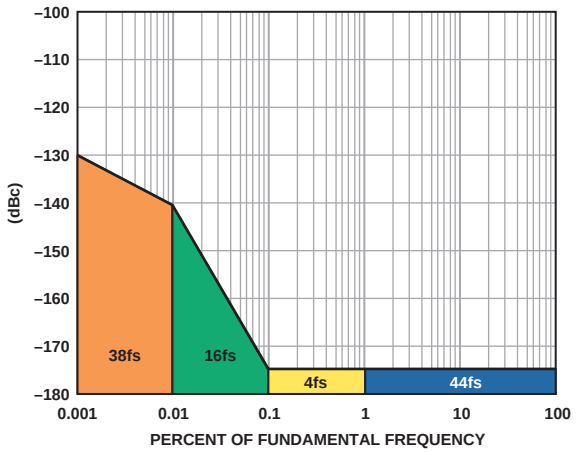


図12.　水晶フィルタによる800fsクロック源の位相ノイズ

ノイズの多いクロック源に水晶フィルタをカスケード接続することがどのくらい効果があるかを実証するために、旧式のベンチトップ型のパルス発生器を16ビット、100MHzのAD9446-100 ADCのクロック源として実験しました。ジッタ量が4psを超える発生器で、フィルタリングを行わない場合、SNRの低下は30dBを超えます。水晶フィルタを利用すると、ジッタ量の計算値はほぼ50fsとなり、改善されたSNRの値はデータシートの代表的な性能に近いものになります（図13）。

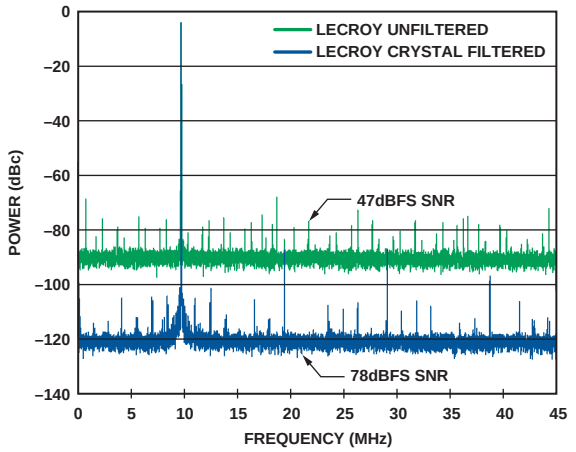


図13.　ノイズの多いクロック源でも水晶フィルタが有効

パスバンド領域が特に狭く、通常1%未満の水晶フィルタは、多くのクロック源のジッタを100fs未満にまで低減できますが、高価であるとともに、アクティブ・フィルタより大きくてかさばります。水晶フィルタの入出力範囲が5 ～ 10dBmに制限されていることにも注目する必要があります。この範囲を超えて使用すると、歪みが発生し、ADCのSFDRが低下するおそれがあります。最後に、一部の水晶フィルタはインピーダンス・マッチングのために外付け部品を必要とすることがあります。これにより、フィルタがその機能を果たしても、部品の増加、難しいマッチング調整に費やす時間、コスト増を招くことになります。

スルーレートを向上させるための分周器とフィルタ・ソリューションの一覧を表1に示します。

信号がADCのクロック入力に近づく前に、逆並列のショットキー・ダイオードを使用して信号をクリッピングするとよいでしょう。これにより、クロック源の振幅を増やし、クロックの振幅をコンバータのクロック入力に適合したレベルに保持しながらスルーレートを高めることができます。

クロッキング・システムが小さい場合、または最終段のトレース長が短い場合、クリッピング・ダイオードとトランスを組み合わせて使用することを検討してください。トランスはパッシブ・デバイスであるため、クロック信号の全体でジッタを増大することはありません。トランスにより発振器の信号電圧のゲインを得て、式4のA項（振幅）を増大させることもできます。最後に、トランスは本質的にパスバンド・フィルタリングを行います。ゲインを備えたトランス（1:2または1:4のインピーダンス比）の帯域幅はさらに狭く、クロック信号の優れたフィルタリングが可能になります。トランスはシングルエンド信号を差動信号に変換することもでき、これは今日のADCクロック入力インターフェースでは一般的なものになっていますので特にお奨めします。

すべてのダイオードが同じように優れた動作をするわけではないことを認識しておいてください（図14）。「ベースライン」の条件は、同じ条件で測定したこのテスト・バッチの中で他のダイオードと比べて最も優れた動作を示したダイオードの性能です。仕様をよく読み、特に動的抵抗と総容量の仕様に注目してご使用ください。RとCの値が低いダイオードを使用すれば、クリッピング速度を向上させることができます。

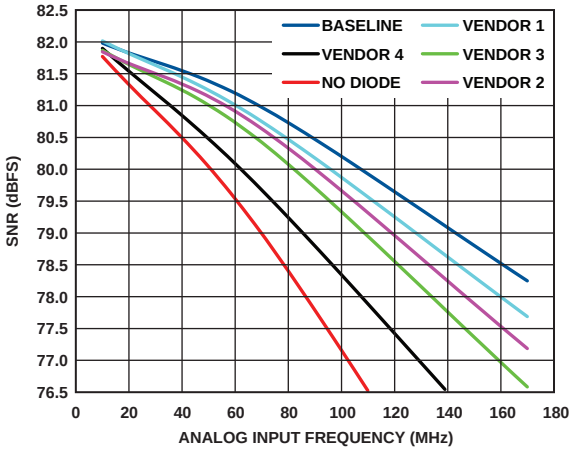


図14.　AD9446-80の性能はクリッピング・ショットキー・ダイオードの選択により影響を受けます。

表1. 分周器とフィルタのトレードオフ一覧

	分周器	5%のLCBPフィルタ	水晶フィルタ
長所	• 低価格 • 低周波数で高スルーレート • デューティ・サイクルが可変 • クロック分配チップ＝出力数を増やすことができる	• 適切なクロック源を使用すれば、100fs未満のジッタを実現可能 • リードタイムが短い • 最大入力電力が大きい	• すべてのクロック源に対して超低ジッタ • 非常に小さい（50Ωマッチングも利用可能）
短所	• 最善のジッタ：約200 ～ 250fs	• エンコードはパスバンド周波数まで • デューティ・サイクルは50%まで • 分周器より高価	• エンコードはパスバンド周波数まで • デューティ・サイクルは50%まで • カスタム費用はLCBPに比べて50%増加
留意点	• 最高性能を得るには、分周器の前にバンドパス・フィルタを配置すること	• 分周器により問題が悪化する可能性がある • 最大出力パワーは、フィルタの挿入損失と規定された最大入力パワーによって制限される	• 最大出力パワーは、フィルタの挿入損失と規定された最大入力パワーによって制限される • カスタム・フィルタを注文するときは、最大パワーが高いものを求めること

ここでは、16ビット、80MSPSのAD9446 ADCをテスト・プラットフォームとして使用しました。唯一の変更点は、逆並列のダイオードのクロック源にあります。この評価に使用した回路を図15に示します。

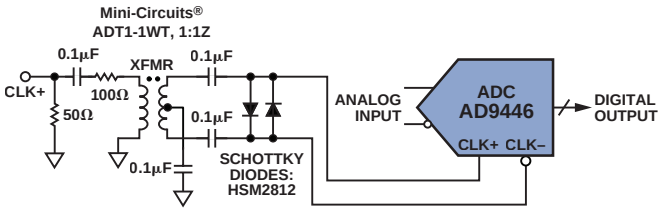


図15.　図14のデータのAD9446クロック回路

クロック・ハードウェア・インターフェースでのジッタの低減

ADCのクロック入力ピンへの接続には、さまざまな回路やソリューションを使用できます。ただし、以下の式5を検討してください。

$$j_{total} = \sqrt{j_{source1}^{\ 2} + j_{source2}^{\ 2} + \ldots j_{sourcen}^{\ 2}}$$

これにより、シグナル・チェーンの各アクティブ部品（発振器源、ドライバやファンアウト・ゲート、分周器など）によってADCのクロック入力ピンに現れるジッタの総量が増大するということが当然予想されます。図16は、それぞれのジッタが700fsの2つゲートをジッタが300fsのクロック源に追加すると、140MHzにおいて分解能が12ビットから10ビット未満に低下することを示しています。

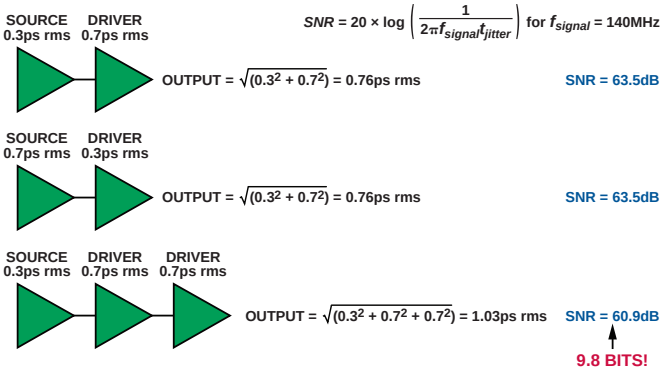


図16.　複数のドライバ・ゲートによってジッタが増大し、SNRが低減します。

このため、クロック・シグナル・チェーンの部品数を最小限に抑えることは、総RSSジッタ量を低くすることに役立ちます。

選択したクロック・ゲートの種類も注目に値します。高いアナログ入力周波数で十分な性能が欲しいときは、おそらく単純なロジック・ゲートは最善の選択肢とはいえません。候補デバイスのデータシートを注意深く読み、ジッタやスキューなどの該当する仕様を理解することが一番よい方法です。特に、ジッタがきわめて低いクロック源で動作させようとするときには重要です。たとえば、図17ではクロック源Aのジッタは800fsで、クロック源Bのジッタは125fsです。水晶フィルタを用いると、ジッタ量はそれぞれ175fsと60fsに低減できます。ただし、分周器（または同等のジッター仕様を備えたゲート）により、どちらの場合もジッタが増大して200fsを超える場合があります。このことから、クロック・シグナル・チェーンにおいて正しいクロック・ドライバを選択して配置することが特に重要になります。

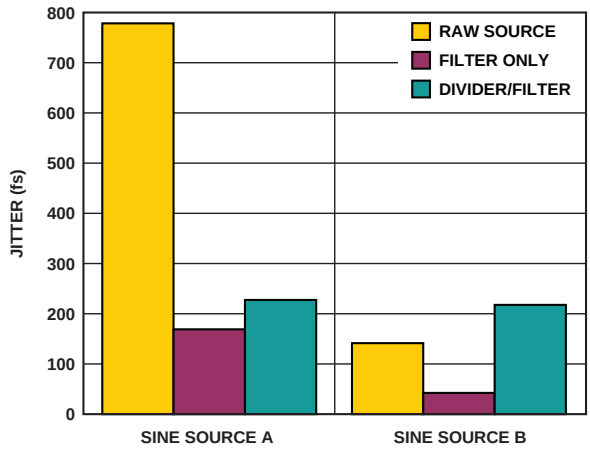


図17.　複数のゲートによってジッタが増大します。

もう1つの一般的な方法は、データシートの性能をまったく実現できなくしてしまいます。FPGA（多くの場合、クロック分割を行うデジタル・クロック・マネージャ（DCM）付き）を使用すると、かなり簡単に柔軟なゲート・ドライバを実現できます。ただし、図18に示すように、この手法は、たとえば13ビットのENOBを実現できるAD9446-80（80MSPS ADC）を使用した場合、SNRの低下という大きな代償を払います。高性能発振器が赤色の曲線で示すように、周波数範囲全体でベースラインのSNR性能を確立します。緑色の曲線は同じクロックを使用していますが、高性能発振器とコンバータの間にゲート・ドライバとしてFPGAを配置した場合の性能の違いを示しています。40MHzで、FPGAはSNRを52dBに低減しますが（8.7ビット性能）、DCMはさらに8dB（1.3ビット）SNRを低減します。SNRが29dBも低下すれば、この性能の差異は大変なものになります。すなわち、式1を使用すると、FPGAドライバ・ゲートだけでおよそ10psのジッタを増やすことになります。

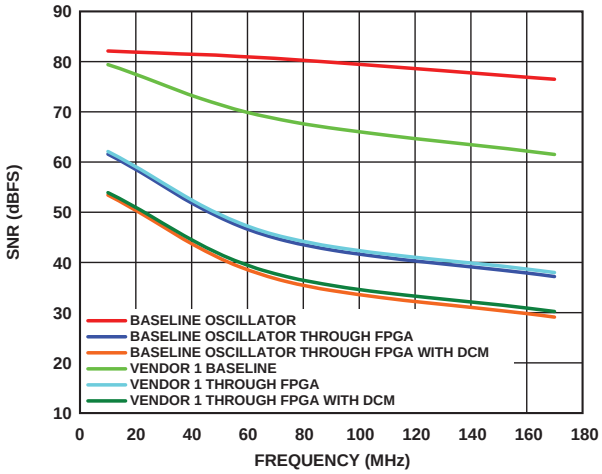


図18.　AD9446-80の性能はFPGAゲート・ドライブ回路の影響を受けます。

最善のクロック・ドライバ・ゲートを選択することが難しいこともあります。表2は、いくつかの市販のドライバ・ゲートについてジッタ量の増加分を大まかに比較しています。表の下半分の備考を参考にすれば、高いADC性能を実現するために役立つかもしれません。

表2. クロック・ドライバ・ゲートとそのジッタ増加分の一覧

ロジック・ファミリー	備考
FPGA	33 ～ 50ps（ドライバ・ゲートのみ、DLL/PLLの内部ゲートは含まない）[1]
74LS00	4.94ps[2]
74HCT00	2.2ps[2]
74ACT00	0.99ps[2]
MC100EL16 PECL	0.7ps[1]
AD951xファミリー	0.22ps[1]
NBSG16、振幅を低減したECL（0.4V）	0.2ps[1]
ADCLK9xx、ECLクロック・ドライバ・ファミリー	0.1ps[1]

[1] メーカーの仕様
[2] ADCのSNRの低下に基づく計算値

結論

コンバータの性能を最大限に引き出すには、クロック・システム全体を理解することがたいへん重要です。図3および式1と式2は、ジッタ量に制限されているきわめて高い分解能のADCもしくは「完全」Nビット ADCのいずれかを利用する場合に、クロック条件を知るための指針として利用できます。アナログ入力周波数がこれらの線の交点より十分下になければ、ジッタを低減したクロック源とそれにともなう回路を検討する必要があります。

システム・クロック回路のジッタ量は、さまざまな方法で低減することができます。これにはクロック源の改善、フィルタリング、周波数分割、さらには適切なクロック回路ハードウェアの選択などがあります。クロックのスルーレートに注意を払うことを忘れないでください。これにより、遷移時間の間にコンバータを破損するおそれのあるノイズ量が決まります。この遷移時間を最小限に抑えると、コンバータの性能を高めることができます。

シグナル・チェーンの各部品が全体的なジッタ量を増大することになるため、必要な回路のみを使用してクロックを駆動および分配します。最後に、「安い」ハードウェア・ゲートは使用しないでください。おそらく期待外れの性能しか得られないでしょう。7万ドルの車でも装備したタイヤが20ドルでは、チャンピオン・レベルの性能は期待できないのと同じことです。

参考文献

1. AD6645データシート
2. AD9446データシート
3. Barrow, Jeff『DC/DCコンバータのグラウンド・バウンスを抑える―グラウンディングの基本』Analog Dialogue、vol.41、no.2 & 3、2007年、pp.3 ～ 7
4. Brannon, Brad『サンプル化システムに及ぼすクロック位相ノイズとジッタの影響』アプリケーション・ノートAN-756
5. Brannon, BradおよびAllen Barlow『Aperture Uncertainty and ADC System Performance』アプリケーション・ノートAN-501
6. Curtin, MikeおよびPaul O'Brien『Phase-Locked Loops for High-Frequency Receivers and Transmitters—Part2』Analog Dialogue、vol.33、no.1、1999年、pp.13 ～ 17
7. ディスクリートのカスタム水晶フィルタ
   - Filtronetics（www.filtro.net）
   - Anatech Electronics, Inc.（www.anatechelectronics.com）
8. HSMS-2812データシート
9. Kester, Walt『Analog-Digital Conversion』アナログ・デバイセズ、2004年、第2.3項、p.2.72、図2.81
10. K&Lフィルタのデータシート
11. Mercer, Doug、Steve Reine、David Carr『Coupling a Single-Ended Clock Source to the Differential Clock Input of Third-Generation TxDAC and TxDAC+ Products』アプリケーション・ノートAN-642
12. モノリシック水晶フィルタ（大部分の評価に使用）
    - QuartzCom（www.quartzcom.com）
13. Smith, Paul『Little-Known Characteristics of Phase Noise』アプリケーション・ノートAN-741

謝辞

この分野および関連分野の研究に関する知識について、Yi Wang、Brad Brannon、Walt Kesterの各氏から多大なるご支援とご協力を賜りましたことを深く感謝いたします。また、研究所におけるデータ収集にご協力いただきましたBen Beasley氏に感謝いたします。

著者



Rob Reeder（rob.reeder@analog.com）は、グリーンズボロの高速コンバータ・グループの上級コンバータ・アプリケーション・エンジニアです。コンバータおよびコンバータのテストに関し、数多くの論文を発表しています。以前は、アナログ・デバイセズのマルチチップ製品グループの設計者として、宇宙・軍事アプリケーション向けにコンバータ・モジュールを設計していました。イリノイ州デカルブの北イリノイ大学で1996年にBSEE（電気工学士）、1998年にMSEE（電気工学修士）を取得しています。余暇には、音楽のミキシング、エアーブラシ・アート、2人の息子たちとHot Wheels®のレース・トラック作りを楽しんでいます。



Wayne Green（wayne.green@analog.com）は、グリーンズボロの高速コンバータ・グループのテスト開発エンジニアです。D/Aコンバータ、高速コンパレータ、ピン・ドライバ、高速A/Dコンバータのテスト・ソリューションを開発しています。現在は、マルチチャンネル、マルチ分解能、超高速ADCのアナログ・デバイセズ・ファミリーのためのテスト・ソリューションの開発に取り組んでいます。



Robert Shillito（robert.shillito@analog.com）は、グリーンズボロの高速コンバータ・グループの製品テスト開発エンジニアです。ノースカロライナ州立大学でBSEE（電気工学士）を取得し、卒業後、2006年にアナログ・デバイセズに入社しました。主として速度が50 ～ 250MSPSの12ビットと14ビットの高性能ADCに携わっています。