

高速差動ADCドライバの「交通規則」

著者：John Ardizzoni、Jonathan Pearson

私たちアプリケーション・エンジニアには、差動入力に備えた高速A/Dコンバータ（ADC）の駆動に関するさまざまな質問がひっきりなしに届きます。実際、適正なADCドライバや構成を選択するのは容易なことではありません。堅牢なADC回路の設計をいくらかでも簡素化するために、私たちは一連の陥りやすい問題点や事故例と、そのソリューションを蓄積してきました。本稿では、実際にADCを駆動する回路、すなわちADCドライバや差動アンプなどのさまざまな名称で呼ばれている回路が、高速信号の処理の成否を左右するものであることを前提に話を進めます。

はじめに

現代の高性能ADCの大半は、差動入力を使ってコモンモード・ノイズと干渉を除去し、ダイナミック・レンジを従来の2倍に拡大するとともに、バランス信号伝送によって性能全体を改善しています。差動入力を持つADCは、シングルエンド入力信号も処理することができますが、最適なADC性能は入力信号が差動のときに達成可能です。ADCドライバ回路は、その要求に合う信号を提供するように特別に設計されることがよくあり、振幅スケール、シングルエンド/差動変換、バッファ処理、コモンモード・オフセット電圧の調整、フィルタ処理など、多くの重要な機能を実行します。AD8138の発売以来、差動ADCドライバはデータ・アキュイジション・システムにとって不可欠なシグナル・コンディショニング部品となっています。

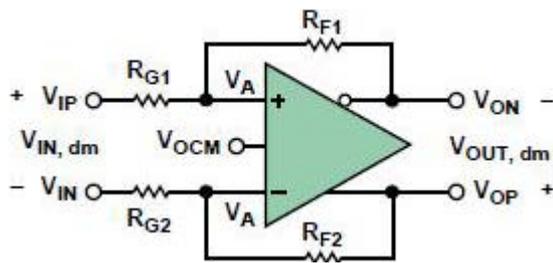


図1. 差動アンプ

基本的な電圧帰還型の完全差動ADCドライバを、図1に示します。これは、従来の帰還型オペアンプ回路とは2つの点で異なります。差動ADCドライバには、通常のオペアンプに対し、出力端子V_{ON}と入力端子V_{OCM}が追加されています。これらの端子により、差動入力を持つADCに信号をインターフェースする場合、柔軟性が大幅にアップします。

差動ADCドライバは、シングルエンド出力の代わりにV_{OP}とV_{ON}間のバランス差動出力を生成します（V_{OCM}を基準）。Pは正相、Nは逆相を示しています。V_{OCM}入力、出力コモンモード電圧を設定します。入力と出力が規定の制限範囲内にある限り、出力コモンモード電圧はV_{OCM}入力に印加された電圧と等しくなります。アンプ入力端子V_{A+}、V_{A-}の電圧は、負帰還と高オープン・ループ・ゲインによってほぼ同じ値になります。

以下の説明で、いくつかの定義とその重要性を示します。入力信号が平衡している場合、共通リファレンス電圧点を基準にV_{IP}とV_{IN}の公称振幅は等しくなりますが、位相が逆になります。入力がシングルエンドのときは、どちらかかの入力が固定電圧となり、ほかの電圧はそれを基準に変動します。いずれの場合も、入力信号はV_{IP} - V_{IN}と定義します。

差動モード入力電圧V_{IN,dm}とコモンモード入力電圧V_{IN,cm}を式1と式2に定義します。

$$V_{IN,dm} = V_{IP} - V_{IN}, \quad V_{IN,cm} = \frac{V_{IP} + V_{IN}}{2} \quad (1, 2)$$

このコモンモードに関する定義は、バランス入力についてはもちろん、シングルエンド入力に対しても有効です。出力も差動モードとコモンモードを持ち、式3と式4のように定義されます。

$$V_{OUT,dm} = V_{OP} - V_{ON}, \quad V_{OUT,cm} = \frac{V_{OP} + V_{ON}}{2} \quad (3, 4)$$

ここでは、出力コモンモード・レベルを設定するV_{OCM}入力端子と、実際の出力コモンモード電圧V_{OUT,cm}との違いに注意してください。

差動ADCドライバの解析は、従来のオペアンプの場合よりもかなり複雑なものとなります。式を簡単にするために、便宜上、2つの帰還率β₁、β₂を式5と式6のように定義します。

$$\beta_1 = \frac{R_{G1}}{R_{F1} + R_{G1}}, \quad \beta_2 = \frac{R_{G2}}{R_{F2} + R_{G2}} \quad (5, 6)$$

ほとんどのADCアプリケーションではβ₁ = β₂ですが、ベータ・ミスマッチが性能にどのように影響するか直観的に理解することが必要であり、そのためにはV_{IP}、V_{IN}、V_{OCM}、β₁、β₂に関するV_{OUT,dm}の一般的なクロード・ループ式が役に立ちます。V_{OUT,dm}の式(式7)には、アンプの有限な周波数依存のオープン・ループ電圧ゲイン項A(s)が含まれています。

$$V_{OUT,dm} = \left[\frac{2}{\beta_1 + \beta_2} \right] \left[\frac{V_{OCM}(\beta_1 - \beta_2) + V_{IP}(1 - \beta_1) - V_{IN}(1 - \beta_2)}{1 + \frac{2}{A(s)(\beta_1 + \beta_2)}} \right] \quad (7)$$

β₁ ≠ β₂のとき差動出力電圧はV_{OCM}に依存しますが、この場合、差動出力でオフセットと過大なノイズが生成されるので、望ましくない結果が生じます。電圧帰還アーキテクチャのゲイン帯域幅積は一定です。面白いことに、ゲイン帯域幅積のゲインは2つの帰還率の平均の逆数となります。

β₁ = β₂ ≡ βのとき、式7を簡単すると式8のように表せます。

$$\frac{V_{OUT,dm}}{V_{IN,dm}} = \left[\frac{R_F}{R_G} \right] \left[\frac{1}{1 + \frac{1}{A(s)(\beta)}} \right] \quad (8)$$

これはかなり馴染みのある式です。A(s) → ∞のとき、理想的なクロード・ループ・ゲインはR_F/R_Gとして簡単に表されます。ゲイン帯域幅積の式もかなり馴染みのあるもので、従来のオペアンプと同様、ノイズ・ゲインは1/βです。

帰還率がマッチした差動ADCドライバの理想的なクロード・ループ・ゲインは、式9で表されます。

$$A_V = \frac{V_{OUT,dm}}{V_{IN,dm}} = \frac{R_F}{R_G} \quad (9)$$

差動ADCドライバの重要な性能評価尺度である出力の平衡性には、振幅バランス、位相バランスという2つの要素があります。振幅バランスは、2つの出力の振幅がどれだけマッチングするかを示しており、理想的なアンプでは振幅が正確に一致します。出力の位相バランスは、2つの出力の位相差がどれだけ180°に近いかに示します。出力振幅または位相振幅がアンバランスの場合、出力に好ましくないコモンモード成分が生成されます。出力バランス誤差(式10)は、差動入力信号で生成される出力コモンモード電圧と、その入力信号で生成される出力差動モード電圧との比の対数表示であり、dB単位で表されます。

$$\text{Output Balance Error} = 20 \log_{10} \left[\frac{\Delta V_{OUT,cm}}{\Delta V_{OUT,dm}} \right] \quad (10)$$

内部のコモンモード帰還ループは、 $V_{OUT,cm}$ と V_{OCM} 入力への電圧が等しくなるように動作します。これで優れた出力バランスを達成できます。

ADCドライバ入力の終端

ADCドライバは、高速信号を処理するシステムで頻繁に使用されます。信号波長より長い距離で離れたデバイス間では、シグナル・インテグリティの喪失を防ぐために、コントロールされたインピーダンスの伝送ラインで接続する必要があります。最良の性能は、伝送ラインが特性インピーダンスの両端で終端されたときに達成されます。ドライバは一般にADCの近くに配置されるので、両デバイス間でのコントロールされたインピーダンスは必要ありません。ただし、ADCドライバ入力への受信信号接続は、コントロールされたインピーダンスによる接続(適切な抵抗に終端される)が必要なほど長くなる場合がよくあります。

ADCドライバの入力抵抗は、差動であれシングルエンドであれ、所望の終端抵抗と同等かそれ以上のものとし、終端抵抗 R_T をアンプ入力と並列に接続して必要な抵抗値を達成できるようにします。この例に示すADCドライバはすべて、帰還比がバランスするよう設計されています(図2を参照)。

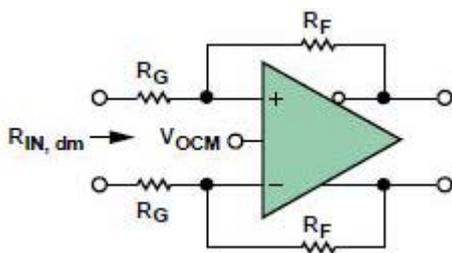


図2. 差動アンプの入力インピーダンス

2つのアンプ入力間の電圧差は負帰還によってゼロとなるため、これらは仮想ショート状態で、差動入力抵抗 R_{IN} は単に $2 \times R_G$ となります。伝送ラインの抵抗 R_L をマッチングするために、式11に示す抵抗 R_T を差動入力間に接続します。図3は、代表的な抵抗値 R_F (200Ω)、 R_G (200Ω)、所望の抵抗 $R_{L,dm}$ (100Ω)、 R_T (133Ω)を示しています。

$$R_T = \frac{1}{\frac{1}{R_L} - \frac{1}{R_{IN}}} \quad (11)$$

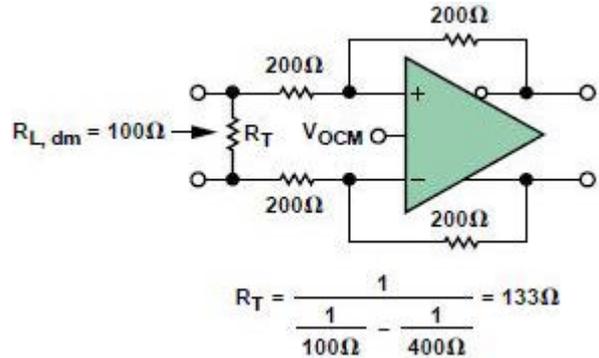


図3. 100Ωラインのマッチング

シングルエンド入力を終端するには、もっと多くの手間を要します。図4は、シングルエンド入力と差動出力を持つADCドライバの動作を示しています。

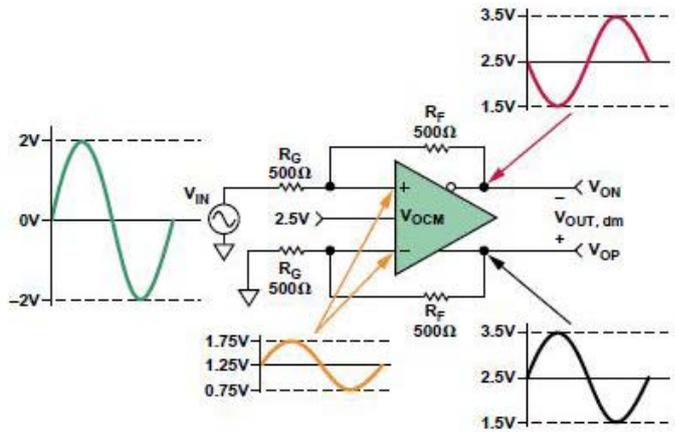


図4. ADCドライバのシングルエンド入力例

入力はシングルエンドですが、 $V_{IN,dm}$ は V_{IN} と等しい入力です。抵抗 R_F と R_G は等しく、平衡しているため、ゲインはユニティ・ゲインであり、差動出力 V_{OP} V_{ON} は入力と等しく、4V_{p-p}となります。 $V_{OUT,cm}$ は V_{OCM} (2.5V)と等しく、下側の帰還回路により入力電圧 V_{A+} と V_{A-} は $V_{OP}/2$ と等しくなります。

式3と式4を使用すると、 $V_{OP} = V_{OCM} + V_{IN}/2$ であり、同相電圧の振幅は2.5Vを中心に±1Vとなります。また、 $V_{ON} = V_{OCM} - V_{IN}/2$ であり、逆相電圧の振幅は2.5Vを中心に±1Vです。したがって、 V_{A+} と V_{A-} の振幅は1.25Vを中心に±0.5Vとなります。 V_{IN} で供給する電流のAC成分は $(2V - 0.5V) / 500\Omega = 3mA$ なので、マッチングが必要なグラウンドに対する抵抗値は、 V_{IN} から見て667Ωとなります。

各ループの帰還率をマッチングするときはこのシングルエンド入力抵抗を求める一般式を式12に示します。ここで $R_{IN,se}$ はシングルエンド入力抵抗です。

$$R_{IN,se} = \left(\frac{R_G}{1 - \frac{R_G}{2 \times (R_G + R_F)}} \right) \quad (12)$$

ここで終端抵抗の計算を始めますが、まず、アンプ・ゲインの式がゼロ・インピーダンス入力信号源をベースにしている点に留意する必要があります。シングルエンド入力に起因するアンバランスの環境下で、マッチングが必要となる重要なソース・インピーダンスは、回路上側の R_G にのみ抵抗値を付加します。平衡を維持するには、抵抗を下側 R_G に追加してこのマッチングを行う必要がありますが、そうするとゲインに影響を与えます。

シングルエンド信号の終端を行うためには、クローズド型のソリューションを採用することもできますが、一般には反復法が使用されます。この必要性については次の例で明らかにします。

図5の場合、低ノイズを維持するために、シングルエンド/差動ゲインが1であること、50Ωの入力終端、200Ω近辺の値を持つ帰還/ゲイン抵抗が必要です。

式12から、シングルエンド入力抵抗は267Ωとなります。また、式13により、267Ωの入力抵抗を50Ωまで下げるために並列抵抗 R_T を61.5Ωにする必要があります。

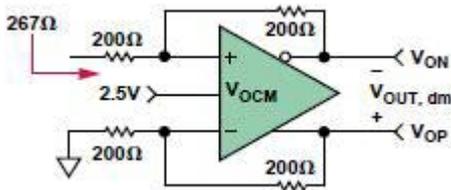


図5. シングルエンド入力インピーダンス

$$R_T = \frac{1}{\frac{1}{50\Omega} - \frac{1}{267\Omega}} = 61.5\Omega \quad (13)$$

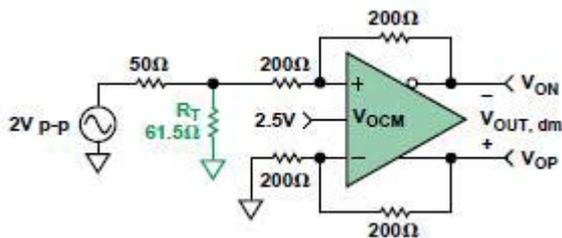


図6. ソース抵抗と終端抵抗を備えたシングルエンド回路

図6はソース抵抗と終端抵抗を備えた回路を示しています。50Ωの抵抗を持つソースの解放端電圧は2Vp-pです。ソースが50Ωに終端されると、入力電圧は1Vp-pに下がります。この電圧はユニティ・ゲイン・ドライバの差動出力電圧でもあります。

この回路は一見完全なものに見えるかも知れませんが、50Ωと並列に61.5Ωのマッチしていない抵抗が上側の R_G のみ追加されています。そのため、ゲインとシングルエンド入力の抵抗が変わり、帰還率にミスマッチが起きます。小さなゲインの場合、入力抵抗の変化が小さいためとりあえずこのミスマッチは無視されますが、帰還率はマッチングしている必要があります。これを達成する最も簡単な方法は、下側 R_G に抵抗を加えることです。図7は、上記の並列組合せがソース抵抗として作動するテブナン(Thevenin) 等価回路を示しています。

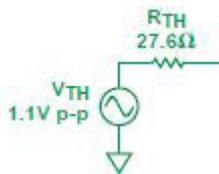


図7. 入力ソースのテブナン等価回路

この置換で、27.6Ωの抵抗 R_{TS} を下側ループに加えて、帰還率をマッチングさせます(図8を参照)。

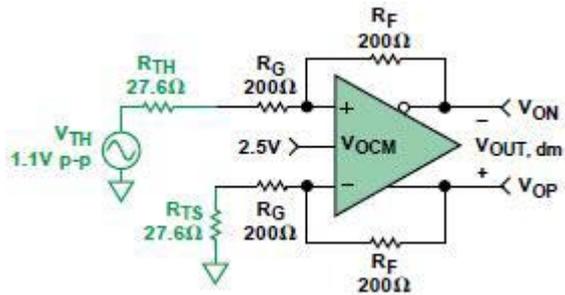


図8. バランス・シングルエンド終端回路

ここでは、1.1Vp-pのテブナン電圧が1Vp-pの適正終端電圧より大きく、ゲイン抵抗がそれぞれ27.6Ω増大してクローズド・ループ・ゲインが低下している点に注意してください。これらの逆の効果は、大きな抵抗(>1kΩ)と小さなゲイン(1または2)の場合、互いに相殺する傾向がありますが、小さな抵抗または高いゲインの場合は完全に相殺するわけではありません。

図8の回路の解析は簡単であり、差動出力電圧は式14で求められます。

$$V_{OUT,dm} = 1.1\text{ V p-p} \left(\frac{200\Omega}{227.6\Omega} \right) = 0.97\text{ V p-p} \quad (14)$$

差動出力電圧は所望の1Vp-pには達していませんが、式15に示すように帰還抵抗を変更して最終的なゲイン調整を個別に行うことができます。

$$R_F = 227.6\Omega \left(\frac{\text{Desired } V_{OUT,dm}}{1.1\text{ V p-p}} \right) = 227.6\Omega \left(\frac{1.0\text{ V p-p}}{1.1\text{ V p-p}} \right) = 206.9\Omega \quad (15)$$

図9は完成した回路であり、標準の1%抵抗値で実装されています。

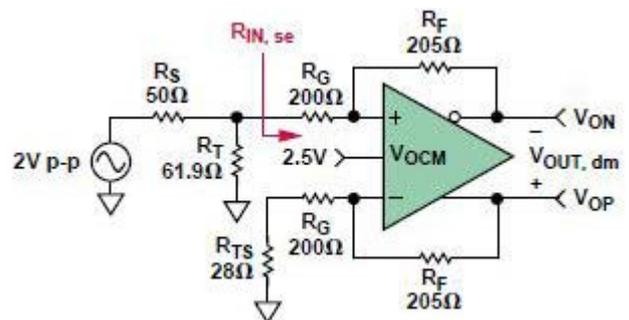


図9. 完全なシングルエンド終端回路

解説: 図9を参照すると、 R_F と R_G が変わったためにドライバのシングルエンド入力抵抗 $R_{IN,se}$ が変化しています。ドライバのゲイン抵抗は上側ループで200Ωであり、下側ループで $200\Omega + 28\Omega = 228\Omega$ です。異なるゲイン抵抗値を持つ $R_{IN,se}$ の計算には、式16と式17に示すように、最初に計算する2つのベータ値が必要になります。

$$\beta_1 = \frac{R_G}{R_F + R_G} = \frac{200\Omega}{405\Omega} = 0.494 \quad (16)$$

$$\beta_2 = \frac{R_G + R_{TS}}{R_F + R_G + R_{TS}} = \frac{228\Omega}{433\Omega} = 0.527 \quad (17)$$

入力抵抗 $R_{IN,se}$ は式18のように計算します。

$$R_{IN,se} = \frac{R_G(\beta_1 + \beta_2)}{\beta_1(\beta_2 + 1)} = 271\Omega \quad (18)$$

これは元の計算値の267Ωにほぼ近い値であり、 $R_{IN,se}$ は R_T と並列接続されているため、 R_T の計算に大きな影響はありません。もっと正確なトータル・ゲインが必要な場合は、高精度抵抗、あるいは直列のトリム抵抗を使用できます。

1倍または2倍のクロズド・ループ・ゲインを得るには、ここで説明した方法を一度実行するだけで十分です。もっと大きなゲインの場合は、 R_{TS} の値が R_G の値に近づき、式12で計算した $R_{IN,se}$ と式18で計算した $R_{IN,se}$ の値の差が大きくなります。これらの場合は何回か反復が必要となりますが、その作業が大変すぎては困ります。

最近発表された差動アンプ計算ツールのADIsimDiffAmp(参考文献2)とADI Diff Amp Calculator(参考文献3)はダウンロードできるので、骨の折れる仕事はすべて任せることができます。これらのツールを使って、上述した計算をわずか数秒で実行できます。

入力コモンモード電圧範囲

入力コモンモード電圧範囲(ICMVR)は、通常動作で差動アンプ入力に印加できる電圧の範囲を示しています。この入力に現れる電圧は、ICMV、 V_{acm} 、または $V_{A\pm}$ などと表されます。この仕様については、間違った理解がなされている場合がよくあります。差動アンプ入力の実際の電圧を決めること、特に入力電圧を基準にそれを決める作業で間違えることが多いのです。変数 $V_{IN,cm}$ 、 β 、および V_{OCM} がわかっているならば、 β の値が異なる場合には一般式19を、 β の値が同じならば簡素な式20を使ってアンプ入力電圧($V_{A\pm}$)を計算できます。

$$V_{acm} \text{ or } V_{A\pm} = \frac{2\beta_1\beta_2V_{ocm} + V_{ip}\beta_2(1-\beta_1) + V_{in}\beta_1(1-\beta_2)}{\beta_1 + \beta_2} \quad (19)$$

$$V_{acm} \text{ or } V_{A\pm} = V_{IN,cm} + \beta(V_{ocm} - V_{icm}) \quad (20)$$

V_A は常に入力信号の小振幅バージョンとなります(図4を参照)、このことを覚えておくとも便利かも知れません。入力コモンモード電圧の範囲はアンプの種類によって異なります。アナログ・デバイセズの高速差動ADCドライバには、センター型(centered)、シフト型(shifted)という2つの入力段構成があります。センター型ADCドライバは、各電源レールから内側へ約1Vのヘッドルームを必要とします(このため、センター型と呼ぶ)。シフト型入力段は2つのトランジスタを加えて、入力が $-V_S$ レール近くまでスイングできるようにします。図10は、代表的な差動アンプ(Q2、Q3)の簡略入力回路図です。

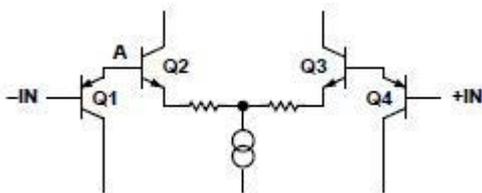


図10. ICMVRをシフトした簡略差動アンプ

シフト型入力アーキテクチャを使用すれば、差動アンプは単電源で駆動されているときでもバイポーラ入力信号を処理できるため、グラウンド以下の入力を持つ単電源アプリケーションに最適です。入力の追加されたPNPトランジスタ(Q1、Q4)は、差動ペアへの入力を V_{be} 1トランジスタ分だけシフトアップします。たとえば、 $-IN$ に $-0.3V$ が印加されると、ポイントAは $0.7V$ になって、差動ペアは適正に動作できます。PNPがないと(センター型入力段)、ポイントAの $-0.3V$ でNPN差動ペアは逆バイアスされ、通常動作が停止します。表1に、アナログ・デバイセズ製ADCドライバの各種仕様のクイック・リファレンスを示しています。表を見ればすぐにわかるように、ドライバにはシフトICMVRと非シフトICMVRがあります。

入出力の結合: ACかDCか

AC結合とDC結合のどちらが必要かは、差動ADCドライバの選択に大きく影響する可能性があります。考慮する事項は入力結合と出力結合で異なります。

図11にAC結合入力段を示します。

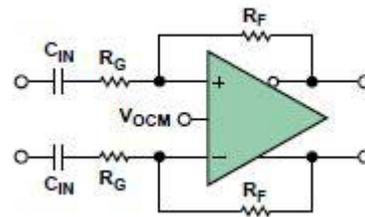


図11. AC結合ADCドライバ

AC結合入力を持つ差動入力/差動出力アプリケーションの場合、アンプ入力端子に現れるDCコモンモード電圧は、DC出力コモンモード電圧と等しくなります。これは、DC帰還電流が入力コンデンサによってブロックされるからです。また、DCの帰還率はマッチングして、ユニティ(ゲイン1)に等しくなります。 V_{OCM} (結果的には、DC入力コモンモード)は、電源中央値近くに設定されることがほとんどです。センター型入力コモンモード範囲を持つADCドライバは、入力コモンモード電圧が規定範囲の中央付近の値をとるこのタイプのアプリケーションに最適です。

AC結合シングルエンド入力/差動出力アプリケーションは、対応する差動入力アプリケーションに似ていますが、アンプ入力端子にコモンモード・リップル(減衰した入力信号の相似波形)が発生します。センター型入力コモンモード範囲を持つADCドライバは、入力コモンモード電圧の平均値をその規定範囲の中央値付近に設定すると、ほとんどのアプリケーションではリップルに対して多くのマージンを確保することができます。

入力結合が選べる場合は、AC結合入力を持つADCドライバの消費電力がDC結合入力を持つ同種のドライバよりも小さくなることに注意してください。これは、DCコモンモード電流がどちらの帰還ループにも流れないためです。

ADCドライバ出力のAC結合は、ドライバ出力で得られる電圧とは実質的に異なる入力コモンモード電圧がADCに必要な場合に役立ちます。

表1. 高速ADCドライバの仕様

ADC ドライバ				ICMVR				V _{OCM}				電源電圧 (V)	出力振幅 (mA)
製品番号	BW (MHz)	スループレート (V/μs)	ノイズ (nV)	電源電圧				電源電圧					
				±5V	+5V	+3.3V	+3V	+5V	+5V	+3.3V	+3V		
AD8132	360	1000	8	-4.7 to +3	0.3 to 3	0.3 to 1.3	0.3 to 1	±3.6	1 to 3.7	-	0.3 to 1	±1	12
AD8137	76	450	8.25	-4 to +4	1 to 4	1 to 2.3	1 to 2	±4	1 to 4	1 to 2.3	1 to 2	RR	3.2
AD8138	320	1150	5	-4.7 to +3.4	0.3 to 3.2	-	-	±3.8	1 to 3.8	-	-	±1.4	20
AD8139	410	800	2.25	-4 to +4	1 to 4	-	-	±3.8	1 to 3.8	-	-	RR	24.5
ADA4927-1/ ADA4927-2	2300	5000	1.4	-3.5 to +3.5	1.3 to 3.7	-	-	±3.5	1.5 to 3.5	-	-	±1.2	20
ADA49232-1/ ADA49232-2	1000	2800	3.6	-4.8 to +3.2	0.2 to 3.2	-	-	±3.8	1.2 to 3.2	-	-	±1	9
ADA4937-1/ ADA4937-2	1900	6000	2.2	-	0.3 to 3	0.3 to 1.2	-	-	1.2 to 3.8	1.2 to 2.1	-	±0.8	39.5
ADA4938-1/ ADA4938-2	1000	4700	2.6	-4.7 to +3.4	0.3 to 3.4	-	-	±3.7	1.3 to 3.7	-	-	±1.2	37
ADA4939-1/ ADA4939-2	1400	6800	2.6	-	1.1 to 3.9	0.9 to 2.4	-	-	1.3 to 3.5	1.3 to 1.9	-	±0.8	36.5

V_{OCM}が電源の中央値付近に設定されていると、ドライバは最大出力振幅を発揮します。このことで問題が生じるのは、入力コモンモード電圧が非常に低い条件のもとで低電圧ADCを駆動するときです。この問題に対する簡単なソリューション（図12）は、ドライバ出力とADC入力間をAC結合してドライバ出力からADCのDCコモンモード電圧を除去することです。これによってADCに適したコモンモード・レベルを、AC結合のADC側で印加できます。たとえば、ドライバは単電源5Vで動作し、V_{OCM} = 2.5Vとします。ADCは単電源1.8Vで動作し、必要な入力コモンモード電圧0.9VがADC CMVにより印加されます。

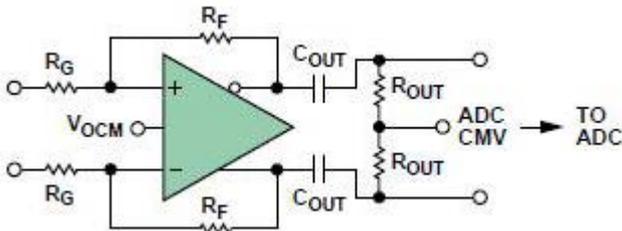


図12. DC結合入力とAC結合出力

シフト型入力コモンモード範囲を持つドライバは、一般に単電源で動作するDC結合システムで最良な動作を示します。これは、出力コモンモード電圧が帰還ループを介して分圧され、その変化する成分が負のレールであるグラウンドに近づくためです。シングルエンド入力では、入力コモンモード電圧が入力関連のリップルのために負のレールに近づく可能性さえあります。

両電源で動作し、シングルエンド入力あるいは差動入力、AC/DC結合を使用するシステムは、一般にヘッドルームが増すためどちらのタイプの入力段でも優れた動作を示します。

表2には、入力結合と電源のさまざまな組合せで使用される最も一般的なADC入力ドライバのタイプを示しています。ただし、これらの選択は必ずしもベストではないかもしれません。個別のシステムはケースバイケースで解析する必要があります。

表2. 結合と入力段の選択

入力結合	入力信号	電源	入力のタイプ
任意	任意	両電源	いずれか一方
AC	シングルエンド	単電源	中央
DC	シングルエンド	単電源	シフト
AC	差動	単電源	中央
DC	差動	単電源	中央

出力振幅

ADCのダイナミック・レンジを最大化するには、入力信号をそのコンバータの最大入力レンジになるように設定する必要があります。しかし、この場合は注意が必要です。ADCを強気に駆動しすぎると入力を損ねる危険性があり、弱すぎると分解能が損なわれます。ADCを最大入力レンジにするということは、アンプ出力を最大レンジまでスイングさせるという意味ではありません。差動出力の大きな利点は、各出力の振幅（スイング）が従来のシングルエンド出力の半分まで済むという点です。ドライバ出力は電源レールから離れた状態（小さい振幅）を維持できるので、歪みも低減できます。しかし、シングルエンドの場合はそうではありません。ドライバの出力電圧がレールに近づくとき、アンプは直線性を失い、歪みを発生させます。

表1を見ると、出力電圧の最後の1ミリボルトまで必要なアプリケーションでは、かなり多くのADCドライバがレールtoレール出力を備えています。また、負荷にもよりますが、代表的なヘッドルーム（電源電圧からの動作余裕）は、数ミリボルトから数百ミリボルトの範囲にわたっています。

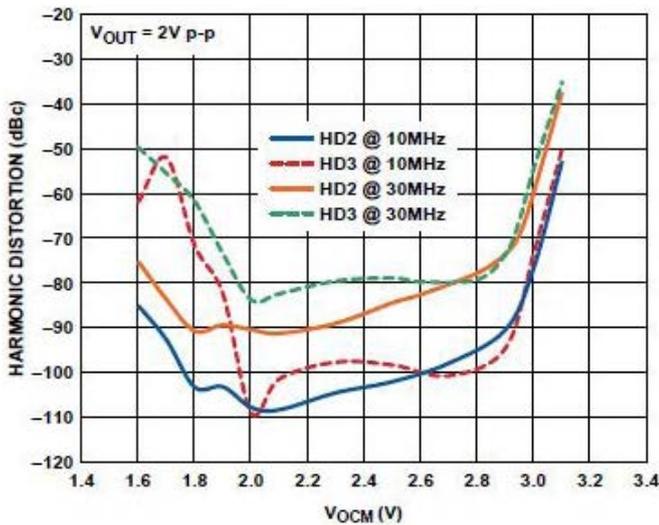


図13. 5V電源を備えたADA4932の高調波歪みとV_{OCM}の周波数特性

図13は、ADA4932の周波数別の高調波歪みとV_{OCM}の関係を示しています。このデバイスは、出力振幅の典型値が各レールの1.2V以内に収まるようになっています(1.2Vのヘッドルーム)。出力振幅は、信号(1V)のV_{OCM}とV_{PEAK}を合計した大きさです。信号の歪みは2.8Vを過ぎる点から劣化が始まっています(3.8V_{PEAK}: 5Vレールより1.2V小さい値)。これより低い領域では、2.2V(-1V_{PEAK})でもまだ低歪みの値を示しています。同じタイプの動作については、帯域幅とスルーレートを説明する際に触れることにします。

ノイズ

ADCは完全ではないので多くのノイズ要素、量子化ノイズ、電子ノイズ(ランダム・ノイズ)、高調波歪みなどを持っています。ノイズ特性はほとんどのアプリケーションで重要ですが、一般にブロードバンド・システムでは最も重要な性能指標とみなされます。

すべてのADCでは量子化ノイズが発生しますが、これはビット数(n)に依存しており、nが増えると量子化ノイズが減少します。理想的なコンバータでも量子化ノイズが発生するので、このノイズはランダム・ノイズや高調波歪みと比較するためのベンチマークとして使用されます。ADCドライバの出力ノイズは、ADCドライバのランダム・ノイズや歪みと同レベルかそれ以下に抑える必要があります。まず、ADCのノイズや歪みの特性を検討し、次にADCの性能とADCドライバのノイズをどのように比較・検討するか説明します。

量子化ノイズは、無限の分解能を持つアナログ信号を有限分解能のデジタル値として量子化するために生じるノイズです。nビットADCは、2ⁿのバイナリ・レベルを有しています。あるレベル

と次のレベルの差は、分解できる最小の差を表します。これは最下位ビット(LSB)またはq(量子レベル quantum levelの頭文字)と呼ばれています。1ステップの量子レベルは、コンバータのレンジの1/2ⁿです。電圧の変化が完全なnビットADCで変換され、それがアナログ信号に戻されてADCの入力との差をとるとすれば、その差をノイズとみなすことができます。量子化ノイズのRMS値は次式で表されます。

$$RMS \text{ Quantization Noise} = \frac{q}{\sqrt{12}} = \frac{1}{2^n \sqrt{12}} \quad (21)$$

この式から、ナイキスト帯域幅でのnビットADCの信号対量子化ノイズ比(dB)の対数式を導出できます(式22)。これはnビット・コンバータで達成可能な最高のS/N比です。

ADCのランダム・ノイズは熱ノイズ、ショット・ノイズ、フリッカ・ノイズが合わさったもので、一般に量子化ノイズより大きくなります。ADCの非直線性に起因する高調波歪みは、入力信号と高調波関係にある出力において、不要な信号を発生させます。全高調波歪み+ノイズ(THD)は、ADCのフルスケール入力範囲に近いアナログ入力と電子ノイズ+高調波歪みを比較するために重要なADC性能指標です。電子ノイズは、考慮対象になる最高次高調波の周波数を含む帯域幅について積分されます。ここでは、THDの「合計」は、2乗和の平方(RSS)により求められる最初の5つの高調波(2次~6次)歪み成分含んでいます(式23)。

入力信号はv₁とすると、最初の5つの高調波歪み積はv₂からv₆までであり、最後のv_nはADCの電子ノイズです。THD+ノイズの逆数、すなわち信号/ノイズ&歪み比(SINAD)は、一般にdB単位で表されます。

$$SINAD(dB) = 20 \log_{10} \left[\frac{1}{THD + N} \right] \quad (24)$$

SINADを信号対量子化ノイズ比に置き換えれば(式22)、信号対量子化ノイズ比とSINADが同じ場合にコンバータの有効ビット数(ENOB)を定義できます。

$$SINAD(dB) = 6.02(ENOB) + 1.76 \text{ dB} \quad (25)$$

ENOBは、式26に示すようにSINADを用いて表すこともできます。

$$ENOB = \frac{SINAD(dB) - 1.76 \text{ dB}}{6.02} \quad (26)$$

ENOBを使ってADCドライバのノイズ性能とADCのノイズ性能を比較し、そのADCの駆動に対する適合性を判定することができます。差動ADCドライバのノイズ・モデルを図14に示します。式27は一般的なケースに対応したもので、8つのソースの全出力ノイズ密度に対する寄与をそれぞれ表しています。ここでは、β₁ = β₂ ≡ βとします。

$$Signal\text{-to-Quantization-Noise Ratio (dB)} = 6.02n + 1.76 \text{ dB} \quad (22)$$

$$THD + Noise = \frac{\sqrt{[v_2(\text{rms})]^2 + [v_3(\text{rms})]^2 + [v_4(\text{rms})]^2 + [v_5(\text{rms})]^2 + [v_6(\text{rms})]^2 + v_n^2}}{[v_1(\text{rms})]^2} \quad (23)$$

$$\begin{aligned}
v_{no, dm} \text{ due to } v_{nIN} &= \frac{2v_{nIN}}{\beta_1 + \beta_2} = \frac{v_{nIN}}{\beta} \text{ for } \beta_1 = \beta_2 = \beta \\
v_{no, dm} \text{ due to } v_{nCM} &= \frac{2v_{nCM}(\beta_1 - \beta_2)}{\beta_1 + \beta_2} = 0 \text{ for } \beta_1 = \beta_2 = \beta \\
v_{no, dm} \text{ due to } i_{nIN+} &= \frac{2i_{nIN+}(1 - \beta_1)R_{G1}}{\beta_1 + \beta_2} = (i_{nIN+})(R_{F1}) \text{ for } \beta_1 = \beta_2 = \beta \\
v_{no, dm} \text{ due to } i_{nIN-} &= \frac{2i_{nIN-}(1 - \beta_2)R_{G2}}{\beta_1 + \beta_2} = (i_{nIN-})(R_{F2}) \text{ for } \beta_1 = \beta_2 = \beta \\
v_{no, dm} \text{ due to } v_{nRG1} &= \frac{(2\sqrt{4kTR_{G1}})(1 - \beta_1)}{\beta_1 + \beta_2} = \sqrt{4kTR_{G1}} \left(\frac{R_{F1}}{R_{G1}} \right) \text{ for } \beta_1 = \beta_2 = \beta \\
v_{no, dm} \text{ due to } v_{nRG2} &= \frac{(2\sqrt{4kTR_{G2}})(1 - \beta_2)}{\beta_1 + \beta_2} = \sqrt{4kTR_{G2}} \left(\frac{R_{F2}}{R_{G2}} \right) \text{ for } \beta_1 = \beta_2 = \beta \\
v_{no, dm} \text{ due to } v_{nRF1} &= \frac{2\beta_1\sqrt{4kTR_{F1}}}{\beta_1 + \beta_2} = \sqrt{4kTR_{F1}} \text{ for } \beta_1 = \beta_2 = \beta \\
v_{no, dm} \text{ due to } v_{nRF2} &= \frac{2\beta_2\sqrt{4kTR_{F2}}}{\beta_1 + \beta_2} = \sqrt{4kTR_{F2}} \text{ for } \beta_1 = \beta_2 = \beta
\end{aligned}
\tag{27}$$

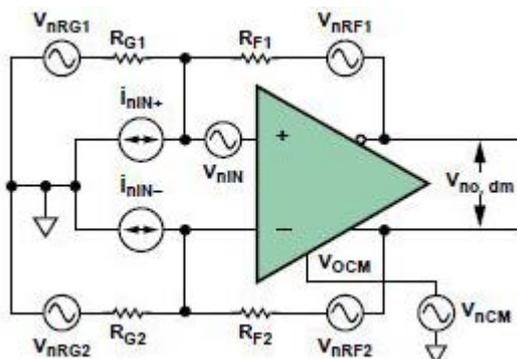


図14. 差動ADCドライバのノイズ・モデル

全出力ノイズ電圧密度 $v_{no, dm}$ は、これらの成分の2乗和平方根を計算して求めます。全出力ノイズ電圧密度を計算する場合は、スプレッドシートに入力するのが一番良い方法です。新しいADI Diff Amp Calculator (参考文献3) は、ノイズ、ゲイン、その他の差動ADCドライバ動作を短時間で計算するツールであり、アナログ・デバイセズのウェブサイトから利用できます。

ADCドライバのノイズ性能はADCのENOBを使って比較できます。この手順の一例として、ゲイン2の差動ドライバの選択、評価を取り上げます。この場合、AD9445 ADCは5V電源で動作し、2Vのフルスケール入力を備えています。この回路は、単極フィルタで制限された50MHz (-3dB)の帯域幅を占有するダイレクト結合ブロードバンド信号を処理します。各種条件に対応したENOB仕様を記載したデータシートから、50MHzのナイキスト帯域幅でENOB = 12ビットとなります。

ADA4939は、直接結合できる高性能なブロードバンド差動ADCドライバです。ところで、ノイズという観点からすると、これはAD9445を駆動するのに適したドライバでしょうか？データシートでは差動ゲインはほぼ2で、 $R_F = 402\Omega$ 、 $R_G = 200\Omega$ を推奨しています。また、この場合の全出力電圧ノイズ密度を $9.7nV/\sqrt{Hz}$ と規定しています。

まず、一定の入力ノイズ電力スペクトル密度が与えられたときのシステム・ノイズ帯域幅 B_N を計算します。この帯域幅は、システム帯域幅を決める実際のフィルタと同じノイズ電力を出力する方形ローパスフィルタの等価帯域幅です。単極フィルタの場合

は、ここに示されているように B_N は3dB帯域幅の $\pi/2$ 倍となります。

$$B_N = \left(\frac{\pi}{2}\right) 50 \text{ MHz} = 78.5 \text{ MHz} \tag{28}$$

次に、システム帯域幅について2乗平方根のノイズ密度を積分して、出力RMSノイズを求めます。

$$v_{no, dm} (\text{rms}) = (9.7nV/\sqrt{Hz}) (\sqrt{78.5 \text{ MHz}}) = 86 \mu\text{V rms} \tag{29}$$

ノイズの振幅はガウス分布を示すものと仮定し、ピークtoピーク・ノイズに関する一般的な $\pm 3\sigma$ の制限範囲を用いて (そのノイズ電圧は99.7% ぐらいの確率でその制限範囲内に存在します)、ピークtoピーク出力ノイズを計算します。

$$v_{no, dm} (\text{p-p}) \approx 6(86 \mu\text{V rms}) = 516 \mu\text{V}_{\text{p-p}} \tag{30}$$

ここで、ドライバのピークtoピーク出力ノイズとAD9445の1LSB分の電圧を比較します。これは、式31に示すように12ビットのENOBと2Vのフルスケール入力範囲に基づいて行います。

$$\text{One LSB} = \frac{2V}{2^{12}} = 488 \mu\text{V} \tag{31}$$

ドライバのピークtoピーク出力ノイズは、12ビットENOBという点から見ると、ADCのLSBに相当します。したがって、ノイズという観点からすると、ドライバはこのアプリケーションにとって優れた選択肢といえます。最終的な決定は、ドライバ/ADCの組合せを試作し、テストしてから行います。

電源電圧

電源の電圧/電流について検討することで、ADCドライバの選択肢をうまく絞り込むことができます。表1には、電源から見たADCドライバの性能を参考用に簡潔にまとめています。電源電圧は、帯域幅や信号の振幅、ICMVRなどに影響します。仕様を慎重に考慮してトレードオフを検討することは、差動アンプの選択にとって重要です。

電源電圧変動除去比 (PSR) は、もう一つの重要な仕様です。アンプ入力としての電源ピンの役割は、無視されることがよくあります。電源ラインのノイズ (電源ラインに結合するノイズ) は、

出力信号を破綻させる可能性があります。

たとえば、電源ラインに60MHzで50mVp-pのノイズがのったADA4937-1について考えてみましょう。50MHzでのPSRは-70dBとなります。これは、電源ライン上のノイズがアンプの出力においておよそ16μVまで低減されることを意味します。1Vフルスケール入力を備えた16ビット・システムでは1LSBは15.3μVなので、これではLSBは電源ラインからのノイズに埋もれてしまうことになります。

こうした状況は、直列のSMTフェライト・ビーズ、L1/L2、シャント・バイパス・コンデンサC1/C2を加えることで改善できます。

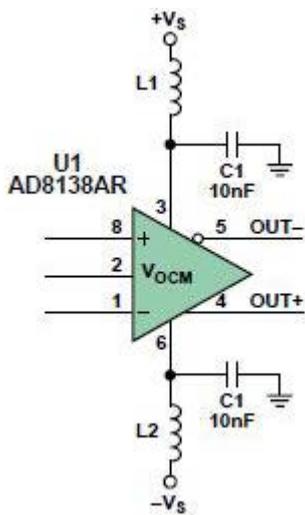


図15. 電源のバイパス

50MHzで、フェライト・ビーズは60Ωのインピーダンスを持ち、10nF (0.01μF) コンデンサは0.32Ωのインピーダンスを持ちます。この2つの素子で構成されるアッテネータは、45.5dBのノイズの減衰を提供します。

$$\text{Divider Attenuation} = 20 \log \left(\frac{0.32}{0.32 + 60} \right) = -45.5 \text{ dB} \quad (32)$$

このノイズ・アッテネータ (LPF) の減衰と-70dBのPSRにより、約115dBの除去比が与えられます。このため、ノイズは1LSBをはるかに下回る約90nV p-pにまで低減されます。

高調波歪み

周波数領域内の低い高調波歪み特性は、狭帯域システム、広帯域システムの両方にとって重要です。ドライバの非直線性は、アンプ出力で、シングル・トーンの高調波歪みとマルチトーン相互変調を生成します。

ノイズ解析例で用いるのと同じ方法を歪みの解析に適用でき、ADA4939の高調波歪みと、2Vフルスケール出力を備えたAD9445の12ビットENOBの1LSBとを比較します。ノイズ解析では、1ENOB LSBは488μVであることが示されています。

ADA4939仕様書の歪みに関するデータはゲイン2の場合のもので、周波数ごとに2次高調波と3次高調波を比較しています。表3は、ゲイン2での高調波歪みデータと2Vp-pの差動出力振幅を示しています。

表3. ADA4939の2次と3次の高調波歪み

パラメータ	高調波歪み
HD2 @ 10 MHz	-102 dBc
HD2 @ 70 MHz	-83 dBc
HD2 @ 70 MHz	-83 dBc
HD3 @ 100 MHz	-77 dBc
HD3 @ 10 MHz	-101 dBc
HD3 @ 70 MHz	-97 dBc
HD3 @ 100 MHz	-91 dBc

表中のデータは、高調波歪みが周波数とともに増大していること、また当該帯域幅 (50MHz) におけるHD2がHD3よりも多いことを示しています。高調波歪み積は対象周波数より高い周波数までなので、その振幅はシステム帯域の制限で低減できます。システムが50MHzのブリック・ウォール・フィルタ (急峻な減衰を持つ方形フィルタ) を備えている場合は、25MHzより高い周波数のみが重要です。高い周波数の高調波成分がすべてフィルタによって除去されるからです。それでも最大50MHzのシステムの評価を行うのは、現実のフィルタ機能では高調波を十分に抑止できず、歪み積が信号帯域幅に折り返される危険性があります。図16はADA4939の電源を変えた時の高調波歪みの周波数特性を示しており、出力電圧は2Vp-pです。

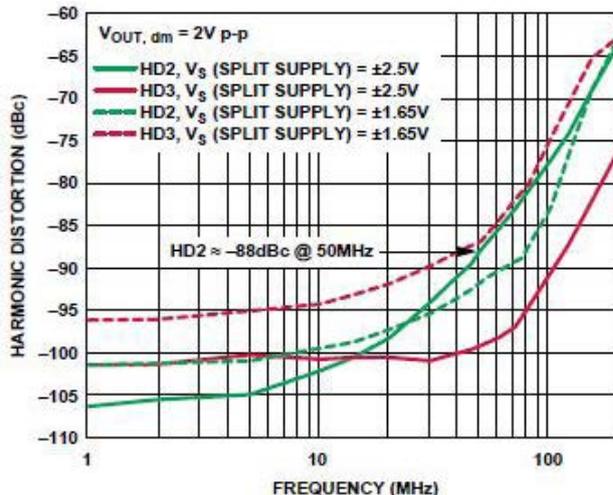


図16. 高調波歪みの周波数特性

50MHzでのHD2は、2Vp-p入力信号を基準にして約88dBcです。高調波信号レベルを1ENOB LSBと比較するために、このレベルを電圧に変換する必要があります (式33を参照)。

$$\text{HD2} = (2 \text{ V p-p}) \left(10^{\frac{-88}{20}} \right) \approx 80 \text{ } \mu\text{V p-p} \quad (33)$$

この歪み積はわずか80μVp-pであり、1ENOBの16%です。歪みという観点からすると、ADA4939はAD9445 ADC用ドライバとしての有力な候補です。

ADCドライバは負帰還アンプなので、出力歪みはアンプ回路のループ・ゲインの大きさに左右されます。負帰還アンプに固有のオープン・ループ歪みは1/(1 + LG)倍で低減されます。この式のLGは使用可能なループ・ゲインです。

アンプの入力 (誤差電圧) は、大きなフォワード電圧ゲインA(s)で乗算され、帰還率βを経て入力に入り、そこでは入力をサーボして誤差を最小限に抑えます。したがって、この種のアンプのゲインはA(s)×βです。ループ・ゲイン (A(s)、β、またはその両方) が減少すると、高調波歪みは増大します。電圧帰還アンプは、

積分器と同様、直流あるいは低周波では大きなゲイン $A(s)$ を示し、アンプ固有の高い周波数にあるユニティ・ゲイン周波数に向かって $1/f$ ごとにロールオフするように設計されています。 $A(s)$ のロールオフに伴って、ループ・ゲインは低下し、歪みは増します。このため、高調波歪み特性は $A(s)$ の逆数になります。

電流帰還アンプは、誤差電流を帰還信号として使用します。誤差電流は大きなフォワード・トランスインピーダンス $T(s)$ で乗算されて出力電圧に変換されます。その出力電圧は帰還率 $1/R_F$ を経て帰還電流に変換されます。これによって、入力誤差電流は最小限に抑えられる可能性があります。したがって、理想的な電流帰還アンプのループ・ゲインは $T(s) \times (1/R_F) = T(s)/R_F$ となります。 $A(s)$ と同様、 $T(s)$ も大きな DC 値を持ち、このロールオフに伴って周波数が増大し、ループ・ゲインが低下して、高調波歪みが増します。

ループ・ゲインも帰還率 $1/R_F$ に直接左右されます。理想的な電流帰還アンプのループ・ゲインは、クローズド・ループ電圧ゲインに依存しないので、高調波歪み性能はクローズド・ループ・ゲインが増しても劣化しません。実際の電流帰還アンプの場合、ループ・ゲインはある程度クローズド・ループ・ゲインに影響されますが、それは電圧帰還アンプの場合ほど大きくありません。したがって、高クローズド・ループ・ゲインや低歪みを必要とするアプリケーションには、電圧帰還アンプよりも ADA4927 などの電流帰還アンプのほうが適しています。図 17 は、クローズド・ループ・ゲインが増大しても歪み性能がいかによく維持されるかを示しています。

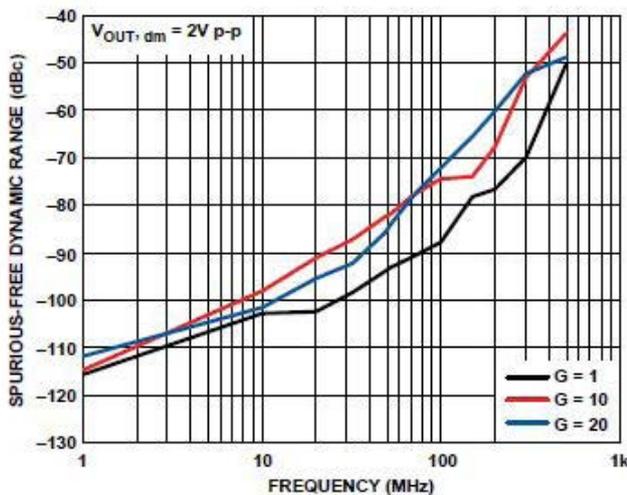


図17. ゲインと歪みの周波数特性

帯域幅とスルーレート

帯域幅とスルーレートは、ADC ドライバ・アプリケーションにとって特に重要です。一般に、デバイスの帯域幅は小信号帯域幅を意味しており、スルーレートは大信号振幅でのアンプ出力の最大変化率を表します。

ENOB (有効ビット数) に類似した EUBW (有効使用可能帯域幅) という略語は、帯域幅を表現するための新しい用語です。ADC ドライバやオペアンプの多くは広い帯域幅仕様を謳っていますが、帯域幅全部が使用可能なわけではありません。たとえば、 -3dB の帯域幅というのは、帯域幅を表す方法として旧来から使われていますが、これはすべての帯域幅が使用可能であることを示してはいません。 -3dB 帯域幅における振幅誤差と位相誤差は、実際に「ブレイク」する周波数に達するはるか $1/10$ 以上手前に検知することができます。実際には、何がアンプの EUBW で、その値をどうやって求めるのでしょうか？ 使用可能帯域幅を求める方法としては、データシートの歪み特性のプロットを参照することをお勧めします。

図 18 の例に示すように、2 次/3 次高調波で -80dBc より大きな値を維持するためには、この ADC ドライバを 60MHz より大きな周波数で使用してはなりません。各アプリケーションは異なるので、十分な帯域幅と適正な歪み性能を備えたドライバにはシステム条件が指針となります。

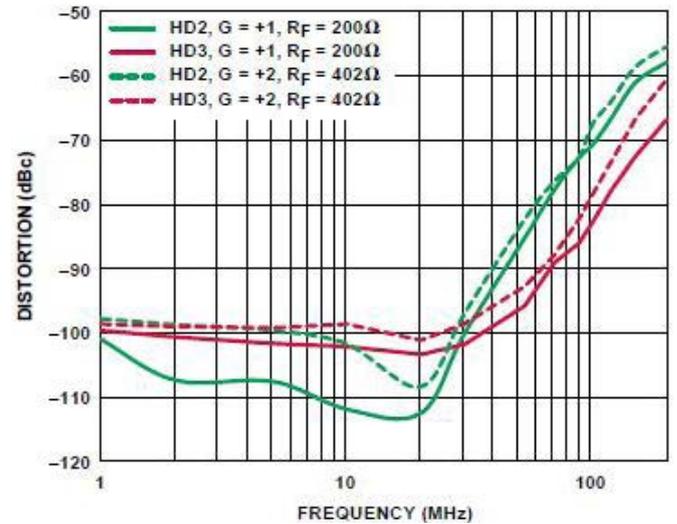


図18. ADA4937電流帰還ADCドライバの歪み曲線

大振幅信号特性のパラメータであるスルーレートは、アンプ出力が過剰な歪みなしに入力をトラッキングできる、変化率の最大値を表します。ここで、スルーレートという観点でサイン波出力を考えてみます。

$$v_o = V_p \sin 2\pi ft \quad (34)$$

ゼロ点交差時の式 34 の導関数 (変化率)、すなわち最大変化レートは次式で表されます。

$$\frac{dv}{dt}_{\max} = 2\pi f V_p \quad (35)$$

ここで、 dv/dt_{\max} はスルーレート、 V_p はピーク電圧、 f はフルパワー帯域幅 (FPBW) です。FPBW は次式で求めます。

$$FPBW = \frac{\text{Slew Rate}}{2\pi V_p} \quad (36)$$

したがって、ADC ドライバを選択するときは、ゲイン、帯域幅、スルーレート (FPBW) を考慮したうえで、アンプがアプリケーションに適しているか判断します。

安定性

差動 ADC ドライバの安定性に関する考慮事項は、オペアンプの場合と同じです。重要な仕様は位相余裕です。特定のアンプ構成の位相余裕はデータシートから判定できますが、実際のシステムでは、PC ボード・レイアウトにおける寄生効果で位相余裕が大幅に低減する可能性があります。

電圧負帰還アンプの安定性は、ループ・ゲイン $A(s) \times \beta$ の大きさと符合に左右されます。差動 ADC ドライバは一般的なオペアンプ回路よりいくらか動作が複雑になりますが、これは 2 つの帰還率があるためです。ループ・ゲインは式 7 と式 8 の分母に含まれています。式 37 は、マッチングしていない帰還率 ($\beta_1 \neq \beta_2$) の場合のループ・ゲインを表しています。

$$\text{Loop Gain} = \frac{A(s)(\beta_1 + \beta_2)}{2} \quad (37)$$

帰還率がマッチングしていない場合、有効な帰還率は単に2つの帰還率の平均値となります。その2つがマッチして、 β として定義されると、ループ・ゲインは $A(s) \times \beta$ と単純に表すことができます。

帰還アンプを安定させるには、そのループ・ゲインを-1にならないようにするか、それと同等の措置として -180° の位相シフトで振幅を1とします。電圧帰還アンプの場合、ループ・ゲインの大きさがそのオープン・ループ・ゲイン周波数のプロット上で1 (すなわち、0dB) となる地点は、 $A(s)$ の大きさが帰還率の逆数となる地点です。基本的なアンプ・アプリケーションでは、帰還は純粋に抵抗性のもので、帰還ループの周りに位相シフトはいっさい発生しません。マッチした帰還率では、帰還率 $1 + R_{FG}$ の逆数 (周波数独立の逆数) がノイズ・ゲインと呼ばれることがよくあります。一定のノイズ・ゲイン (dB) をオープン・ループ・ゲイン $A(s)$ と同じグラフにプロットした場合、2つの線が交差する周波数はループ・ゲインが1 (0dB)の時です。その周波数の $A(s)$ の位相と -180° 位相の差は、位相余裕と定義されています。安定した動作を得るには、その値を 45° 以上に維持する必要があります。図19は、 $R_{FG} = 1$ (ノイズ・ゲイン=1)の場合のADA4932のユニティ・ループ・ゲイン位置を示しています。

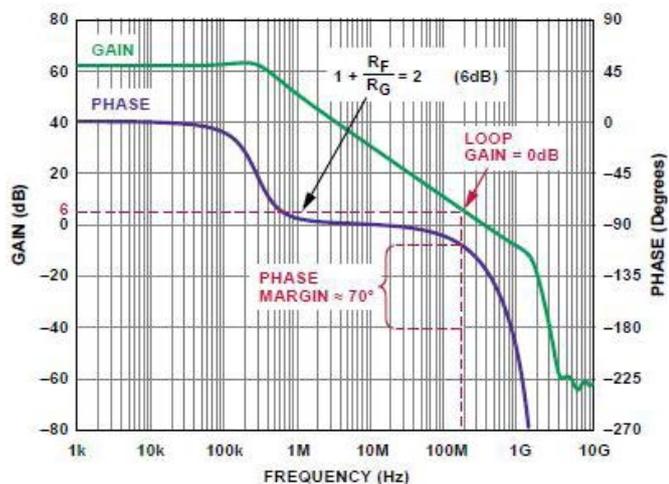


図19. ADA4932のオープン・ループ・ゲインの振幅と位相の周波数特性

図19をさらに詳しく見ると、ADA4932はノイズ・ゲイン=1のときに位相余裕が約 50° であることがわかります (各ループで100%帰還)。ADCドライバをゼロ・ゲインで動作させるのは実用的ではありませんが、1以下の差動ゲイン (たとえば、 $R_F/R_G = 0.25$ 、ノイズ・ゲイン=1.25) で安定的に使用することができます。このことはすべての差動ADCドライバに当てはまるわけではありません。ADCドライバのデータシートはすべて、最小安定ゲインを記載しています。

電流帰還ADCドライバの位相余裕は、オープン・ループ応答からも判定することができます。電流帰還アンプはフォワード・ゲイン $A(s)$ の代わりにフォワード・トランスインピーダンス $T(s)$ を用いており、誤差電流を帰還信号として使用しています。マッチした帰還抵抗を備えた電流帰還ドライバのループ・ゲインは $T(s)/R_F$ なので、 $T(s) = R_F$ のとき、電流帰還アンプのループ・ゲインの大きさは1 (すなわち、0dB) となります。この地点は、電圧帰還アンプの場合と同様、オープン・ループ・トランスインピーダンス/位相のプロット上で、簡単に見つけることができます。1k Ω までの抵抗の比をプロットすれば、対数プロットで抵抗を表すことができます。図20は、 $R_F = 300\Omega$ の場合の電流帰還ADCドライバADA4927のユニティ・ループ・ゲイン位置と位相余裕を示しています。

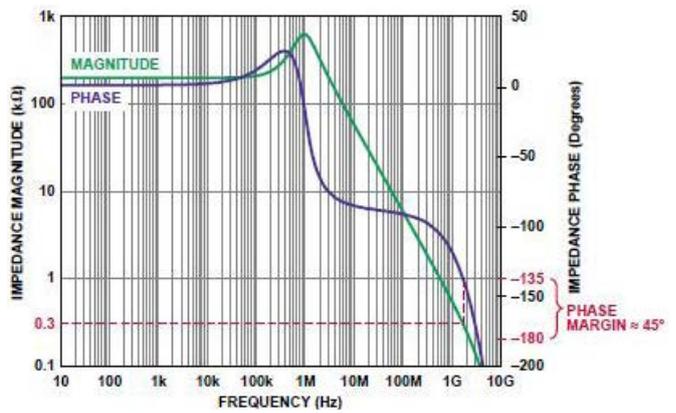


図20. ADA4927のオープン・ループ・ゲインの振幅と位相の周波数特性

300 Ω の帰還抵抗の横線がトランスインピーダンス曲線に交差する地点で、ループ・ゲインは0dBになります。この周波数では、 $T(s)$ の位相が約 -135° であり、位相余裕が 45° となっています。位相余裕と安定性は R_F の増大に伴って大きくなり、 R_F の低減に伴って小さくなっています。従って電流帰還アンプは、常に十分な位相余裕を持つ純抵抗性の帰還を使用する必要があります。

PCBレイアウト

安定したADCドライバを設計できたなら、それをPCボード上で実現する必要があります。位相余裕の一部はボードの寄生素子によって必ず失われるので、その要素は最小限に抑える努力をします。特に重要なのは、負荷容量、帰還ループのインダクタンス、加算ノードの容量です。これらの寄生リアクタンスによって、帰還ループに遅れ位相シフトが加わり、位相余裕が低下します。設計によっては、PCボードの不適切なレイアウトによって 20° 以上の位相余裕が失われます。

電圧帰還アンプでは、 R_F と加算ノードの容量で形成されるポールに起因する、位相シフトを最小限に抑えるために、可能な限り小さな R_F を使用するのが最良の方法です。大きな R_F が必要な場合は、各帰還抵抗の両端に並列に接続した小さなコンデンサ C_F で補償できます。この場合、各帰還抵抗は、 $R_F C_F$ と加算ノード容量の R_G 倍が等しくなるような値を持つものとします。

PCBレイアウトは、必然的に設計の最終ステップの1つとなります。残念なことに、これは設計で最も頻繁に見過ごされるステップの1つでもあります。高速回路の性能がレイアウトに大きく依存している場合でさえ、こういったことが起きます。高性能設計は、不注意または粗雑なレイアウトによって妥協の産物となったり、ひどいときは無益なものにさえなります。ここでは適切な高速PCB設計の全てのケースを取り上げることはできませんが、重要点をいくつか指摘しておきます。

寄生素子は、高速回路の性能を損なう原因になります。寄生容量は部品パッド、パターン、およびグラウンド/電源プレーンによって形成されます。グラウンド・プレーンの存在しない長いパターンは寄生インダクタンスを形成し、それによって過渡応答での「リングング」など、不安定な動作が生じる危険性があります。寄生容量は、帰還応答にポールを発生させて、ピーキングや不安定性の原因となるため、特にアンプの加算ノードにとっては危険要素です。この改善方法の1つとして、ドライバ実装や帰還部品パッドから下の領域は、必ずボードのすべての層でグラウンド・プレーンと電源プレーンから切り離すという方法があります。

不要な寄生リアクタンスを最小化するには、まず、すべてのパターンを可能な限り短くします。FR-4基板の外側の層の50ΩPCボード・パターンは、2.8pF/インチ、7nH/インチ程度の規制成分を持ちます。これらの寄生リアクタンスは、内側の層の50Ωパターンで約30%増大します。また、パターンのインダクタンスを最小限に抑えるために、長いパターンの下にはグラウンド・プレーンがあるようにします。パターンを短い幅で小さくすることは、寄生容量と寄生インダクタンスの最小化と設計品質の維持に役立ちます。

電源のバイパスもレイアウトにとっての重要事項です。電源バイパス・コンデンサやV_{OCM}バイパス・コンデンサは、可能な限りアンプのピンの近くに配置します。また、電源に複数種類のバイパス・コンデンサを使用することは、広帯域ノイズに低インピーダンス・パスを与えるのに役立ちます。図21は、バイパスと出力ローパスフィルタを備えた代表的な差動アンプの回路図です。ローパスフィルタは、ADCへの信号の帯域幅とノイズを制限します。電源バイパス・コンデンサ・リターンは、負荷リターンの近くに配置するのが理想的です。こうすれば、グラウンド・プレーン内の電流の循環を最小限に抑えて、ADCドライバの性能を改善できます(図22a、図22b)。

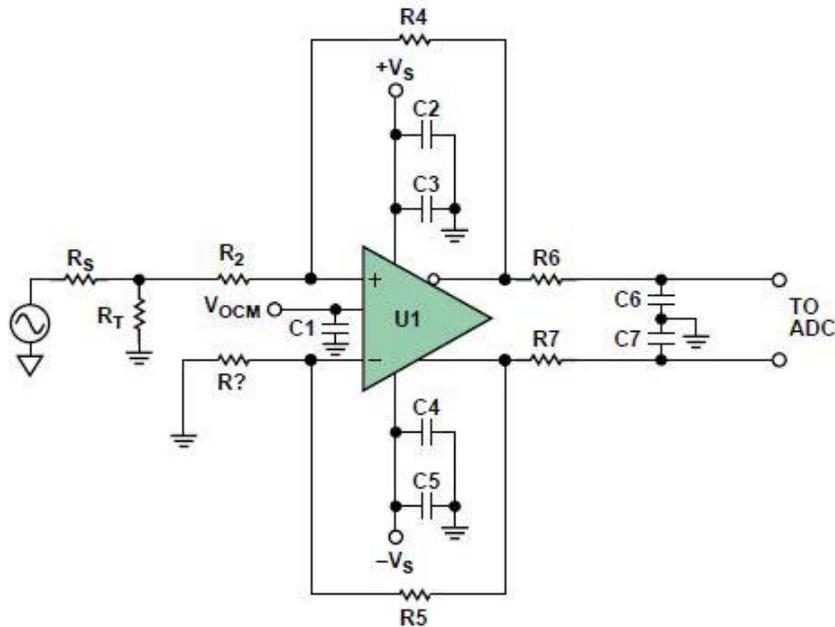
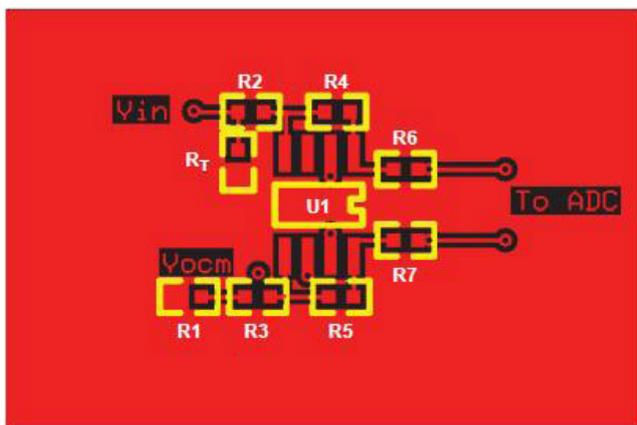
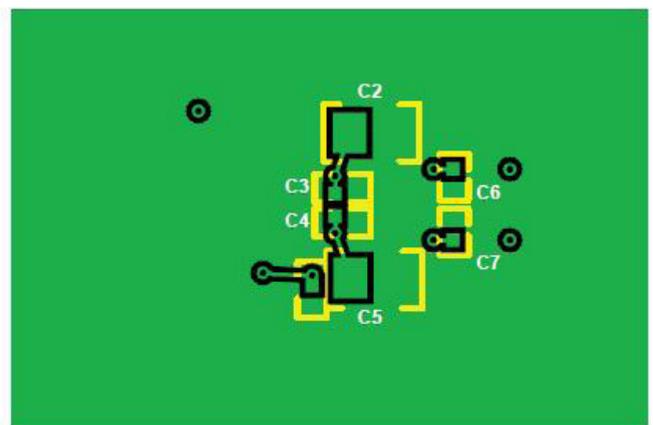


図21. 電源バイパスと出力ローパスフィルタを備えたADCドライバ



(a)



(b)

図22(a). 部品側、(b). 回路側

グラウンド・プレーンの使用(一般的にいうとグラウンディング)は、多岐にわたる複雑な主題であり、本稿の範囲を越えています。ただし、図22aと図22bには重要な点だけをいくつか示しています。まず、アナログ・グラウンドとデジタル・グラウンドの接続は1か所だけで行います。こうすることで、グラウンド・プレーンを流れるアナログ電流とデジタル電流の相互作用(結果的にシステム内で「ノイズ」が生じる)を最小限に抑えることができます。また、アナログ電源はアナログ電源プレーンに、デジタル電源はデジタル・電源プレーンに終端させます。ミックスド・シグナルICの場合は、アナログ・リターンをアナログ・グラウンド・プレーンに、デジタル・グラウンド・リターンをデジタル・グラウンド・プレーンに終端させます。

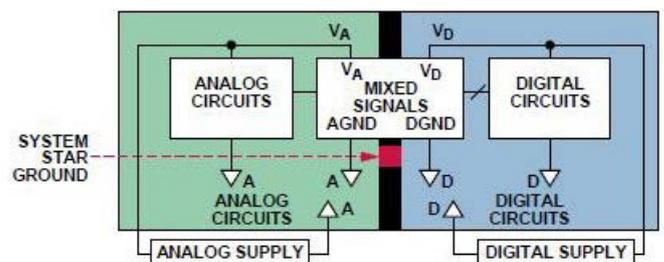


図23. ミックスド・シグナル・グラウンディング

高速PCBレイアウトの詳細については、「[A Practical Guide to High-Speed Printed-Circuit-Board Layout⁴](#)」を参照してください。ADCドライバ関連の設計では考慮すべき点が数多くありますが、ここで提供した資料が皆様のお役に立つものと期待しています。差動ドライバ・アンプを理解し、プロジェクト初期の段階でADCドライバの詳細設計に注意を払えば、将来の問題を最小限に抑え、「安全なドライブ」を続けることができるでしょう。

著者

[John Ardizzoni \[john.ardizzoni@analog.com\]](mailto:john.ardizzoni@analog.com) は、アナログ・デバイセズの高速リニア・グループのシニア・アプリケーション・エンジニアです。アナログ・デバイセズには2002年に入社。エレクトロニクス業界では28年以上の経験を積んでいます。これまでに多くの論文を著しており、評判の高いRAQシリーズの共著者でもあります。

[Jonathan Pearson \[jonathan.pearson@analog.com\]](mailto:jonathan.pearson@analog.com) は、2002年8月から高速アンプ・グループのアプリケーション・エンジニアを務めています。アナログ・デバイセズに入社する前は、テレコム業界でアナログ回路／システムの設計者をしていました。ノースイースタン大学でBSEE（電気工学理学士）、ウースター・ポリテクニク大学（WPI）でMSEE（電気電子工学修士）の学位を取得しています。余暇には家族との団らんや、さまざまなギターの演奏、音楽の録音、真空管ギター・アンプやアンティーク・ラジオの収集などを楽しんでいます。

参考文献

1. アナログ・デバイセズの全製品については、www.analog.com/jpをご覧ください。
2. <http://designtools.analog.com/dtDiffAmpWeb/dtDiffAmpMain.aspx>
3. <http://www.analog.com/jp/amplifier-linear-tools/adi-diff-amp-calc/topic.html>
4. <http://www.analog.com/library/analogdialogue/archives/39-09/layout.html>