

# 高電圧VCOを用いた高性能フェーズ・ロックド・ループの設計

著者：Austin Harney

## はじめに

現代の通信システムにおいて、フェーズ・ロックド・ループ(PLL)はもっとも基本となるビルディング・ブロックです。一般にPLLは、無線送受信回路内での局部発振器(Local, LO)として使用されます。またクロック信号の信号分配やノイズ低減にも用いられ、高いサンプリング・レートのアナログ/デジタル(A/D)変換用クロック源としての用途も拡大してきています。

集積回路製造技術の向上により、チップ上で同一レベルの信号処理機能の物理的占有面積が縮小するにつれて、デバイスの電源電圧も低くなってきています。PLLやその他のミックスド・シグナルICの電源電圧も同様です。しかしPLLのもっとも重要な構成部品である電圧制御発振器(VCO)の応用技術に関しては、それほど急激な小型化はみられません。多くの高性能VCO設計は、いまだにディスクリート回路で実現されているため、30Vもの電源電圧が必要になることがあります。このため「低電圧PLL ICと高電圧VCOのインターフェースをどう設計するか」がPLLやRFシステムの設計者の大きな課題になります。電圧をレベル・シフトしてインターフェースする場合は、一般的に以下に説明するアクティブ・フィルタ回路を用いて実現されています。

この記事ではPLLの基本を考察していき、高電圧VCOを備えたPLL設計における現時点の最新技術を俯瞰(ふかん)したのち、代表的なアーキテクチャの長所と欠点を論じ、高電圧VCOに代わることができる設計手法をいくつかご紹介いたします。

## PLLの基本

フェーズ・ロックド・ループ(図1)はフィードバック(帰還)システムです。フィードバック・ループ内の位相比較器もしくは位相検出器でVCOを駆動し、発振器の周波数(または位相)が正確に基準周波数に追従するように動作します。正または負の誤差信号を積分・平滑化して、ループの安定性を高めるフィルタ回路が必要になります。一般的にフィードバック経路には、出力周波数(VCOの出力周波数範囲内)を基準周波数の倍数に設定するための分周器が組み込まれています。ここには基準周波数の倍数Nを、整数(インテジャーN方式PLL)または分数(フラクショナルN方式PLL)とする分周器を実装します。

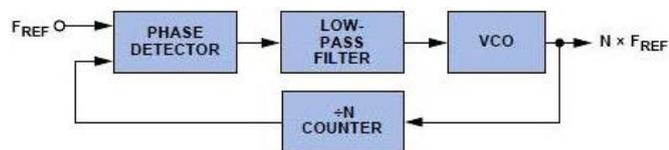


図1. 基本的なフェーズ・ロックド・ループ

PLLは負帰還制御ループであるため、正確で安定したN×FREFの周波数をVCO出力で得られている平衡状態においては、周波数誤差信号はゼロになります。

PLLを実現するには、必要な周波数範囲、ノイズ/スプリアス性能、物理的寸法などの要件に応じて、全てをデジタル、全てをアナログ、またはそれらを組み合わせるなど、さまざまな方法があります。現時点の高周波(RF)PLLでの最良のアーキテクチャは、帰還分周器や位相検出器などのデジタル回路と、チャージ・ポンプやVCOなどの高精度アナログ回路を組み合わせるものです。このようなミックスド・シグナルPLLには次のような機能が

があります。

1. 基準周波数：RF出力を位相ロックするための安定した高精度周波数リファレンス。一般に水晶発振器または温度制御水晶発振器(TCXO)で生成します。
2. 位相周波数検出器(PFD)：基準信号とフィードバック信号から位相誤差信号を生成します。
3. チャージ・ポンプ：位相誤差信号を位相誤差量に比例する正または負の電流パルス列に変換します。
4. ループ・フィルタ：チャージ・ポンプからの電流パルスを積分して、VCO制御電圧端子に低ノイズの電圧を供給します。
5. VCO：制御電圧端子(Vtune)の電圧値に対する周波数を出力します。VCOのゲインはKVと呼ばれ、単位はMHz/Vです。VCOの制御電圧と出力周波数との関係を示す基本的な式は、 $f_o = f_c + KV(V_{tune})$ です。ここで $f_c$ はVCOオフセット周波数です。
6. N分周器：出力周波数をPFD(または基準)周波数と等しくなるように分周します。単純には整数で分周しますが、分数分周器を実装することが多くなってきています。分数分周器の動作としては、整数分周器内の整数分周値を切り替えて、分周平均値を分数値にするだけです。たとえば平均値4.25を得るには、4で3分周カウントし、5で1分周カウントします。これで17個の入力パルスをカウントしたことになり、4個の出力パルスが得られるため、17/4の周波数比、すなわち4.25が実現できます。実際にはノイズ・シェーピング方式高分解能コンバータで用いられている技術を応用して、さらに優れた性能を得ることができます。したがって分数分周器エンジンには、スプリアス周波数を低減できるシグマ・デルタ( $\Sigma\Delta$ )アーキテクチャがよく実装されています。

入手可能な高集積化されたデバイスでの回路例として、図2にフラクショナルN方式PLL IC、VCO内蔵の広帯域シンセサイザADF4350のブロック図を示します。この出力周波数範囲は137.5 ~ 4400MHzです(機能の概要については、「VCO内蔵の広帯域幅PLL」を参照してください)。

PLLの性能を決定する重要な特性は、位相ノイズ、スプリアス周波数、そしてロックアップ時間です。

位相ノイズ：時間領域でのジッタに相当するものであり、周波数領域で評価される発振器ノイズまたはPLLノイズを意味します。これはPLL内のさまざまな構成要素に起因するノイズをRMS総和したものです。チャージ・ポンプ・ベースのPLLでは、ループ・フィルタ帯域幅内のVCOノイズが抑圧されます。ループ帯域幅外ではVCOノイズが支配的になります。

スプリアス：チャージ・ポンプによりVCO制御電圧が定期的に更新されるため、スプリアス周波数成分が発生します。この成分はPFD周波数に依存し、キャリアからの周波数オフセットとして生じます。フラクショナルN方式PLLでは分数分周器の動作によってもスプリアスが発生します。

ロックアップ時間：ある周波数から別の周波数に切り替えるときや、過渡的な周波数オフセットに反応するときに、PLLの位相/周波数がロックアップ範囲に戻るのに要する時間です。この時間は周波数/位相のセトリングによって規定されます。ロックアップ時間が重要かどうかは、アプリケーションに依存します。

## なぜVCOでは今でも高電圧が使用されるのか?

高性能VCOはシリコン集積化の流れに最後まで逆らっている電子部品のひとつです。やっと数年前から、携帯電話用のVCOが無線用チップ・セットに完全集積されるようになりました。しかし携帯基地局、マイクロ波のポイントtoポイントシステム、軍事・航空宇宙などの高性能アプリケーションでは、半導体ベースのVCOではまだ対応できないため、いまだにディスクリート部品を使った設計が行われています。その理由をご説明しましよ

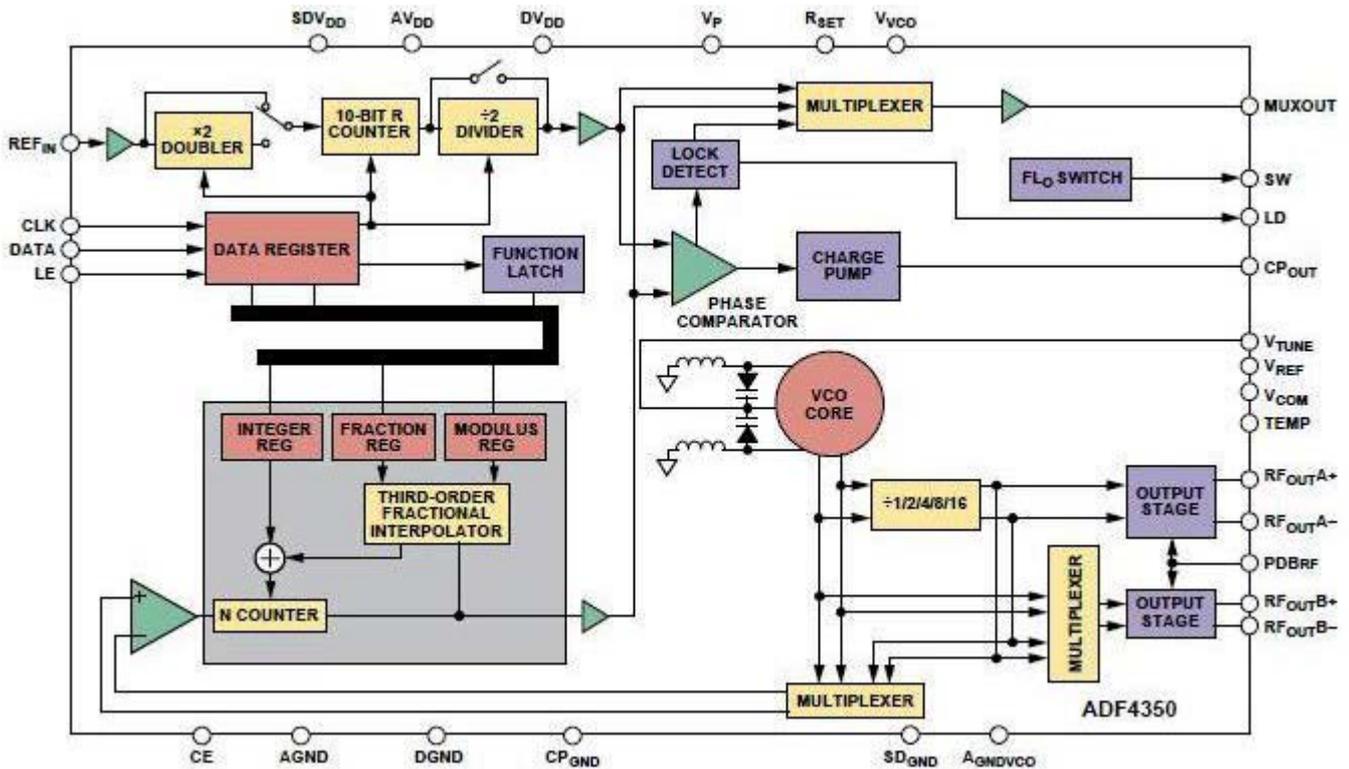


図2. ADF4350 PLLシンセサイザのブロック図

う。

市販のディスクリートVCOのほとんどは、LCベースのタンク回路内の可変同調素子として、可変容量バラクタ・ダイオードが使用されています。バラクタ・ダイオードの端子電圧を変化させると容量値が変化するため、タンク回路の共振周波数を変えることができます。

バラクタ内での電圧ノイズは、すべてVCOゲインKV（単位はMHz/V）で増幅され、位相ノイズに変換されます。VCOの位相ノイズを最小限に抑えるには、KVをできるだけ小さくする必要があります。しかし一方で適切な可変制御範囲幅を実現するには、KVを大きくする必要があります。したがって低位相ノイズかつ広い可変制御範囲が必要なアプリケーションでは、VCOメーカーは低いVCOゲイン、広範囲の可変制御電圧の発振器を設計して、矛盾する条件に対応しなければなりません。

帯域幅の狭いVCOでの一般的な制御電圧範囲は0.5～4.5Vですが、帯域幅の広いVCOの制御電圧範囲は一般的に1～14V、場合によっては1～28Vと広範囲になることもあります。

特殊な種類のVCOとして同軸共振発振器（CRO）がありますが、これは超低VCOゲインと広い入力制御電圧により超低位相ノイズ性能を実現しています。一般にCROは狭帯域プライベート・モバイル無線や陸上移動無線などのアプリケーションに使用されています。

### 高電圧VCOとのインターフェース

市販されているほとんどのPLLシンセサイザICでは、チャージ・ポンプ出力が最大で約5.5Vまでとなっています。受動素子のみでループ・フィルタを構成した場合、高い制御電圧が必要なVCOを直接駆動するには、このレベルの出力電圧では不十分です。もっと高い制御電圧にするには、オペアンプ回路を使用したアクティブ・ループ・フィルタの構成にする必要があります。

これを最も簡単に実現する方法は、パッシブ・ループ・フィルタの後段に利得段を追加することです。この回路の設計は簡単ですが、いくつか欠点があります。まず反転アンプで構成する場合は、その入力インピーダンスが低いため、パッシブ・ループ・フィルタの負荷になり、ループの動的特性が変化してしまいます。非反転アンプで構成する場合は、入力インピーダンスが高いため、フィ

ルタの負荷にはなりません、オペアンプのノイズがアクティブ・フィルタの利得ぶんだけ増幅されてしまうため、前段でわざわざパッシブ・ループ・フィルタを使う効果がなくなります。これよりもっと優れた方法は、利得段とフィルタを1つのアクティブ・フィルタとして設計することです。チャージ・ポンプからの非常に短い電流パルスでアンプがオーバ・ドライブされないようにするには、入力に前置フィルタを使用することが効果的です。これによって入力のパルス電圧を制限できます。

図3に推奨するアクティブ・フィルタ回路例を2つ示します。それぞれ反転アンプ回路と非反転アンプ回路用の前置フィルタを示しています。これらのアンプ回路が真の時間積分器であるということに注目してください。これらの回路によってPLLループはこの入力でゼロ誤差を維持することができます。帰還系が閉じていない場合には、これらの回路は電源レールにまで電圧がドリフトすることになります。

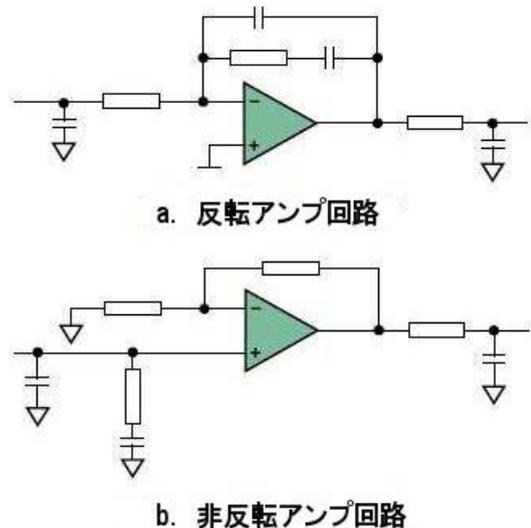


図3. 前置フィルタを使用したアクティブ・フィルタ

反転アンプ回路はチャージ・ポンプ出力を固定電圧でバイアスできるという利点があります。最適なスプリアス性能を得るために、通常はチャージ・ポンプ電圧の半分（VP/2）でバイアスし

ます。クリーンなバイアス電圧を得るには注意が必要です。この電圧供給には、理想的にはADP150のような低ノイズのリニア・レギュレータからおこない、できるだけオペアンプの入力ピンの近くでデカップリングを十分に行う必要があります。抵抗分圧回路で使用する抵抗値は、ノイズ発生を低減するために、できるだけ小さい値にします。反転アンプ回路を用いるときはPLL ICでPFD極性を反転しておきます。必要であればオペアンプの反転回路を無効にして、正極性でVCOを直接駆動できるようにしておくことも大切です。ADF4xxxファミリーは、この機能を備えています。

非反転でのループ・フィルタ構成は、専用のバイアスが必要ないため、もっとコンパクトに作り込むことができます。電圧固定でチャージ・ポンプ電圧をバイアスせずとも、その動作電圧範囲で変化させることができます。したがってこのフィルタ・タイプの回路を使用するときの重要なポイントは、レールtoレール入力のおペアンプを用いることです（入力電圧範囲の条件については次に説明します）。

### オペアンプの選択

オペアンプの選択は、アクティブ・フィルタの潜在能力を最大限に引き出すための重要なポイントです。帯域幅のほか、主に次のような性能と仕様を考慮する必要があります。

- ノイズ電圧密度 (nV/√Hz)
- 電流ノイズ (pA/√Hz)
- 入力バイアス電流
- コモン・モード電圧範囲

フィルタ出力は、PLLで発生させる周波数と位相に直接影響を与えます。アクティブ・フィルタによってどれだけ位相ノイズが増えるかは、オペアンプのノイズ電圧密度が指標になります。アンプのノイズは、PLLループ帯域幅内と帯域外の両方に現れ、ループ・フィルタのコーナ周波数で最も顕著になります。特にこれはノイズ電圧密度が高いアンプに当てはまります。したがってアンプと高電圧VCOの性能を損なわず、位相ノイズを低減させるには、如何にアンプのノイズを低く抑えることができるかが重要です。設計目標としては10nV/√Hz未満がよいでしょう。一般に電流性ノイズは誤差電流パルスに比べるとかなり小さいので、電圧性ノイズと比較しても、その影響はかなり小さくなる傾向があります。

PFD出力電流と比べて入力バイアス電流が大きめのオペアンプの場合は、PLL出力スペクトルに大きいスプリアスが生じる可能性があります。VCOチューニング電圧を一定に保ち、PLLのロック状態を維持するには、各PFDサイクルにおいて、チャージ・ポンプの出力はオペアンプ入力に流れるバイアス電流も補う必要があります。このためVTUNE電圧がPFD周波数で変調され、キャリア周辺においてPFD周波数と同じオフセット周波数にスプリアスが発生してしまいます。入力バイアス電流が高くなると、それに伴ってVTUNE電圧の変調が大きくなり、スプリアスもさらに増大します。

オペアンプのもうひとつの重要な仕様である、コモン・モード電圧範囲、または入力電圧範囲 (Input Voltage Range; IVR) は見過ごされてしまうことが多く、そのため設計の最終段階で大問題になることがあります。入力端子において、最大電圧と最小電圧から正側電源レールと負側電源レールの間に必要な余裕電圧差はIVRで決まります。

初期の±15V動作のおペアンプでは、IVRは±12V (typ) でした。のちに低速のラテラルPNP入力段方式が導入され、これによってIVRを負側電源レールまで振らすことが可能になり、単電源機能が実現できるようになりました。オペアンプはすべてグラウンドと正電源で動作しますが、電源レールからの電圧差を確認する必要があります。

たとえば一般的なOP27は、±15V電源でIVRが±12.3Vです。この場合、入力電圧は正側および負側レールから少なくとも

±2.7Vの電圧差が必要になります。このように下限範囲が制限されていることは、単電源動作として広い入力振幅で使用するには適していません。可能であれば、両電源設計にすることで、さまざまなオペアンプが使用可能になり、入力バイアスの問題も簡単になります。単電源設計にしなければならない場合は、入力側でレールtoレール振幅が可能なオペアンプを選択します（ただしこのようなオペアンプの多くはノイズ電圧が高めかもしれません）。したがって最良の性能を得るには、

- 低位相ノイズのために低ノイズ電圧密度
- 低スプリアスのために低入力バイアス電流
- 単電源動作のためにレールtoレール入力

...のおペアンプが必要です。表1に上述した設計条件に関連するアナログ・デバイセズの一部分のおペアンプと仕様項目を示します。

表1. PLLアクティブ・ループ・フィルタに推奨されるオペアンプ

Op Amp	Voltage Noise, f = 1 kHz (nV/√Hz)	Current Noise, f = 1 kHz (pA/√Hz)	Input Bias Current (Typ)	Input Voltage Range, Clearance from Lower Rail (V)	V <sub>SUPPLY</sub> Max, Single-Supply (V)
AD820	16	0.8	2 pA	-0.2	36
OP184	3.9	0.4	60 nA	0	36
AD8661	12	0.1	0.3 pA	-0.1	16
OP27	3	0.4	10 nA	+2.7	36
AD8099	2	8	100 nA	+1.3	12

どのオペアンプを選択するかはアプリケーションによって異なります。ループ帯域幅からPFDスプリアスがかなり離れた周波数に現れる場合（たとえばフラクショナルN方式シンセサイザ）、OP184またはOP27のようなバイポーラ・ジャンクション・トランジスタ (BJT) 入力オペアンプがよいでしょう。BJTの高い入力バイアス電流に起因するPFDスプリアスは、ループ・フィルタで十分に減衰される一方、PLLとしてはBJTオペアンプの低ノイズ電圧密度の特徴を活用できます。

PFDとループ帯域幅の比を小さくする必要があるアプリケーションの場合（たとえばインテジャール方式シンセサイザ）、ノイズとスプリアス・レベルとの間で妥協点を探る必要があります。この場合の良好な選択肢としてAD820とAD8661が挙げられます。

ちなみにPLLにとって、アクティブ・フィルタはノイズの原因にもなりますが、バッファ機能をもっているため、特定のアプリケーションによってはパッシブ・フィルタよりも高い性能が得られることがあります。たとえばVCOの制御電圧端子のリーク電流が大きいためにPFDスプリアスが大きくなる場合は、オペアンプを使うことでスプリアス・レベルを低減できます。オペアンプの低インピーダンス出力により、制御電圧端子のリーク電流を補償できるようになるからです。

### 設計の例

LO発振器に次のような仕様が与えられるものとして、例を考えてみましょう。

- チューニング範囲：1000 ~ 2000MHz (オクターブ範囲)
- 位相ノイズ条件：1MHzオフセットで-142dBc/Hz
- スプリアス：-70dBc未満
- チャンネル間隔：250kHz
- ロックアップ時間：2ms未満
- 使用可能な電源：15Vまたは30Vの単電源

位相ノイズの目標を達成すると同時に、1GHzのチューニング範囲を実現するには、高電圧VCOとアクティブ・ループ・フィルタを使用する必要があります。オペアンプは位相ノイズ/スプリアスの仕様と単電源の制約に基づいて選択します。スプリアスの仕様を満たすにはバイアス入力電流が小さくなくてはなりません。また最良の位相ノイズ性能を実現するには電圧ノイズの低いオペアンプである必要があります。両者の妥協点を見出すためには、AD8661などのJFET入力オペアンプを選択することがよいでしょう。この製品の入力バイアス電流は0.3pA、電圧ノイズは12nV/√Hzで単電源でも動作します。ここではオクターブのチューニング範囲が目標であるために、VCOはRFMD **UMS-2000-A16**を選択しました。

まず、ADIsimPLL™ツールでサポートされているアクティブ・フィルタ回路でシミュレーションすることから始めるとよいでしょう。図3に推奨する2つのフィルタ・タイプを示しましたが、ADIsimPLLは他の回路構成にも対応しています。

PLLには、インテグラー方式でもフラクショナル方式でも動作する、**ADF4150**を選択してみました。この製品は出力分周オプションとして2/4/8/16/32があり、31.25MHzから2GHzまでの範囲を連続的に対応します。ADF4150はADF4350(図2を参照)に似ていますが、こちらはシビアな位相ノイズ条件のアプリケーションのために、外部VCOを使用できます。シミュレーションではPLLロックアップ時間を2ms未満に抑えることとし、オペアンプのノイズ寄与分を最小にするために、PLLループ・フィルタの帯域幅を20kHzに設定しました。

図4にシミュレーションと実測値での周波数オフセット対ノイズ(dBc)の比較を示します。ここではADF4150のPLL IC、UMSのVCO、AD8661を用いたフィルタを使用しました。両方のノイズのようすを見てみると、アクティブ・ループ・フィルタで混入したノイズのために、ピーク値が約20kHzの周波数で-90dBc/Hzになっていますが、1MHzオフセットでは-142dBc/Hzであり目標は達成できています。スプリアスを抑えるより、帯域内ノイズを低減させることを優先したいときは、OP184またはOP27などのローノイズ・オペアンプが使用できます。あるいはPLLループ帯域幅を20kHz未満に狭くすることも考えられます。

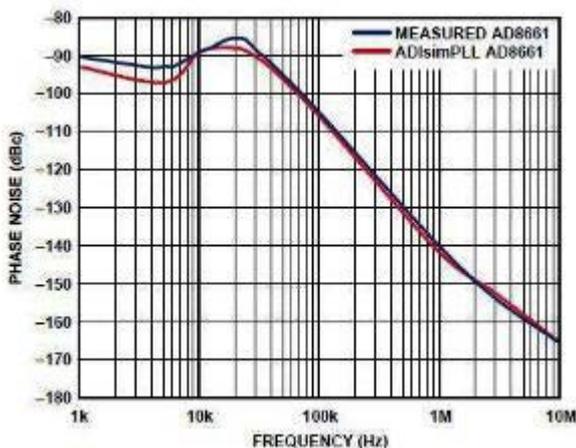


図4. ADIsimPLLのシミュレーションと実測値との性能比較 (PLLアクティブ・フィルタにオペアンプAD8661を使用)

図5に示すように、OP27を使用すれば約6dB改善できます。この場合ループ帯域幅が比較的狭いため、スプリアスはそれほど増加しません。帯域幅をさらに狭くしていけば、PLLロック時間が長くなりますが、100kHz未満のオフセットでの位相ノイズが改善できます。これらのトレードオフは実験機に行く前に、ADIsimPLLですべてシミュレーションにより評価できます。

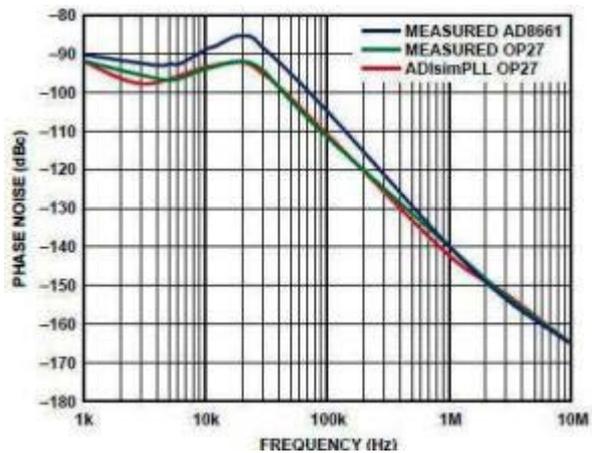


図5. アクティブ・ループ・フィルタにAD8661を使用した場合とOP27を使用した場合のPLL性能の実測値

### 新製品の登場: 高電圧PLL

ここまで、低電圧PLLデバイスと高電圧VCOをインターフェースするには、アクティブ・フィルタを使う必要があることを説明してきました。しかし高電圧出力PLLが登場し始めており、アクティブ・フィルタの出番が大幅に少なくなることになりそうです。たとえば**ADF4113HV**などが高電圧出力PLLです。この製品は高電圧チャージ・ポンプを内蔵しており、正規化位相ノイズ・フロアは-212dBc/Hzです。この場合、PLLチャージ・ポンプ出力は15Vという高電圧が可能であるため、VCOの前段に単純なパッシブ・フィルタを使用するだけで十分です。

近いうちにこの高電圧出力PLLファミリーは、最大電圧を30Vまで可能としたデバイスや、高電圧チャージ・ポンプを内蔵したフラクショナルN方式PLLを加えていき、さらに充実したものになる予定です。これらの新着情報や新製品については、弊社のPLLのウェブ・サイトをご覧ください。

### VCO内蔵の広帯域幅PLL

高電圧VCOとアクティブ・フィルタを使用する代わりに、ADF4350(図2を参照)のような完全集積された高性能PLLを使用する方法もあります。このICでは1チップ上にVCOが集積されています。この内蔵マルチバンドVCO方式を使用することで、上述のような広いチューニング範囲と低位相ノイズが実現でき、トレードオフから回避できます。ADF4350の場合、3個のVCOが1チップ上に集積されており、各VCOに16のオーバーラップしたサブ・バンドがあるため、全部で48のサブ・バンドを得ることができます。周波数が更新されるたびに、自動的にキャリブレーションが行われ、適切なサブ・バンドVCOが選択されます。

これにより、VCO設計を「ディスクリート・ソリューション」から「シリコン・ベース・ソリューション」に変更できるという大きな長所があります。またこれによって、狭い領域に高レベルの集積化が実現できるため、設計の柔軟性を増大できます。たとえばADF4350にはプログラマブルな出力分周回路も集積されているため、137.5MHzから4.4GHzまでの周波数すべてに対応できます。これはひとつの同じ設計を複数の周波数や異なる技術基準で使用したい無線設計者にとって、たいへん魅力的な特長です。

ADF4350は12.7mm×12.7mmのVCO標準パッケージではなく、5mm×5mmのLFCSPパッケージです。性能はディスクリートで設計されたもののレベルに近く、位相ノイズは100kHzオフセットで-114dBc/Hz、1MHzオフセットで-134dBc/Hzです(図2を参照)。

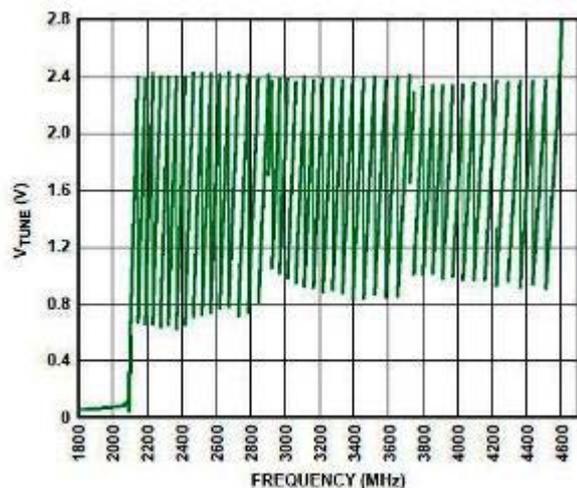


図6. ADF4350の48個のサブ・バンドを示すプロット  
(VCO電圧と周波数の関係)

インテジャールN、フラクショナルN、集積VCO、高電圧PLL ICなど、業界で最も広範な弊社PLL製品群によって性能の限界が塗り替えられ、世界各国のPLL設計者や無線設計者の設計上の課題軽減が可能になってきています。さらに詳細を知りたい方は、弊社の[PLLシンセサイザ/VCO](#)のウェブ・サイトをご覧ください。

#### 参考文献

- 1 Applied Radio Labs Forums  
<http://www.radiolab.com.au/Forums/default.asp>
- 2 Best, Roland E著『Phase-Locked Loops. Design, Simulation, and Applications』 McGraw Hill
- 3 Curtin, Mike, Paul O'Brien著「[Phase-Locked Loops for High-Frequency Receivers and Transmitters—Part 2](#) (pdf, 9.01MB)」1999年、Analog Dialogue、Volume 33
- 4 アナログ・デバイセズの製品については、[www.analog.com/jp](http://www.analog.com/jp)をご覧ください。