

高速コンバータ・クロック 分配デバイスの終端処理

著者: Jerome Patoux

クロック分配デバイスかファンアウト・バッファを使用してADCとDACをクロック駆動するときには、信号劣化の主な原因になるプリント回路基板 (PC ボード) の、パターン実装と出力終端処理の2つに注意する必要があります。

クロック・パターンと信号振幅

PC ボードのパターンにはローパス・フィルタのような働きがあり、クロック信号がパターンを伝播する間に信号が減衰し、パターンが長いほどパルス・エッジの歪みが増大します。高周波クロック信号では減衰量、歪み、ノイズが大きくなる傾向がありますが、図1に示すように低いスルーレートで最悪となるジッタを改善するために、一般に高スルーレートのクロック・エッジを使用します。高品質のクロックを正しく実装するには、高振幅のクロック信号を使用し、ボードのクロック・パターンを短くし、クロック駆動するデバイスをクロック分配デバイスのできるだけ近くに配置します。

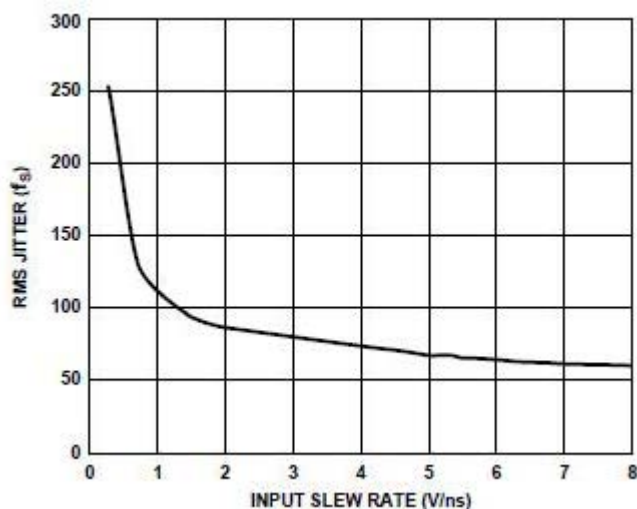


図1. ADCLK925の入力スルーレート 対 rmsジッタ

このようなクロック分配デバイスとしては、ADCLK954² クロック・ファンアウト・バッファとADCLK914³ 超高速クロック・バッファがあります。ADCLK954は、12個の出力ドライバで構成され、図2に示すように、800mVのフルスイングECL (エミッタ結合ロジック) またはLVPECL (低電圧ポジティブECL) 信号で50Ωの負荷を駆動し、1.6Vの合計差動出力振幅を出力します。これらは4.8GHzまでのトグル・レートで動作します。ADCLK914は、1.9Vの高圧差動信号 (HVDS) で50Ωの負荷を駆動し、3.8Vの合計差動出力振幅を出力します。ADCLK914のトグル・レートは7.5GHzです。

DACを駆動するときには、クロック分配デバイスをDACのクロック入力のできるだけ近くに配置してください。これによって、必要な高スルーレートで高振幅のクロック信号が、ルーティング上の問題を引き起こしたり、EMIを生成したり、誘電損失などによって劣化することを防ぎます。なお、パターンの特性インピーダンス (Z_0) はパターンの寸法 (長さ、幅、深さ) によって変化します。ドライバの出力インピーダンスは、この特性インピーダンスと一致していなければなりません。

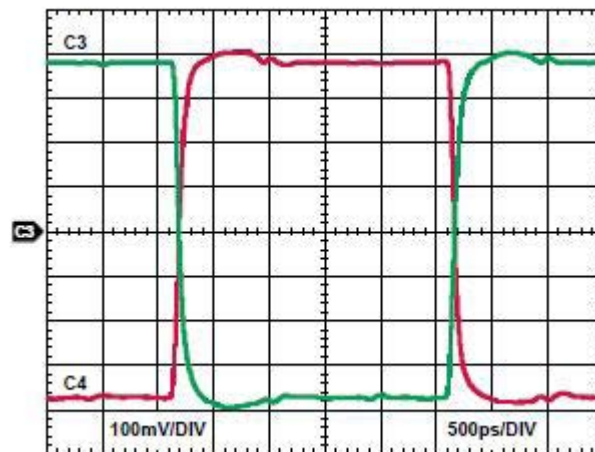


図2. ADCLK954のクロック・バッファ出力波形 (3.3V電源)

出力終端処理

クロック信号の減衰によってジッタが増加することがあるため、ドライバ出力を終端処理することで信号反射を防ぎ、相対的に広い帯域幅でパワー伝送を最大化する必要があります。実際に、反射によってアンダーシュートやオーバーシュートが発生し、信号や全体のクロック性能を著しく損なうことがあり、極端な場合には、レシーバやドライバが故障することもあります。パターンが正しく終端処理されていないと、インピーダンスのミスマッチによって反射が発生します。立上がり/立下がり時間が短い高速信号では、反射係数のハイパス特性によって反射が大きくなります。反射したパルスがメイン・クロック信号に重なることで、クロック・パルスが劣化します。さらに図3に示すように、立上がり/立下がりエッジの時間遅延が不確実になるため、クロック信号のエッジにも影響を与えます。

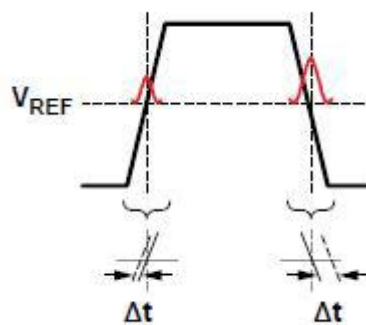


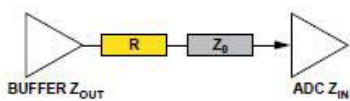
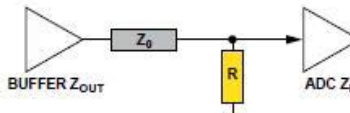
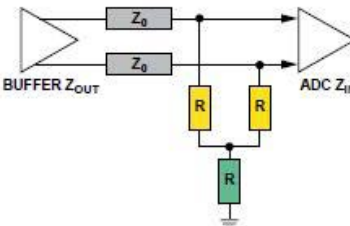
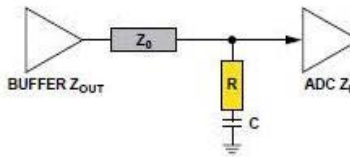
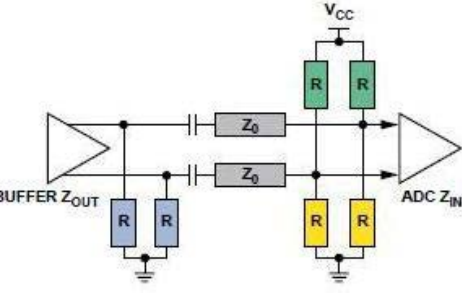
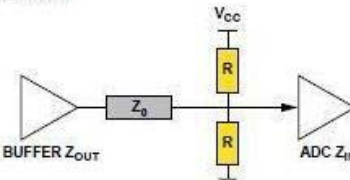
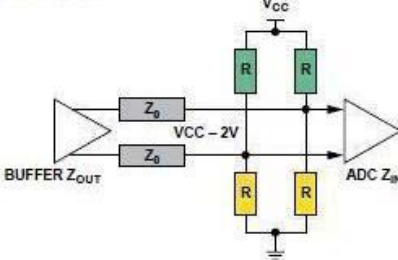
図3. 不適切な終端処理による反射信号がジッタに与える影響

不適切な終端処理によるエコーの大きさは時間とともに変化するため、 Δt も時間とともに変化します。終端の時定数もエコー・パルスの形状と幅に影響を与えます。これらの理由により、ガウス曲線に似た、反射に起因するジッタ形状が典型的なジッタに加わります。このようなジッタの悪影響とクロック品質の低下を避けるために、表1に示したような適切な信号終端処理を行ってください。ここで、 Z_0 はラインのインピーダンス、 Z_{OUT} はドライバの出力インピーダンス、 Z_{IN} はレシーバの入力インピーダンスです。CMOS回路とPECL/LVPECL回路のみを記載しました。

参考文献

- 1 「クロック & データ再生」
- 2 「ADCLK954」
- 3 「ADCLK914」

表1.クロックの終端処理

方法	説明	長所	短所	備考
直列終端	CMOS  周波数に渡る動的な特性により、インピーダンスのマッチングが困難なため実際にはバッファ出力の抵抗 (R) は省略します。	低消費電力ソリューション (グラウンドへのシンク電流なし)。Rの計算が簡単 ($Z_0 - Z_{OUT}$)。	立ち上がり／立下がり時間が回路RとCによる影響を受け、ジッタが増加します。低周波信号であれば、使用できます。	CMOSドライバ。高周波クロック信号には適していません。低周波クロック信号ときわめて短いパターンの場合に適しています。
プルダウン抵抗	CMOS 	きわめて簡単 ($R = Z_0$)	高消費電力。	推奨できません。
	LVPECL 	単純な3抵抗ソリューション。節電という点でやや優れており、また4抵抗終端に比べて部品の節約になります。		推奨します。終端抵抗はPECLレシーバのできるだけ近くに配置してください。
AC 終端	CMOS 	DCの消費電力なし。		Cを小さくして高消費電力を回避しますが、この値が小さすぎるとシンク電流が発生します。 AC結合コンデンサは低ESRで低容量のものにします。
	LVPECL 	AC結合によりバイアス電圧調整が可能。回路の両側での電力フローを回避。	AC結合は平衡信号 (50%のデューティサイクル・クロック) の場合のみ推奨できます。	AC結合コンデンサは低ESRで低容量のものにします。
抵抗ブリッジ	CMOS 	電力面で妥当なトレードオフ。	シングルエンド・クロックに2つの部品を使用します。	
	LVPECL 		差動出力ロジックに4つの外部部品を使用します。	3.3VのLVPECLドライバに広く使われている終端処理。