

昇降圧コンバータで 高い効率を実現する 同期整流反転SEPIC

著者: Matthew C. Kessler

降圧か昇圧で動作し、入力電圧を所望の安定した電圧まで引き下げるか上げるかして、コストと部品点数を最小限に抑える効率の良い非反転DC/DCコンバータは、多くの市場で需要が増大しています。「ゼータ・コンバータ」とも言われる反転SEPIC (Single-Ended Primary Inductor Converter) は、この機能に最適な特性を多数備えています (図1)。デュアル・チャンネルの同期スイッチング・コントローラADP1877によってその動作と実験評価を分析することで、このアプリケーションの役に立つ特性を明らかにします。

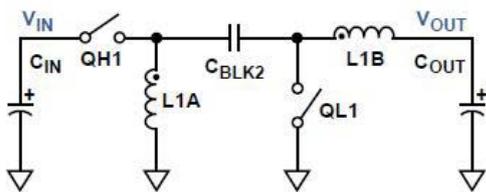


図1. 反転SEPIC構成

1次スイッチQH1と2次スイッチQL1は、互いに逆位相で動作します。オン時にQH1は導通し、QL1はオフになります。図2に示すように、電流は2つの経路を流れます。最初の経路は、入力から1次スイッチ、SEPIC結合コンデンサ (CBLK2)、出力インダクタ (L1B)、負荷を経由し、最終的にグラウンドを通して入力に戻ります。2番目の経路は、入力から1次スイッチとグラウンド基準のインダクタ (L1A) を経由し、グラウンドを通して入力に戻ります。

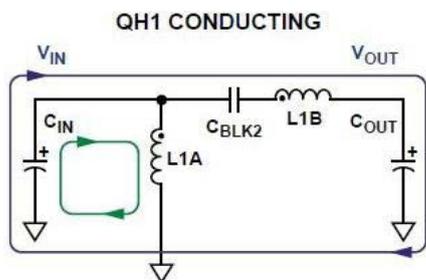


図2. 電流の流れ図 (QH1はクローズ、QL1はオープン)

オフ時にはスイッチが逆になります。QL1は導通し、QH1はオフになります。入力コンデンサ (CIN) は切り離されますが、図3に示すように、電流は2つの経路のインダクタを通じて流れ続けます。最初の経路は、出力インダクタから負荷とグラウンドを経由し、2次スイッチを通して出力インダクタに戻ります。2番目の経路は、グラウンド基準のインダクタからSEPIC結合コンデンサと2次スイッチを経由し、グラウンド基準のインダクタに戻ります。

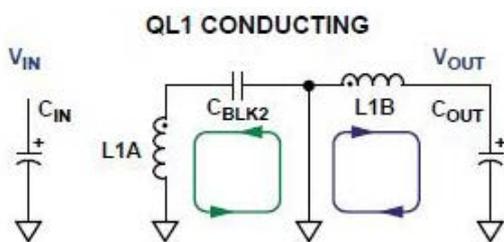


図3. エネルギー移行図 (QL1はクローズ、QH1はオープン)

「インダクタ電圧-時間バランス」と「キャパシタ電荷平衡」の原理を適用すると、式1に示す平衡DC変換比が得られます。ここで、Dはコンバータのデューティサイクル (サイクルのオン時間比) です。

$$\frac{V_{OUT}}{V_{IN}} = \frac{D}{1-D} \quad (1)$$

この式は、デューティサイクルが0.5を超えると出力が高い電圧に調整され (ブースト)、デューティサイクルが0.5を下回ると低い電圧に調整される (バック) ことを示しています。この解析に関連して、SEPIC結合コンデンサ (CBLK2) の両端の定常電圧は無損失システムではVOUTに等しく、出力インダクタ (L1B) を流れる電流のDC値はIOUTに等しく、グラウンド基準のインダクタ (L1A) を流れる電流のDC値はIOUT×VOUT/VINになるという結果も得られます。SEPIC結合コンデンサは、VINからVOUTまでのDCブロッキングも提供します。短絡出力のおそれがあるときは、この特性も魅力的かもしれません。

この解析によって、反転SEPICの出力電流が連続的であり、所定の出力コンデンサ・インピーダンスに対してピーク間出力電圧リップルが低くなることもわかります。したがって、不連続な出力電流構成で同じリップル条件を満たすために必要なコンデンサに比べると、小型で安価な出力コンデンサを使用できます。

一般に、2次スイッチ (QL1) は単方向性のパワー・ダイオードであり、それがこの構成の効率下げてしまいます。しかし、アナログ・デバイゼスのデュアル・チャンネル型同期スイッチング・コントローラADP1877 (付録を参照) の1チャンネルを使用すれば、2次スイッチに双方向MOSFETを用いることで完全同期構成の反転SEPICを設計することができます。これによって、ピーク効率を大幅に高めると同時に、1Aを超える出力電流のコンバータのサイズとコストを低減することができます。

図4に示す完全同期の反転SEPIC構成のパワー段はADP1877を使用しており、追加の部品として小型で安価なCBLK1、DDRV、RDRVの3つを必要とするだけで、消費電力もごくわずかです。

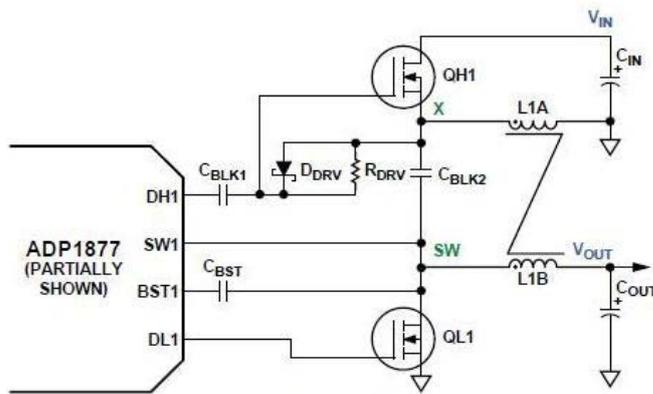


図4. 同期整流反転SEPICのパワー段 (ADP1877のチャンネル1で実装)

図5に、反転SEPICの理想的な定常波形を示します。チャンネル1のスイッチ・ノードSW1 (付録の図Aを参照) は、オン時のVIN+VOUTとオフ時の0Vの間でトグルします。SW1にチャージ・ポンプ・コンデンサ (CBST) を接続すると、オン時にハイサイド内部ドライバ (BST1ピン) のブートストラップされた上側レールとハイサイド・ドライバ (DH1ピン) の出力におよそVIN+VOUT+5Vの電圧が印加されるため、NチャンネルMOSFETの1次側スイッチQH1がオンします。クランプ・ダイオードDDRVによって、CBLK1の両端の電圧は、定常出力時に約VOUT+VFWD(DDRV)になります (ADP1877のDH1ピンからQH1のゲートまでを基準)。CBLK1の両端の電圧によって、Xノード電圧が-VOUTにほぼ等しくなる場合に、1次スイッチがオフ時にスレッシュホールドを上回るゲート/ソース間電圧を発生させないようにすることができます。

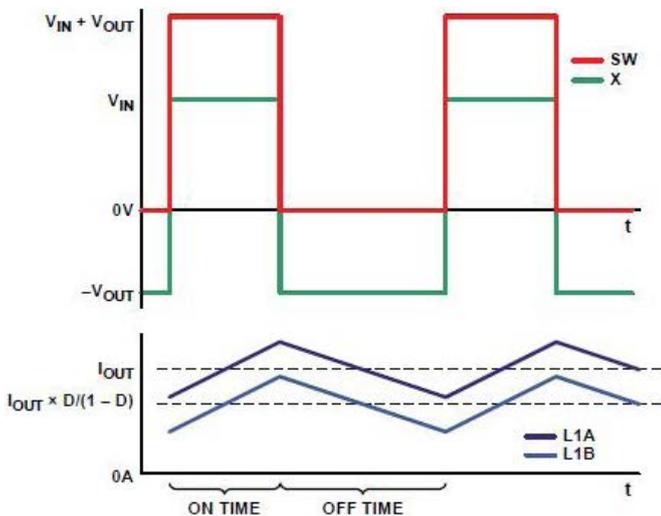


図5. 同期整流反転SEPICの理想的な波形 (デッド・タイムは除外)

ADP1877にはパルス・スキップ・モードがあり、これを有効にすると、スイッチング周波数を低下させ、出力電圧の安定化に必要なエネルギーだけを出力に供給することによって軽負荷時の効率を改善します。これによって、ゲート電荷とスイッチング損失が大幅に減少します。このモードは、同期整流反転SEPIC構成と同期バック構成のいずれでも有効にすることができます。図4のDC/DC変換回路に必要なのはデュアル・チャンネルADP1877の1チャンネルのみなので、もう1つのチャンネルはいずれの構成にも使用できます。

結合インダクタおよびSEPIC結合コンデンサ

図4では、パワー・インダクタL1AとL1Bが結合されています。この構成でインダクタを結合するのは、出力電圧とインダクタ電流のリップルを低減し、最大限可能なクロード・ループ帯域幅を増やすためです。これについては、次のセクションで説明します。

インダクタを結合するにしても、コアを通じて一方の巻線から他方の巻線に大きなエネルギーが移行するほど密な結合は好ましくありません。これを防ぐには、結合インダクタの漏れインダクタンス (L_{LKG}) を検出し、SEPIC結合コンデンサ (C_{BLK2}) のサイズを調整して、式2、式3、式4に示すように、複素インピーダンスの大きさが1つの巻線の漏れインダクタンスと抵抗 (DCR) の複素直列インピーダンスの10分の1になるようにします。この関係を満たすように回路を設計すれば、結合コアからのエネルギー移行が最小限に抑えられます。漏れインダクタンスを計算するには、一般には結合インダクタのデータシートに記載されている結合係数を使用します。

$$|Z_{C_{BLK2}}| = \sqrt{ESR^2 + \left(\frac{1}{2\pi C_{BLK2} f_{SW}} \right)^2} \quad (2)$$

$$|Z_{L_{LKG}}| = \sqrt{DCR^2 + (2\pi L_{LKG} f_{SW})^2} \quad (3)$$

$$|Z_{C_{BLK2}}| \leq \frac{|Z_{L_{LKG}}|}{10} \quad (4)$$

巻線ごとのインダクタンスは、所定のレベルの出力電圧リップルに対してディスクリット・インダクタが必要とする値の半分になるため、1:1の巻数比がよいでしょう。¹

1:1以外の巻数比も使用できますが、その結果についてこの記事の式は正確に当てはまりません。

小信号解析とループ補償

反転SEPICコンバータの完全な小信号解析は、この記事の範囲を超えていますが、次の指針に従えば、解析全体が学問的なレベルになります。

まず、ターゲットとなるクロスオーバー周波数の上限を知るために、共振周波数 (f_{RES}) での複素インピーダンスの多数の相互作用を計算する必要があります。インダクタを切り離すと、この周波数が減少して、可能な最大クロード・ループ帯域幅が大幅に減少します。

$$f_{RES} = \frac{1}{2\pi \sqrt{2L_{LKG} C_{BLK2}}} \quad (5)$$

この周波数では、 300° 以上の「高Q」の位相遅れが生じることがあります。全負荷範囲で位相余裕が少ないコンバータになることを避けるために、 f_{RES} の10分の1のクロスオーバー周波数 (f_{UNITY}) をターゲットにします。この共振の減衰は、主に出力負荷抵抗と結合インダクタのDC抵抗成分に依存します。それよりも程度は低くなりますが、減衰はSEPIC結合コンデンサの等価直列抵抗 (ESR) とパワーMOSFET (QH1とQL1) のオン抵抗に依存しています。したがって、出力負荷抵抗が変化すると、この周波数においてクロード・ループ伝達関数のシグネチャが大幅に変化しても不思議ではありません。

結合係数はあまりよく制御されているパラメータであるとは言えないため、ターゲットとなるクロスオーバー周波数 (f_{UNITY}) を f_{RES} の10分の1に設定します。ただし、 f_{RES} はスイッチング周波数 f_{SW} を下回るものとします。 f_{UNITY} が正しく設定されていれば、2つのポールと1つのゼロをもつ標準的な「タイプII」の補償を使用することができます。

$$f_{UNITY} = \text{Minimum} \left(\frac{f_{RES}}{10}, \frac{f_{SW}}{10} \right) \quad (6)$$

図6に、同期整流反転SEPICバック／ブースト構成に使用したADP1877の帰還ループの等価回路を示します。上の枠内にはパワー段と電流ループがあり、下の枠内には電圧帰還ループと補償回路があります。

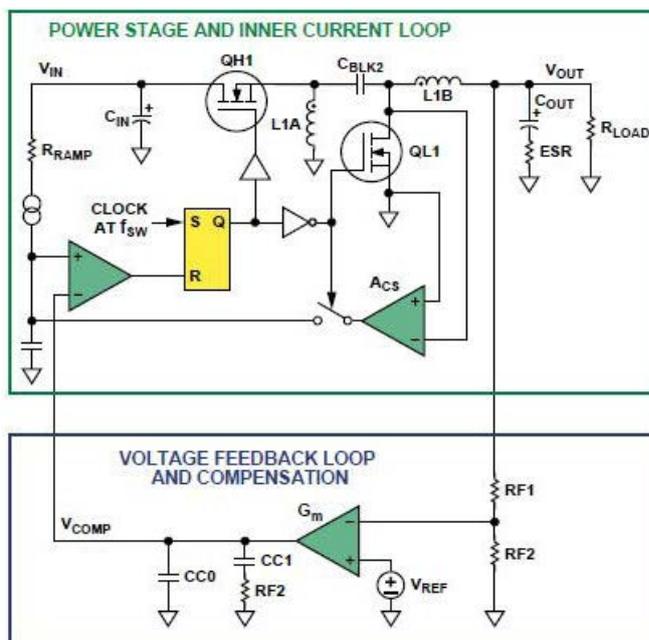


図6. 同期整流反転SEPIC構成のADP1877の内部電流検出ループ付きのパワー段と補償方式

下の枠内の補償部品の値は、次のように計算することができます。

$$R_C = \frac{2\pi f_{UNITS} C_{OUT} (ESR + R_{LOAD})^2 V_{OUT}}{G_m G_{CS} R_{LOAD} V_{REF}} \quad (7)$$

$$C_{C1} = \frac{0.6 G_m G_{CS} R_{LOAD}^2}{2\pi f_{UNITS} (R_{LOAD} \times ESR) V_{OUT}} \quad (8)$$

$$C_{C0} = \frac{G_m G_{CS} R_{LOAD} \times ESR}{2\pi f_{UNITS} (R_{LOAD} \times ESR) V_{OUT}} \quad (9)$$

コンバータの相互コンダクタンス G_{CS} は次式で計算します。

$$G_{CS} = \frac{1}{A_{CS} R_{DS(ON)MIN} \left(1 + \frac{D}{1-D}\right)} \quad (10)$$

$$= \frac{1}{A_{CS} R_{DS(ON)MIN} \left(\frac{1}{1-D}\right)} = \frac{\Delta I_{OUT}}{\Delta V_{COMP}}$$

C_{OUT} はコンバータの出力容量です。ESR は出力コンデンサの等価直列抵抗です。 R_{LOAD} は最小の出力負荷抵抗です。 A_{CS} は電流検出ゲインであり、ADP1877の場合、3V/Vから24V/Vまでの離散的なステップで選択できます。 G_m は、誤差アンプの相互コンダクタンスであり、ADP1877では550 μ Sになります。 V_{REF} は、誤差アンプの正側入力に接続するリファレンス電圧であり、ADP1877では0.6Vになります。

G_{CS} は周波数から独立したゲイン項であり、オンした2次側スイッチのオン抵抗 $R_{DS(ON)}$ とともに変化します。この抵抗値とデューティサイクル D が最低のときに、最高のクロスオーバー周波数が予想されます。

最大出力電流時に補償クランプ電圧に達しないようにするには、次の不等式を満たす電流検出ゲイン A_{CS} の最大値を選択する必要があります。

$$2.25 \text{ V} \geq A_{CS} R_{DS(ON)MAX} \left(I_{OUT} \left(\frac{1}{1-D} \right) - \frac{\Delta I_L}{1.2} \right) + 0.75 \text{ V} \quad (11)$$

ここで、 ΔI_L はインダクタのピーク間リップル電流です。

$$I_L = \frac{V_{IN} D}{2L_{1B} f_{SW}} \quad (12)$$

過度のスロープ補償を追加した場合、このセクションの式はあまり正確なものではなくなります。この場合、DCゲインが減少し、出力フィルタのためにドミナント・ポールの周波数位置が増大します。

スロープ補償

ADP1877を使用する同期整流反転SEPICの場合、電流モード・コントローラ³を防ぐことができます。

$$R_{RAMP} = \frac{(V_{IN MIN} - 0.2) L_1 (1-D)}{5 A_{CS} R_{DS(ON) MAX} \times 6 \text{ pF} \times V_{IN MIN} \left(\frac{1}{\pi} + 0.5 \right)} \quad (13)$$

オンした2次側スイッチのオン抵抗 $R_{DS(ON)}$ が減少すると、サンプリング・ポールのQ値も減少するという点に注目してください。ほかの関連する許容誤差もあって、これによりQ値が0.25を下回った場合は、シミュレーションを実行して、コンバータに過度のスロープ補償がないこと、そして許容誤差を考慮して「過剰電圧モード」になっていないことを確認する必要があります。 R_{RAMP} の値によって、式14の計算に基づく6~200 μ Aの電流をADP1877のRAMPピンに流す必要があります。

$$I_{RAMP} = \frac{V_{IN} - 0.2}{R_{RAMP}} \quad (14)$$

周辺部品のストレス

図2と図3の電流の流れの図から、導通時のパワーMOSFETにはインダクタ電流の和があることがわかります。したがって、2つのスイッチを流れる電流のDC成分は次のようになります。

$$I_{DC} = I_{OUT} \left(1 + \frac{D}{1-D} \right) = I_{OUT} \frac{1}{1-D} \quad (15)$$

インダクタの結合比が1:1である場合、2つのスイッチを流れる電流のAC成分は次のようになります。

$$I_{AC} = \frac{V_{IN} D}{L_{1A} f_{SW}} \quad (16)$$

これらの値がわかれば、各スイッチを流れる電流のrms値をすぐに計算できます。選択したMOSFETの $R_{DS(ON)MAX}$ と併せて、これらの値により、MOSFETが熱的に安定し、効率の条件を満たすのに十分な低消費電力にすることができます。

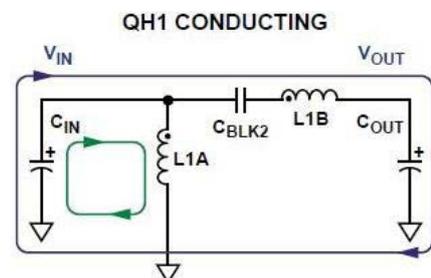


図7. 同期整流反転SEPICの理想的な電流波形 (デッド・タイムは除外)

1次スイッチのスイッチング損失を正確に計算することはこの記事の範囲を超えていますが、高抵抗状態から低抵抗状態に移行する際にMOSFETの両端の電圧が約 $V_{IN} + V_{OUT}$ から約0Vまでスイングし、デバイスを流れる電流が0Aから $I_{OUT} [1/(1-D)]$ までスイングすることについて注意してください。このような規模のスイングではスイッチング損失が主要な損失になることがあるため、逆伝達容量 (C_{RSS}) と $R_{DS(ON)}$ が反比例するMOSFETを選ぶときは、係数1を考慮する必要があります。

1次スイッチと2次スイッチのドレイン-ソース・ブレイクダウン電圧 (BV_{DSS}) は、入力電圧 + 出力電圧よりも大きくする必要があります (図5を参照)。

ピーク間出力電圧リップル (ΔV_{RIPPLE}) は、次式によって近似値を求めることができます。

$$\Delta V_{RIPPLE} \approx \frac{\Delta I_L}{8 f_{SW} C_{OUT}} + \Delta I_L \times ESR \quad (17)$$

表1. 電力部品

記号	部品番号	製造者	値	パッケージ	備考
QH1/QL1	FDS6572A	Fairchild Semiconductor	20 BV _{DDS}	SO8	Power MOSFET/6 mΩ (max) @ 4.5 Vgs @ 25°C Tj
L1A/B	PCA20EFDU10S002	TDK	巻線当たり 3.4μH	30mm×22mm ×12mm	1:1:1:1:1 結合インダクタ/ フェライト/巻線当たり 35.8mΩ (max) DCR

出力コンデンサを流れる電流のrms値 (I_{rms} C_{OUT}) は次のようになります。

$$I_{rms} C_{OUT} \approx \frac{\Delta I_L}{2\sqrt{3}} \quad (18)$$

式12のインダクタのピーク間電流 (ΔI_L) は入力電圧に依存するため、このパラメータが変化しても、出力電圧リップルが仕様を上回らず、出力コンデンサを流れるrms電流が定格値を上回らないようにする必要があります。

ADP1877による同期整流反転SEPICの場合、入力電圧+出力電圧が14.5Vを上回らないようにしてください。これは、チャージ・ポンプ・コンデンサがスイッチ・ノードに接続しているため、1次スイッチの導通時にV_{IN}+V_{OUT}になるためです。

実験結果

図8は、3Vおよび5.5V入力、5V出力の負荷電流に対する同期整流反転SEPICの効率を示しています。3.3Vと5.0Vの入力レール間でトグルする必要のあるアプリケーションや、システム効率を最適化するために入力電圧の余裕をオンザフライで設定するときなどの一般的な条件に当てはまります。1A~2Aの負荷と、出力電圧より上および下の入力電圧では、コンバータの効率は90%を超えます。

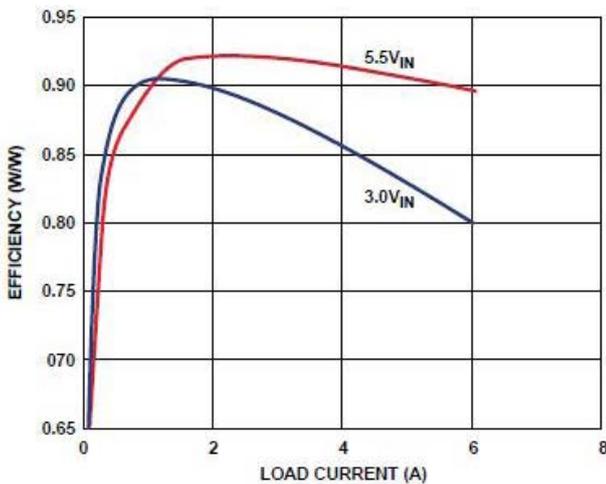


図8. 負荷電流 対 効率

表1は、図8に関連する電力部品の部品表です。一般的な市販部品のみを記載しています。QL1の代わりに、順方向電圧降下の値が低い業界最高レベルのショットキー・ダイオードを用いて同等の非同期設計が可能ですが、いずれの入力電圧でも全負荷において効率が約10%低下します。非同期設計が大きいものになり、高価になり、高コストのヒート・シンクが必要になるかもしれません。

結論

入力よりも高い電圧や低い電圧 (昇圧と降圧) を提供する高効率の昇降圧非反転コンバータに対する需要が、多くの市場で増えています。アナログ・デバイセズのデュアル・チャンネル同期スイッチング・コントローラADP1877を使用すれば、パワー段によく使われる高損失のパワー・ダイオードの代わりに低損失のMOSFETを利用することができます。このように効率が向上することによって、コストや回路のフットプリントを低減することが可能になり、システムの厳しいエネルギー条件を満たすこともできます。確実な補償が得られる部品値は、いくつかの指針に従って簡単に計算することができます。一般的な市販部品を用いて高い効率を達成できます。

参考文献

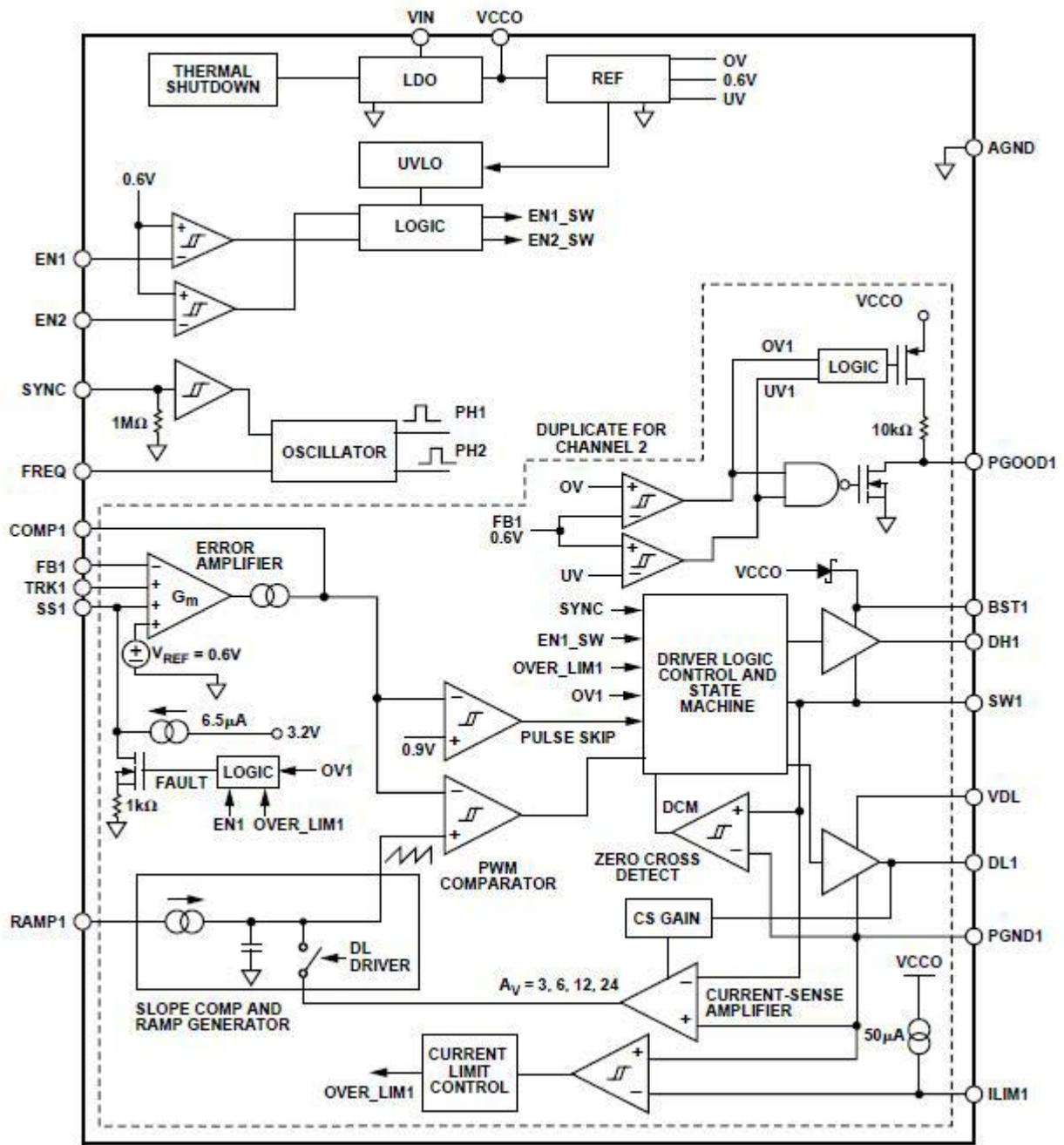
- Barrow, Jeff 著 「DC/DCコンバータのグラウンド・バウンスを抑える」 Analog Dialogue 41-2, p. 2 ~ 7, 2007年
- Ćuk, Slobodan, R.D. Middlebrook 共著 「Coupled-Inductor and Other Extensions of a New Optimum Topology Switching DC-DC Converter」 Advances in Switched-Mode Power Conversion, Volumes I & II. Irvine, CA: TESLACO, 1983年
- Erickson, Robert, Dragan Maksimović 共著 「Fundamentals of Power Electronics」第12章、セクション1, Norwell, MA: Kluwer Academic Publishers, 2001年
- Ridley, Raymond 著 「A New Small-Signal Model for Current-Mode Control」バージニア工科大学博士論文、1990年11月

付録

図Aに示すADP1877は、Flex-Mode™ (アナログ・デバイセズ独自のアーキテクチャ技術) を採用したデュアル・チャンネルのスイッチング・コントローラであり、Nチャンネルの同期パワーMOSFETを駆動するドライバを内蔵しています。2つのPWM出力に180°の位相シフトがあるため、入力rms電流が減少し、必要な入力容量を最小限に抑えることができます。

ADP1877にはブースト・ダイオードが組み込まれているため、全体の部品数とシステム・コストが低下します。ADP1877は、軽負荷時に高効率のパルス・スキップ・モードで動作させたり、PWM連続伝導モードで動作させたりすることができます。

ADP1877は、外部で調整できるソフト・スタート、出力過電圧保護、外部で調整できる電流制限、パワーグッド、200kHz~1.5MHzのプログラマブルな発振器周波数があります。出力電圧精度は、-40~+85°Cのジャンクション温度で±0.85%、-40~+125°Cのジャンクション温度で±1.5%になります。2.75~14.5Vの電源電圧で動作し、32ピンの5mm×5mm LFCSPパッケージを採用しています。



図A. ADP1877の簡略ブロック図 (チャンネル1のみ。
チャンネル2は、接尾辞「2」が付くだけで同一です。)