

マルチチャンネルDDSで位相コヒーレントFSK変調を実現

David Brandon 著

一般的なシングルチャンネルのダイレクト・デジタル・シンセサイザ (DDS) の場合、図1に示すような位相連続周波数遷移が生じますが、コヒーレント・パルス・ドップラー・レーダーや医用および材料分析用のNMR/MRI分光法などのアプリケーションにおいては位相コヒーレント遷移の方がよいとされています。この記事では、DDSの出力を加算してAD9958/AD9959マルチチャンネルDDSを堅牢な位相コヒーレントFSK (周波数偏移キー) モジュレータとして構成する方法を紹介します。

マルチチャンネルDDSは、複数のシングルチャンネル・デバイスを同期化するとき生じるチャンネル間の温度やタイミングの問題をほぼ解消することができます。マルチチャンネルDDSの出力はそれぞれ独立していますが、共通のシステム・クロックを使用するため、複数のシングルチャンネル・デバイスの出力に比べて、温度/電源変動に対してより優れたトラッキング動作が可能となります。したがって、加算出力で位相コヒーレント周波数遷移を生成するには、マルチチャンネルDDSの方が適しています。

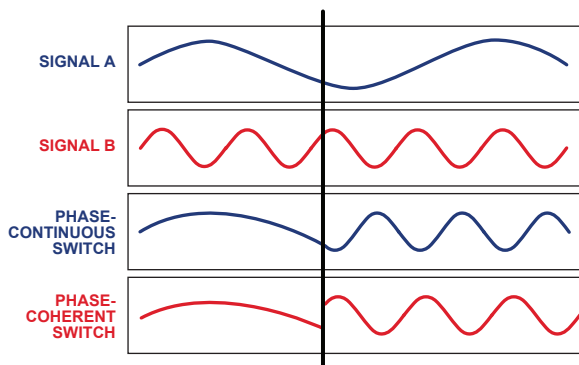


図1. 位相連続/位相コヒーレント周波数遷移

回路の説明

クロック分配デバイスAD9520は高性能リファレンス・クロックでAD9958 DDSを駆動し、FSKデータ・ストリームのソースにも同じクロックを供給します。AD9520は、マルチチャンネルDDSのSYNC_CLKとFSKデータ・ストリーム間のセットアップ時間とホールド時間を満足させるために、選択可能な複数の出力ロジックと調整可能な遅延機能を提供します。

AD9958の独立した2つのチャンネルは、事前に設定された周波数F1とF2で動作します。2つの出力は、互いに接続することによって加算されます。各DAC入力における出力振幅を制御するための乗算器を駆動するプロファイル・ピンでチャンネル出力のON/OFFを切り替え、必要な周波数を選択します。これを行うために、各乗算器には事前設定済みのプロファイルを選択できる2つの設定「ゼロスケール」と「フルスケール」があります。プ

ロファイル・ピンをロジック・ローレベルに設定すると正弦波がシャットオフされ、ロジック・ハイレベルを設定すると正弦波が出力に送信されます。この動作では、2つの相補入力データ・ストリームが周波数間で交互に入れ替わるようにする必要があります。ただし、2つのDDSチャンネルは継続的にF1とF2を生成します。オフ機能で該当するDDS出力をミュートにし、位相コヒーレントFSK信号を生成します。

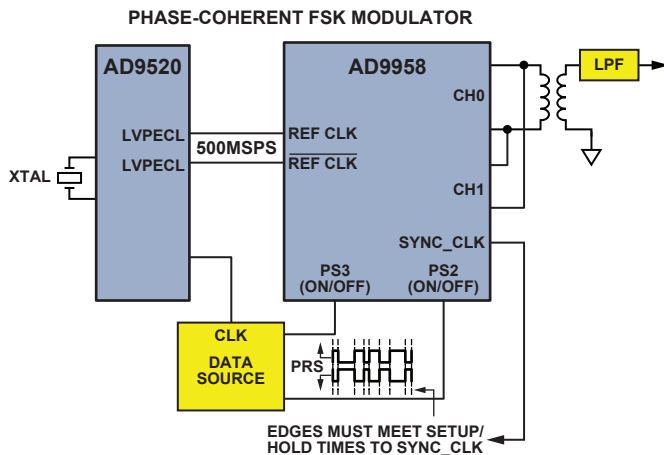


図2. 位相コヒーレントFSKモジュレータのセットアップ

4チャンネルDDSのAD9959による生成結果を図3に示します。このデバイスの2つの追加チャンネルが、加算出力の2つの切り替えられた周波数に対する位相リファレンスになるため、位相コヒーレント・スイッチングを簡単に示すことができます。一番上のトレースの加算出力は、位相コヒーレント・スイッチングです。中央の2つのトレースはリファレンス信号F1とF2です。一番下のトレースは、2つのいずれかの周波数を選択する疑似ランダム・シーケンス (PRS) データ・ストリームです。デバイスではパイプライン遅延が発生するため、PRSデータ・ストリームのエッジと加算出力の周波数遷移が正確に揃うことはありません。

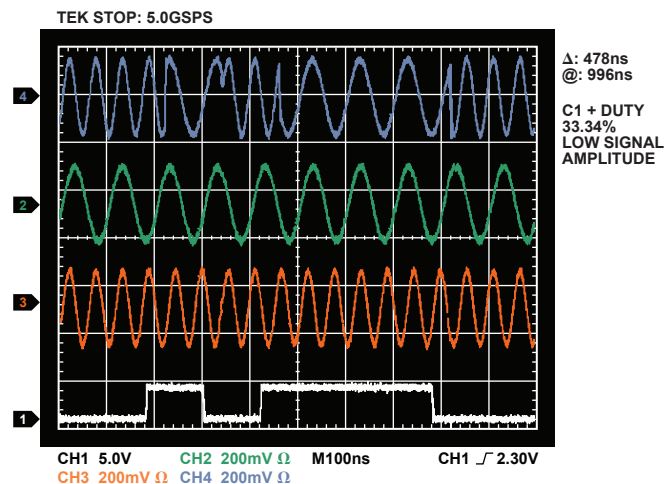


図3. 測定した位相コヒーレントFSK遷移

図4は、AD9959でも示された位相連続FSKスイッチングの例を示しています。このタイプの動作では必要な帯域幅が減少しますが、遷移間の位相履歴は保持されません。

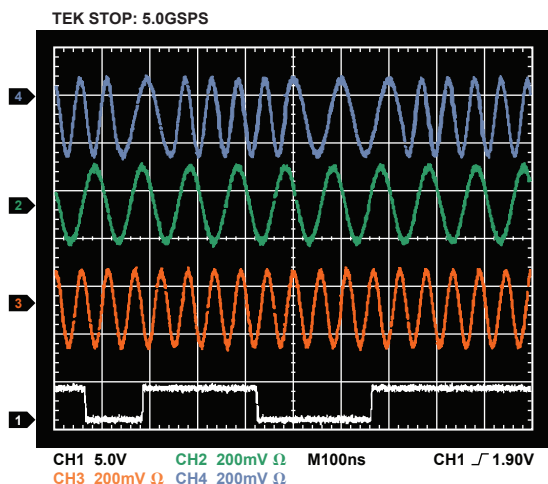


図4. 測定した位相連続FSK遷移

アナログ・デバイセズは、DDSベースのクロック・ジェネレータの作製に必要な各種のダイレクト・デジタル・シンセサイザ、クロック分配チップ、クロック・バッファを提供しています。詳細については、www.analog.com/dds および www.analog.com/clock をご覧ください。

マルチチャンネル、10ビット、500MSPSダイレクト・デジタル・シンセサイザ (DDS)

2チャンネルDDSのAD9958 (図5) は10ビットの500MSPS電流出力DACを2個、4チャンネルDDSのAD9959は同DACを4個内蔵しています。各チャンネルはすべて共通のシステム・クロックを使用し、固有の同期を提供します。複数のデバイスを相互接続することで、チャンネル数を増大させることができます。各チャンネルの周波数、位相、振幅は個別に制御できるため、システム関連のミスマッチをデバイスごとに補正することができます。パラメータはすべて直線的にスweepすることができます。FSK、PSK、ASK変調に対しては16レベルを選択することができます。正弦波出力の調整には、32ビット周波数分解能、14ビット位相分解能、10ビット振幅分解能があります。AD9958/AD9959は1.8Vのコア電源とロジック互換用の3.3VのI/O電源で動作し、全チャンネルがオンのときの消費電力は315mW/540mW、パワーダウン・モード時は13mWです。-40℃～+85℃の温度範囲で仕様規定されており、56ピンLFCSPパッケージで提供されています。1000個受注時の米国での単価はそれぞれ20.48ドルと37.59ドルです。

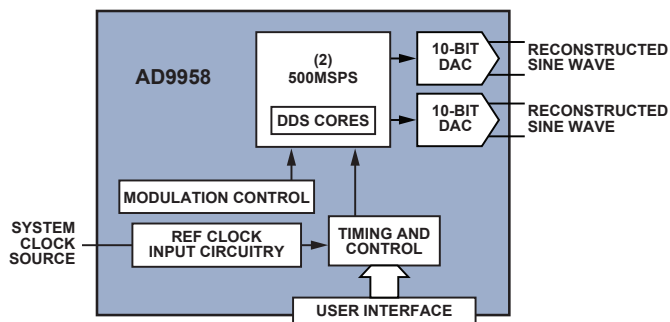


図5. AD9958の機能ブロック図

クロック・ジェネレータ、12LVPECL/24CMOS出力

AD9520-xクロック・ジェネレータ (図6) は、単一リファレンス周波数から最大12回路のLVPECLまたは24回路のCMOS

クロックを駆動できます。VCO内蔵の完全なPLL、プログラマブル・デバイダ、設定可能な出力バッファを集積しており、ピコ秒以下のジッタ性能を有しています。4つのオプションでセンター周波数が1.45～2.95GHzのオンチップVCOが使用でき、5番目のオプションは最大周波数2.4GHzの外部VCOとして動作します。デバイスは最大250MHzの1つの差動リファレンスまたは2つのシングルエンド・リファレンスを受信し、最大周波数1.6GHzの3つのLVPECLクロックからなるグループを4つ提供します。分周比が1～32のプログラマブル・デバイダは、各グループの出力周波数と粗遅延を設定します。各LVPECL出力は再設定して、2つの250MHz CMOS出力にすることができます。AD9520-xは3.3V単電源で動作し、消費電力は最大1.5Wです。別途出力ドライバとチャージ・ポンプ電源を用意すれば、ロジック互換性に対応でき、拡張チューニング範囲を持つVCOをサポートすることができます。-40～+85℃の温度範囲で仕様規定されており、64ピンLFCSPパッケージで提供されています。1000個受注時の米国での単価は12.65ドルです。

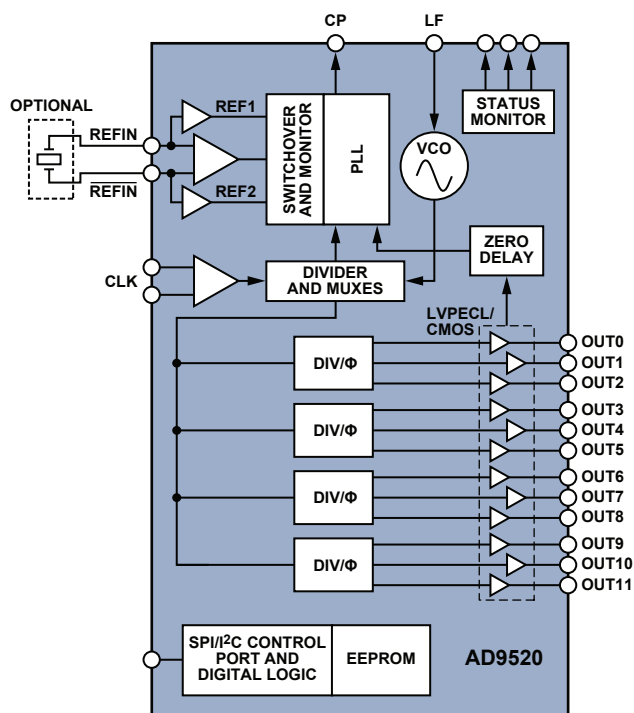


図6. AD9520の機能ブロック図

参考文献

1. AN-837 Application Note, *DDS-Based Clock Jitter Performance vs. DAC Reconstruction Filter Performance*.
2. Kester, Walt. *The Data Conversion Handbook*. Analog Devices. Chapters 6 and 7. 2005.
3. Kester, Walt. *High Speed System Applications*. Analog Devices. Chapters 2 and 3. 2006.
4. MT-101 Tutorial, *Decoupling Techniques*.
5. MT-031 Tutorial, *Grounding Data Converters and Solving the Mystery of AGND and DGND*.

筆者紹介

David Brandon [david.brandon@analog.com]

は、1995年にDDSが初めてリリースされて以来、DDS製品のサポートに取り組んできました。アナログ・デバイセズでのキャリアは28年に及び、この11年間はクロック & 信号合成グループでアプリケーション・エンジニアとして活躍しています。これまでに数多くのアプリケーション・ノートを著し、雑誌記事も数本執筆しました。

