

アプリケーション・エンジニアに 尋ねる—40

厳しい環境下で使用するスイッチと マルチプレクサの設計上の留意事項

Michael Manning 著

はじめに

自動車用、軍用、航空機用アプリケーションのような厳しい環境下では、集積回路は高い電圧と電流、極端な温度と湿度、振動、放射、その他さまざまなストレスに耐えることが要求され、その技術の限りを尽くさなければなりません。システムエンジニアは、安全、エンターテインメント、テレマティックス、制御、ヒューマン・マシン・インターフェースなどのアプリケーション分野の特長や機能を提供するため、次々と高性能電子回路を採用しています。高精度電子機器の利用が増えるにつれ、システムの複雑さが増すだけでなく、過電圧、ラッチアップ状態、静電放電 (ESD) イベントなどの電気妨害の影響を受けやすくなります。これらのアプリケーションで使用される電子回路にはシステム障害に対する高い信頼性と高い許容値が要求されるため、設計者は選択した部品の限界と環境条件の両方を検討する必要があります。

さらに、メーカーは、どの集積回路にも絶対最大定格を規定しています。信頼性の高い動作を維持して公表される仕様を満たすには、これらの定格値を守る必要があります。絶対最大定格を超えた動作環境は、動作パラメータは保証できなくなり、ESD、過電圧、ラッチアップに対する内部保護さえ機能しなくなり、デバイスの（さらなる）損傷または故障につながる可能性があります。

本稿は、厳しい環境下で使用するモジュールのアナログ・スイッチとマルチプレクサの設計に関わる課題について説明し、影響を受けやすい部品を保護するために回路設計者が一般に利用できるソリューションを提案します。また、過電圧保護、ラッチアップ耐性、一般的なストレス状態に対応する障害保護機能を強化した、新しい集積型スイッチとマルチプレクサについてもいくつかご紹介いたします。

標準的なアナログ・スイッチのアーキテクチャ

障害状態がアナログ・スイッチに与える影響を完全に理解するには、まず、その内部構造と動作の限界を知る必要があります。

標準的なCMOSスイッチ (図1) は、スイッチ素子、デジタル制御ロジック、ドライバ回路にNチャンネルとPチャンネルのMOSFETを使用します。NチャンネルとPチャンネルのMOSFETを並列に接続すれば双方向動作が可能となり、信号範囲の全域ではほぼ一定のオン抵抗を維持しながら、アナログ入力電圧を電源レールまで拡張することができます。

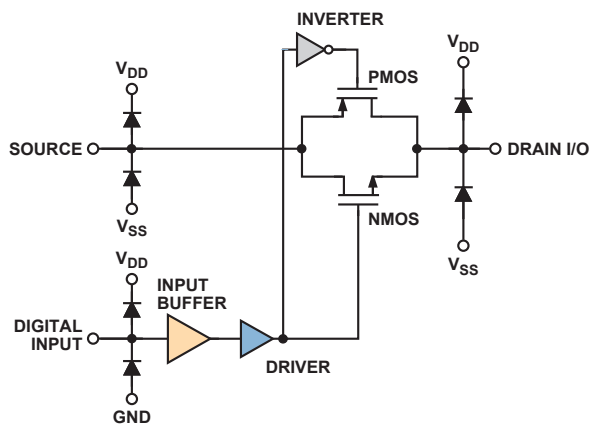


図1. 標準的なアナログ・スイッチ回路

図1に示すように、ソース、ドレイン、ロジックの各端子には、ESD保護のために、電源との間にクランプ・ダイオードが実装されています。これらのダイオードは、通常動作では逆バイアスされ、信号が電源電圧を上回らない限り、電流は流れません。ダイオードの大きさはプロセスにより異なりますが、通常動作でリーク電流を最小限に抑えるため、一般には小さいサイズのものが使用されます。

アナログ・スイッチは、正のゲート/ソース間電圧でNチャンネル・デバイスがオンになり、負のゲート/ソース間電圧でオフになるように制御されます。Pチャンネル・デバイスは、相補信号によって切り替えられるため、Nチャンネル・デバイスと同時にオンになります。ゲートを反対の電源レールに駆動することによって、スイッチをオン/オフします。

ゲートの電圧を固定した場合、トランジスタの実効駆動電圧は、スイッチを通過するアナログ信号の極性と大きさに比例して変化します。図2の点線は、入力信号が電源電圧に近づくと、いずれかのデバイスのチャンネルが飽和し始め、そのデバイスのオン抵抗が急激に増加することを示しています。しかし、パラレル接続されたデバイスはレール電圧の近くで互いに補償し合うため、信号範囲の全域で比較的一定したオン抵抗を示す完全なレール to レール・スイッチ特性が得られます。

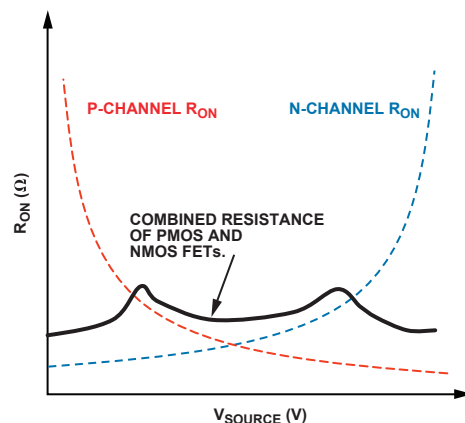


図2. 標準的なアナログ・スイッチのRONグラフ

絶対最大定格

最適な性能、動作、寿命を保証するには、デバイスのデータシートに指定されているスイッチの電源条件に従う必要があります。しかし、電源障害、苛酷な環境における電圧変化、そして現実の運用プロセスで発生するシステムやユーザの過ちのために、データシートの推奨値を常時満足させることは不可能かもしれません。

アナログ・スイッチの入力電圧が電源電圧を上回ると、内部ESD保護ダイオードが順方向バイアスされるため、たとえ電源がオフになっていても大電流が流れることがあり、それによって定格値を上回ってしまいます。順方向バイアスされたダイオードは、数十ミリアンペアを超える電流に対する定格がないため、このような電流が制限されていないと、ダイオードが損傷することがあります。さらに、障害に起因する損傷は、スイッチだけにとどまらず、スイッチ以降の回路にも影響を与えることがあります。

データシートの「絶対最大定格」(図3) は、デバイスが許容できる最大のストレス条件を示しています。これはストレス定格にすぎない点に注意してください。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。設計者は、設計の中に余裕を織り込むという、適切な設計手法に常に従うようにしてください。ここに示す例は、標準的なスイッチ/マルチプレクサのデータシートによるものです。

ABSOLUTE MAXIMUM RATINGS

$T_A = 25^\circ\text{C}$, unless otherwise noted.

Table 6.

Parameter	Rating
V_{DD} to V_{SS}	18 V
V_{DD} to GND	-0.3 V to +18 V
V_{SS} to GND	+0.3 V to -18 V
Analog Inputs ¹	$V_{SS} - 0.3 \text{ V}$ to $V_{DD} + 0.3 \text{ V}$ or 30 mA, whichever occurs first
Digital Inputs ¹	GND - 0.3 V to $V_{DD} + 0.3 \text{ V}$ or 30 mA, whichever occurs first

¹ Overvoltages at IN, S, or D are clamped by internal diodes. Current should be limited to the maximum ratings given.

図3. データシートの「絶対最大定格」

この例では、「 V_{DD} to V_{SS} 」の定格は18Vです。この定格は、スイッチの製造プロセスと設計アーキテクチャによって決まります。18Vを上回るいかなる電圧も印加されないように完全にスイッチから分離する必要があります。さもないと、プロセスに関連する素子の固有ブレイクダウン電圧を上回り、デバイスに損傷を与えて不安定な動作を招くことがあります。

アナログ・スイッチ入力に適用される電圧制限は、電源がある場合もない場合も、通常、ESD保護回路による制限であり、この回路は障害状態が発生すると機能なくなることがあります。

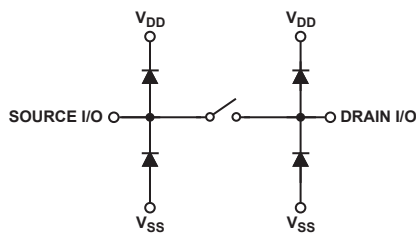


図4. アナログ・スイッチESD保護ダイオード

デジタル入力電圧は、 V_{DD} とグラウンドの電圧を0.3V超えない値に制限されていますが、実際にはアナログ／デジタル入力電圧の仕様は、 V_{DD} と V_{SS} の電圧より0.3V超えない値に制限されています。アナログ入力が電源電圧を上回ると、内部ESD保護ダイオードが順方向バイアスされ、導通し始めます。「絶対最大定格」で述べたように、IN、S、Dの過電圧は内部ダイオードによってクランプされます。30mAを超える電流は明らかに影響を与えることなく内部ダイオードを通過することもあります。デバイスの信頼性と寿命が低下し、時間の経過とともにエレクトロマイグレーション（導体内の金属原子が徐々に変位する現象）の影響が見られることもあります。大電流が金属経路を流れるとき、移動する電子は導体内の金属イオンと相互に作用して、電子の流れとともに原子が移動します。その結果、時間の経過とともに、オープン・サーキットや短絡が生じることがあります。

システムに組み込むスイッチを設計するときは、部品の障害、ユーザの過失、または環境の影響によってシステムに発生する可能性のある障害を考慮することが大切です。次は、標準的なアナログ・スイッチの絶対最大定格を上回る障害状態によって、スイッチが損傷を受けたり誤動作したりする仕組みを説明します。

よくある障害状態、システム・ストレス、保護方法

障害状態は、さまざまな理由によって発生します。よくあるシステム・ストレスとその実際の原因のいくつかを表1に示します。

表1.

障害の種類	障害の原因
過電圧：	- 電源喪失 - システム誤動作 - ホットスワップ接続／切断（活線挿抜） - 電源投入、遮断時のシーケンスの問題 - 誤配線 - ユーザの過失
ラッチアップ：	- 過電圧状態（上記参照） - プロセス定格の超過 - SEU（シングル・イベント・アップセット）
ESD	- ストレージ／アセンブリ - PCBアセンブリ - ユーザ操作

これらの電氣的ストレスの種類によっては、防止できないものもあります。ストレスの原因が何であれ、重要なのはストレスの影響にどう対処するかということです。以下のQ&Aでは、過電圧、ラッチアップ、ESDイベントといった障害状態について説明し、一般的な保護方法をいくつかご紹介いたします。

過電圧

過電圧状態とは？

過電圧状態が発生するのは、アナログまたはデジタル入力が絶対最大定格を上回るときです。以下の3つの例で、設計者がアナログ・スイッチを使用するときに検討すべきよくある問題をいくつか説明します。

1. アナログ入力に信号が存在している時の電源喪失（図5）

アプリケーションによっては、リモート位置からの入力信号がまだ存在するにもかかわらず、モジュールへの電源が失われることがあります。電源が失われると、電源レールがグラウンド電圧になったり、1つ以上の電源レールがフローティング状態になったりすることがあります。電源がグラウンド電圧になると、入力信号が内部ダイオードを順方向バイアスし、スイッチ入力からの電流がグラウンドに流れます。この電流が制限されないと、ダイオードが損傷します。

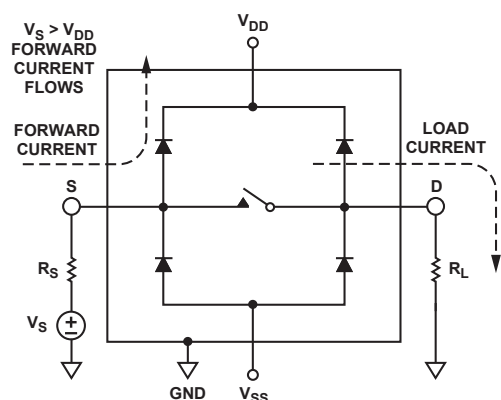


図5. 障害経路

電源喪失によって電源がフローティング状態になっても、入力信号は内部ダイオードを介してデバイスを動かすことができます。その結果、スイッチ（および V_{DD} 電源電圧で動作するその他の部品）がパワーアップされる（動作状態になる）ことがあります。

2. アナログ入力での過電圧状態

アナログ信号が電源電圧 (V_{DD} と V_{SS}) を上回ると、電源電圧が障害信号のダイオード・ドロップの範囲内に誘引されることがあります。内部ダイオードは順方向バイアスされ、電流は入力信号から電源の方に流れます。過電圧信号もスイッチを通過して、スイッチ以降の部品に損傷を与えることがあります。これについては、PチャンネルFETを検討することによって理解できます (図6)。

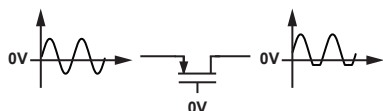


図6. FETスイッチ

PチャンネルFETをオンにするには、負のゲート／ソース間電圧が必要です。スイッチのゲート電圧が V_{DD} に等しい場合、ゲート／ソース間電圧は正であるため、スイッチはオフです。無通電回路でスイッチ・ゲート電圧が0Vか入力信号が V_{DD} を上回る場合、負のゲート／ソース間電圧が存在するため、信号はスイッチを通過します。

3. 単電源で動作しているスイッチにバイポーラ信号が印加された場合

この状況は、前述の過電圧状態に似ています。入力信号がグラウンドを下回ると障害が発生し、アナログ入力からグラウンドへのダイオードが順方向バイアスされて電流が流れます。0V dcでバイアスされたAC信号がスイッチ入力に印加されると、寄生ダイオードが入力波形の負の2分の1サイクルの一部で順方向バイアスされることがあります。これは、入力サイン波が約-0.6Vを下回り、ダイオードがオンになり入力信号がクリップされた場合に発生します (図7)。

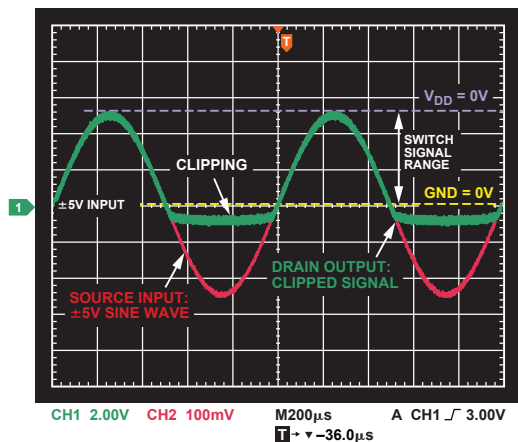


図7. クリッピング

過電圧状態に対処する最善の方法は？

上の3つの例は、アナログ入力が電源電圧 (V_{DD} 、 V_{SS} 、またはGND) を上回ったことによるものです。これらの状態に対処するための簡単な保護方法としては、入力から電源に対して抵抗とショットキー・ダイオードの外部回路を取り付けること、電源へのブロッキング・ダイオード挿入などがあります。

電流を制限するための抵抗は、外部信号源の影響を受けるスイッチ・チャンネルと直列に配置します (図8)。抵抗は、電流を約30mA (または絶対最大定格によって規定された値) に制限するのに十分な値にする必要があります。この手法での明らかな欠点は、チャンネル当たりの R_{ON} や (ΔR_{ON}) が増加することであり、最終的には全体的なシステム誤差が生じることです。また、マルチプレクサを使用するアプリケーションでは、オフ状態のチャンネルのソース側の障害がドレインに現れて、ほかのチャンネルに誤差を生じさせることがあります。

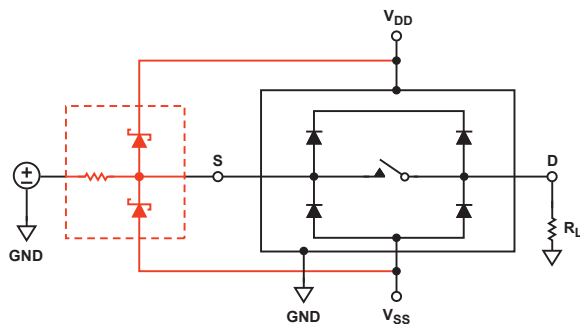


図8. 抵抗・ダイオード保護ネットワーク

アナログ入力と電源の間にショットキー・ダイオードを接続することによって保護機能が得られますが、その代わりリーク電流と負荷容量が犠牲になります。ショットキー・ダイオードは、入力信号が電源電圧より0.3 ~ 0.4V以上増加しないようにすることで、内部ダイオードの順方向バイアスと電流の流入を防止します。ショットキー・ダイオードを通じて電流を迂回させればデバイスを保護できますが、外付け部品に過度のストレスが生じないように注意する必要があります。

3番目の保護方法は、ブロッキング・ダイオードを電源と直列に配置し (図9)、内部ダイオードを通じて電流フローをブロックする方法です。入力における障害によって、電源電圧がフローティング状態になり、正と負の最も大きい入力信号が電源電圧になります。電源電圧がプロセスの絶対最大定格を上回らない限り、デバイスは障害に耐えることができるでしょう。この方法の欠点は、電源に付けられたダイオードの順方向電圧の影響によってアナログ信号範囲が減少することです。また、入力に印加された信号は、デバイスを通過して、デバイスに接続されたほかの回路に影響を与えることがあります。

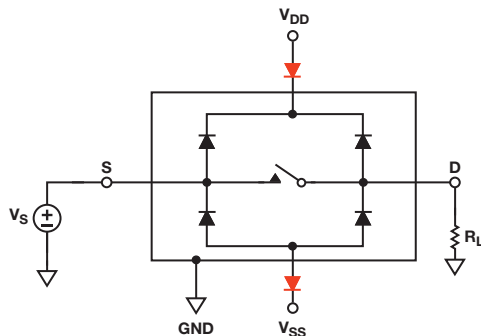


図9. 電源と直列に配置されたブロッキング・ダイオード

これらの保護方法には長所も短所もありますが、いずれも外付け部品を必要とし、基板面積とコストが増大します。これは、特にチャンネルの数が多いアプリケーションでは大きな問題になります。外付け保護回路を使わずに済ますには、これらの障害に耐えられる集積型の保護ソリューションを検討する必要があります。アナログ・デバイセズは、パワーオフ、過電圧、負信号に対する保護機能を内蔵した複数のスイッチ／マルチプレクサ・ファミリ製品を提供しています。

プリパッケージ型ソリューションにはどのような製品が？

アナログ・デバイセズのADG4612とADG4613は、オン抵抗と歪みが少ないため、高精度を必要とするデータ・アキュイジション・システムに最適です。オン抵抗プロファイル (特性) はアナログ入力範囲の全域できわめてフラットであり、優れた直線性と低い歪みを保証します。

ADG4612ファミリーは、パワーオフ保護、過電圧保護、負信号処理機能を提供し、標準的なCMOSスイッチで対応できない障害に対応します。

電源電圧が存在しないとき、これらのスイッチはオフ状態のままです。スイッチ入力が高インピーダンスになると、スイッチやスイッチに接続するほかの回路を損傷する電流フローが制限されます。これは、電源が投入される前にスイッチ入力にアナログ信号が存在する可能性のあるアプリケーションや、ユーザが電源シーケンスを制御できないアプリケーションで大いに効果的です。オフ状態では、16Vまでの信号レベルがブロックされます。また、アナログ入力信号レベルが V_{DD} を V_T 上回ると、スイッチがオフになります。

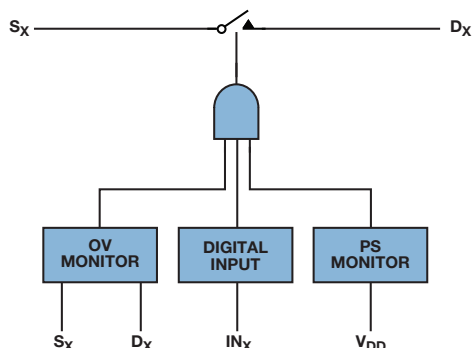


図10. ADG4612/ADG4613のスイッチのアーキテクチャ

図10は、このファミリー製品のパワーオフ保護アーキテクチャのブロック図です。スイッチのソース/ドレイン入力は常時監視されており、電源電圧（ V_{DD} 、 V_{SS} ）と比較されます。通常動作では、スイッチは完全なレールtoレール動作機能を持つ標準的なCMOSスイッチとして動作します。ただし、ソースまたはドレイン入力が電源電圧を超過する値が閾値電圧を上回る障害状態においては、内部の障害回路が過電圧状態を感知し、スイッチを絶縁モードにします。

アナログ・デバイセズは、デバイスに電源（±15V）を印加した状態で電源電圧の+40V/-25V、無通電で+55V/-40Vという過電圧状態に耐えられるマルチプレクサやチャンネル保護ICも提供しています。これらのデバイスは、特にパワーオフ状態に起因する障害に対処できるよう設計されています。

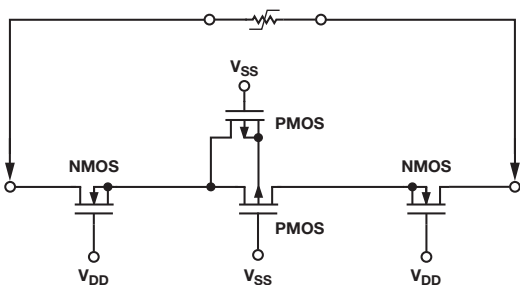


図11. 高電圧フォルトプロテクト付きスイッチのアーキテクチャ

図11に示すように、これらのデバイスは、直列に接続されたNチャンネル、Pチャンネル、NチャンネルのMOSFETで構成されています。アナログ入力または出力の1つが電源電圧を上回ると、MOSFETの1つがオフに切り替わり、マルチプレクサの入力（または出力）が切り離された状態になり、出力が電源レールの範囲内にクランプされます。これによって、マルチプレクサに接続する回路を過電圧による損傷から保護します。このようにして、マルチプレクサだけでなく、マルチプレクサによって駆動される回路、マルチプレクサを駆動する信号源、センサーも保護されます。バッテリーの脱落や停電などによって電源が失われたり、一時的に切断されたりする（ラック・システムの場合など）と、すべてのトランジスタがオフになり、電流はナノアンペア未満のレベルに制限されます。ADG508F、ADG509F、ADG528Fは、このような機能を持つ8:1マルチプレクサと差動4:1マルチプレクサを内蔵しています。

チャンネル保護ICであるADG465（1チャンネル）とADG467（8チャンネル）は、このようなフォルトプロテクト機能搭載のマルチプレクサと同じ保護アーキテクチャを備えています。スイッチ機能はありません。電源が投入されるとチャンネルは常にある状態になりますが、障害が発生すると、出力が電源電圧の範囲内にクランプされます。

ラッチアップ

ラッチアップ状態とは？

ラッチアップとは、寄生素子がトリガされたために電源レール間に低インピーダンスの経路が生じる現象と考えることができます。ラッチアップの多くはCMOSデバイスで発生します。2つの寄生ベースエミッタ・ジャンクションのうちの1つが一時的に順方向バイアスされると、固有の寄生素子がPNPNのSCR構造を形成します（図12）。このSCRがオンになり、電源間に連続したショート状態を引き起こします。ラッチアップ状態が発生すると重大な問題になります。「最善」のケースでも、デバイスの誤動作となり、デバイスを通常動作に戻すにはパワー・サイクリングが必要になります。最悪の場合、電流フローが制限されないと、デバイス（および場合によっては電源）が破壊されることがあります。

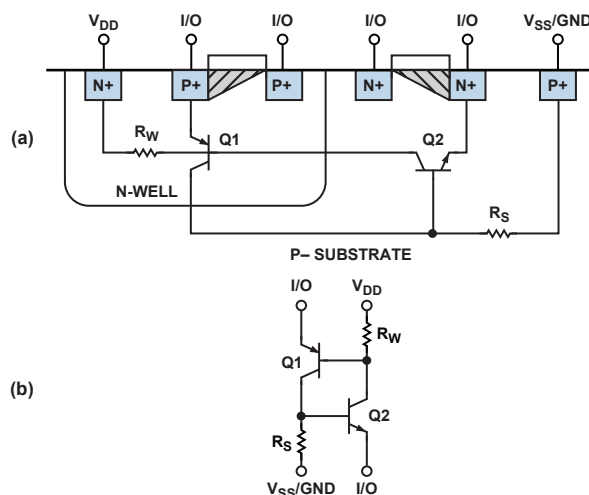


図12. 寄生SCR構造: a) デバイス b) 等価回路

前述の障害状態と過電圧状態は、ラッチアップ状態を発生させる原因としてよくあるものです。アナログ入力またはデジタル入力の信号が電源電圧を上回ると、寄生トランジスタがオンされます。このトランジスタのコレクタ電流によって2番目の寄生トランジスタのベース・エミッタの両端に電圧降下が生じ、トランジスタがオンになり、電源間に自己完結した経路が生じます。図12(b)から、Q1とQ2の間に形成されるSCR回路構造がはっきりわかります。

ラッチアップの発生には、長時間のイベントは必要ありません。一時的なトランジェント、スパイク、またはESDイベントだけでデバイスがラッチアップ状態になることがあります。

また、電源電圧がデバイスの絶対最大定格を超えるストレスを受け、内部ジャンクションが破壊されてSCRがトリガされたときも、ラッチアップが発生することがあります。

電源電圧が上昇することで内部ジャンクションが破壊され、SCRに電流が注入されたときも、この2番目のトリガ・メカニズムが発生します。

ラッチアップ状態に対処する最善の方法は？

ラッチアップに対する保護方法には、過電圧状態への対処に推奨されるのと同じ方法があります。信号パスに電流制限抵抗を追加したり、図8と図9に示すように、電源に向けてショットキー・ダイオードを追加したり、ダイオードを電源と直列に接続したり

する方法は、いずれも寄生トランジスタに電流が流入することを防ぐことを目的とし、これによってSCRのトリガを防止します。複数の電源を持つスイッチの場合は、絶対最大定格に違反する電源シーケンスの問題も考えられます。電源シーケンスが正しくないと、内部ダイオードがオンされてラッチアップが発生することがあります。電源の間に外付けショットキー・ダイオードを接続すれば、スイッチに複数の電源電圧が印加されたときも V_{DD} がこれらの電源のダイオード・ドロップ（ショットキーでは0.3V）の範囲内に常に収まることになり、最大定格の違反が発生せず、これによってSCRの導通を十分に防止することができます。

ブリパッケージ型ソリューションにはどのような製品が？

外部保護を用いる代わりに、SCR構造のサブストレート抵抗とNウェル抵抗を高めるエピタキシャル層を使用するプロセスでICを製造することがあります。抵抗が高くなれば、それを上回る過酷なストレスを受けなければSCRがトリガしなくなるため、ラッチアップの影響を受けにくいデバイスが得られます。その一例がアナログ・デバイセズのiCMOS®プロセスです。ADG121x、ADG141x、ADG161xスイッチ／マルチプレクサ・ファミリーは、このプロセスで製造されています。

耐ラッチアップ・ソリューションを必要とするアプリケーションの場合、トレンチ・アイソレーション技術を用いた新しいスイッチとマルチプレクサであれば、最大 $\pm 20V$ で動作する高電圧工業用アプリケーションでラッチアップを防止します。ADG541xおよびADG521xファミリーは、計測器、自動車、航空電子工学のほか、ラッチアップが発生しやすいその他の苛酷な環境での用途に設計されています。このプロセスでは、各CMOSスイッチのNチャンネルとPチャンネルのトランジスタの間に絶縁酸化被膜（トレンチ）を設けます。水平方向と垂直方向に広がる酸化被膜がデバイス間の完全な絶縁を実現します。ジャンクションを絶縁したスイッチはトランジスタ間の寄生ジャンクションが存在しないため、完全な耐ラッチアップ・スイッチが得られます。

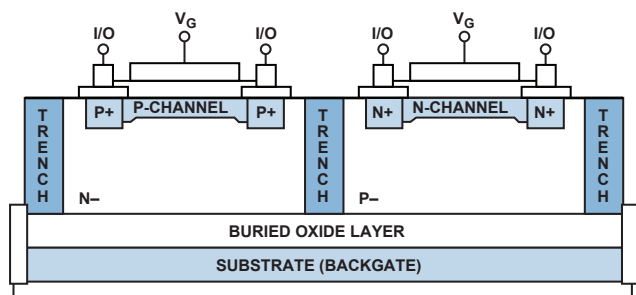


図13. ラッチアップ防止のためのトレンチ・アイソレーション

業界の慣習では、過電圧状態で内部寄生抵抗による電圧降下でラッチアップ状態が生じないうちにI/Oピンがどれくらいの過剰電流をソースまたはシンクできるかによって、入力と出力のラッチアップに対する脆弱性を分類しています。

一般にはその値は100mAで十分と思われます。耐ラッチアップ・ファミリーADG5412は、1msのパルスで $\pm 500mA$ までのストレスに障害なしに耐えることができました。アナログ・デバイセズのラッチアップ・テストは、EIA/JEDEC-78（ICラッチアップ・テスト）に従って行われています。

ESD—静電放電 静電放電イベントとは？

ESDは、デバイスが影響を受ける最も一般的なタイプの電圧変化です。これは、異なる静電位を持つ2つの物体の間で発生

する静電荷の高速、高電流の1回の転送と定義することができます。私たちも敷物などの絶縁面の上を歩き回って電荷を蓄積した後、接地された機器に触れると、その機器から放電が生じ、短時間に大電流が流れるのを経験したことがあるはずです。

ICは、ESDイベントによって生じる高電圧と高ピーク電流によって損傷を受けることがあります。ESDイベントがアナログ・スイッチに与える影響としては、経時的な信頼性の低下、スイッチ性能の劣化、チャンネル・リーク電流の増加、またはデバイスの完全な故障などがあります。

ESDイベントは、製造から、テスト、出荷、OEMユーザ、エンドユーザー操作まで、IC製品のどの段階でも発生することがあります。さまざまなESDイベントに対するICの堅牢性を評価するため、人体モデル（HBM）、磁場誘起帯電デバイス・モデル（FICDM）、マシン・モデル（MM）のストレス環境シミュレーション・モデルの電気パルス回路があります。

ESDイベントに対処する最善の方法は？

作業場の静電気対策などのESD予防法は、生産、組立て、保管時の静電気を防止するために用いられています。これらの環境と其中で作業する要員については、一般的には厳密に管理することができます。しかし、出荷されたデバイスがその後にかかる環境を管理することはまず不可能でしょう。

アナログ・スイッチのESD保護は、図14に示すように、一般に、アナログ／デジタル入力と電源の間にダイオードを接続したり、電源間にダイオードを接続したりする電源保護の方法があります。

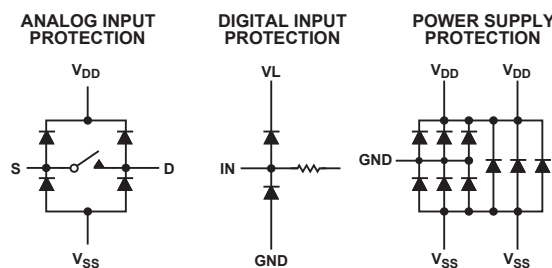


図14. アナログ・スイッチのESD保護

保護ダイオードは、電圧変化をクランプし、電流を電源に迂回させます。このような保護デバイスの欠点は、通常動作時の信号パスの容量とリーク電流が増加することです。これは、アプリケーションによっては好ましいものではありません。

ESDイベントに対する強力な保護が必要なアプリケーションの場合、ツェナー・ダイオード、金属酸化物バリスタ（MOV）、過渡電圧抑制器（TVS）、ダイオードなどのディスクリット部品をよく使用します。ただし、信号ラインの容量とリーク電流が増加するため、シグナル・インテグリティ（信号品質）の問題が発生することがあります。設計技術者は、性能と信頼性とのトレードオフを慎重に検討する必要があります。

ブリパッケージ型ソリューションにはどのような製品が？

アナログ・デバイセズの大多数のスイッチ／マルチプレクサ製品は、少なくとも $\pm 2kV$ のHBMレベルを満たしますが、これより堅牢性が高い、最大 $\pm 8kV$ のHBM定格を達成する製品もあります。ADG541xファミリーの製品は、 $\pm 8kV$ のHBM定格、 $\pm 1.5kV$ のFICDM定格、 $\pm 400V$ のMM定格を達成し、高電圧性能と堅牢性を兼ね備えた業界トップの製品です。

結論

スイッチまたはマルチプレクサの入力が遠隔の信号源から来るとき、障害が発生する危険性が高くなります。過電圧状態は、電源シーケンスの設計が不十分なシステムや、ホットプラグ挿入が必要な場合に発生することがあります。過酷な電気環境で保護が行われていないと、不十分な接続に起因する過渡電圧や誘導性結合が部品に損傷を与えることがあります。スイッチ入力アナログ信号を受けている状態で電源の接続が失われると、電源喪失による障害が発生することがあります。このような障害状態は大きな損傷につながることもあり、損傷を引き起こして、高価な修理が必要になるかもしれません。障害に対処するために多数の保護技術が用いられていますが、コストと基板面積が増加するほか、スイッチ性能のトレードオフを伴うことがあります。そして、外部保護機能を実装した場合でも、後に続く回路も保護されるとは限りません。アナログ・スイッチとマルチプレクサは、一般にモジュールの中で最も障害を受けやすい電子部品であるため、絶対最大定格を上回る条件にさらされたときにどのように動作するかを理解しておくことが重要です。

この記事でご紹介したデバイスのような、保護機能を内蔵した

スイッチ／マルチプレクサ製品が販売されています。これによって、外付け保護回路が不要になり、基板設計に使用する部品の数とコストを低減できます。チャンネル数の多いアプリケーションでは、大きな節約も可能になるでしょう。

最終的に、障害保護、過電圧保護、ラッチアップ耐性、高いESD定格を備えたスイッチを使用すれば、業界の規制に適合する堅牢な製品が可能になり、顧客にもエンドユーザーにも大いに満足してもらえるでしょう。

著者

Michael Manning [michael.manning@analog.com]は、アイルランド国立大学（ゴールウェイ）を卒業し、応用物理およびエレクトロニクスの理学士を取得しました。2006年にアナログ・デバイセズに入社し、リメリック（アイルランド）のスイッチ／マルチプレクサ・グループのアプリケーション・エンジニアとなりました。それ以前は、日本とスウェーデンのアルプス電気自動車部門の設計／アプリケーション・エンジニアとして5年間の経験があります。



付録

アナログ・デバイセズのスイッチ／マルチプレクサ保護製品：

高電圧、耐ラッチアップ・スイッチ

製品番号	構成	スイッチ機能の数	R_{ON} (Ω)	最大アナログ信号範囲	電荷注入 (pC)	オン時リーク @ 85°C (nA)	電源電圧	パッケージ
ADG5212	SPST/NO	4	160	$V_{SS} \sim V_{DD}$	0.07	0.25	デュアル ($\pm 15V$)、デュアル ($\pm 20V$)、シングル (+12V)、シングル (+36V)	CSP、SOP
ADG5213	SPST/NO-NC	4	160	$V_{SS} \sim V_{DD}$	0.07	0.25	デュアル ($\pm 15V$)、デュアル ($\pm 20V$)、シングル (+12V)、シングル (+36V)	CSP、SOP
ADG5236	SPST/NO-NC	2	160	$V_{SS} \sim V_{DD}$	0.6	0.4	デュアル ($\pm 15V$)、デュアル ($\pm 20V$)、シングル (+12V)、シングル (+36V)	CSP、SOP
ADG5412	SPST/NO	4	9	$V_{SS} \sim V_{DD}$	240	2	デュアル ($\pm 15V$)、デュアル ($\pm 20V$)、シングル (+12V)、シングル (+36V)	CSP、SOP
ADG5413	SPST/NO-NC	4	9	$V_{SS} \sim V_{DD}$	240	2	デュアル ($\pm 15V$)、デュアル ($\pm 20V$)、シングル (+12V)、シングル (+36V)	CSP、SOP
ADG5433	SPST/NO-NC	3	12.5	$V_{SS} \sim V_{DD}$	130	4	デュアル ($\pm 15V$)、デュアル ($\pm 20V$)、シングル (+12V)、シングル (+36V)	CSP、SOP
ADG5434	SPST/NO-NC	4	12.5	$V_{SS} \sim V_{DD}$	130	4	デュアル ($\pm 15V$)、デュアル ($\pm 20V$)、シングル (+12V)、シングル (+36V)	SOP
ADG5436	SPST/NO-NC	2	9	$V_{SS} \sim V_{DD}$	0.6	2	デュアル ($\pm 15V$)、デュアル ($\pm 20V$)、シングル (+12V)、シングル (+36V)	CSP、SOP

高電圧、耐ラッチアップ・マルチプレクサ

製品番号	構成	R_{ON} (Ω)	最大アナログ信号範囲	電荷注入 (pC)	オン容量 (pF)	オン時リーク @ 85°C (nA)	電源電圧	パッケージ
ADG5204	(4:1)×2	160	$V_{SS} \sim V_{DD}$	0.6	30	0.5	デュアル ($\pm 15V$)、デュアル ($\pm 20V$)、シングル (+12V)、シングル (+36V)	CSP、SOP
ADG5408	(8:1)×1	14.5	$V_{SS} \sim V_{DD}$	115	133	4	デュアル ($\pm 15V$)、デュアル ($\pm 20V$)、シングル (+12V)、シングル (+36V)	CSP、SOP
ADG5409	(4:1)×2	12.5	$V_{SS} \sim V_{DD}$	115	81	4	デュアル ($\pm 15V$)、デュアル ($\pm 20V$)、シングル (+12V)、シングル (+36V)	CSP、SOP
ADG5404	(4:1)×1	9	$V_{SS} \sim V_{DD}$	220	132	2	デュアル ($\pm 15V$)、デュアル ($\pm 20V$)、シングル (+12V)、シングル (+36V)	CSP、SOP

低電圧、フォルトプロテクト付きマルチプレクサ

製品番号	構成	スイッチ機能の数	最大アナログ信号範囲	障害応答時間 (ns)	障害回復時間 (μs)	-3dB帯域幅 (MHz)	パッケージ
ADG4612	SPST/NO	4	-5.5 V ~ V _{DD}	295	1.2	293	SOP
ADG4613	SPT/NO-NC	4	-5.5 V ~ V _{DD}	295	1.2	294	CSP、SOP

高電圧、フォルトプロテクト付きマルチプレクサ

製品番号	スイッチ/Mux機能 × 数	R _{ON} (Ω)	最大アナログ信号範囲	t _{TRANSITION} (ns)	電源電圧 (V)	消費電力 (mW)	パッケージ
ADG438F	(8:1)×1	400	V _{SS} + 1.2 V ~ V _{DD} - 0.8 V	170	デュアル (±15 V)	2.6	DIP、SOIC
ADG439F	(4:1)×2	400	V _{SS} + 1.2 V ~ V _{DD} - 0.8 V	170	デュアル (±15 V)	2.6	DIP、SOIC
ADG508F	(8:1)×1	300	V _{SS} + 3 V ~ V _{DD} - 1.5 V	200	デュアル (±12 V)、デュアル (±15 V)	3	DIP、SOIC
ADG509F	(4:1)×2	300	V _{SS} + 3 V ~ V _{DD} - 1.5 V	200	デュアル (±12 V)、デュアル (±15 V)	3	DIP、SOIC
ADG528F	(8:1)×1	300	V _{SS} + 3 V ~ V _{DD} - 1.5 V	200	デュアル (±12 V)、デュアル (±15 V)	3	DIP、LCC

高電圧、チャンネル保護IC

製品番号	構成	スイッチ機能の数	R _{ON} (Ω)	最大正側電源 (V)	最大負側電源 (V)	パッケージ
ADG465	チャンネル・プロテクタ	1	80	20	20	SOIC、SOT
ADG467	チャンネル・プロテクタ	8	62	20	20	SOIC、SOP