

# digiPOT (デジポット) の仕様とアーキテクチャを理解し、AC性能の向上を図る

Miguel Usach Merino著

デジタル・ポテンシオメータ (digiPOT) は、何らかのキャリブレーション (たとえば、タイミング、周波数、コントラスト、明るさ、ゲイン、オフセットの調整) を必要とするセンサ、電源、またはその他のデバイスのAC/DCの電圧/電流出力を調整するのに便利です。デジタル設定により、機械式ポテンシオメータに付き物のほぼすべての問題 (物理的サイズ、機械的摩擦、ワイパー (摺動子) 汚れ、抵抗ドリフト、振動/温度/湿度の影響など) を回避することができ、調整用ドライバーが届くようにするためのレイアウト上の制約も不要になります。

digiPOTは、ポテンシオメータ・モードおよびレオスタット・モードで使用することができます。ポテンシオメータ・モード (図1) では、3つの端子を使用できます。信号はA端子、B端子間に接続され、それに対してW端子は (ワイパーとして) 減衰された出力電圧を提供します。デジタル比率制御入力のコードがオール・ゼロの場合は、ワイパーは通常、B端子側に寄っています。

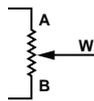


図1. ポテンシオメータ・モード

ワイパー出力端子がA,Bいずれかの端に接続された場合、図2に示すように、ポテンシオメータは簡単な可変抵抗器 (つまりレオスタット) になります。レオスタット・モードでは、外部ピンの本数を減らせるため、小さなフォーム・ファクタにすることができます。中にはレオスタット・モードのみのdigiPOTもあります。

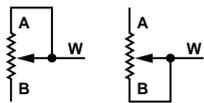


図2. レオスタット・モード

digiPOT抵抗端子に発生する電流や電圧の極性に制約はありません。しかし、AC信号の振幅は電源レール ( $V_{DD}$ と $V_{SS}$ ) を上回ることはできません。また、デバイスがレオスタット・モードで動作するとき (特に低抵抗設定の場合)、最大電流 (つまり電流密度) を制限しなければなりません。

## 代表的なアプリケーション

信号アッテネーション機能は、このデバイスが基本的に電圧分圧器であるため、ポテンシオメータ・モードでの本来の機能です。出力信号は $V_{OUT} = V_{IN} \times (R_{DAC}/R_{POT})$ と定義されます。ここで、 $R_{POT}$ はdigiPOTの公称エンド・ツー・エンド (A、B端子間) 抵抗値です。 $R_{DAC}$ は、図3に示すように、Wと入力信号のリファレンス・ピン (一般にB端子) との間でデジタル的に選択された抵抗値です。

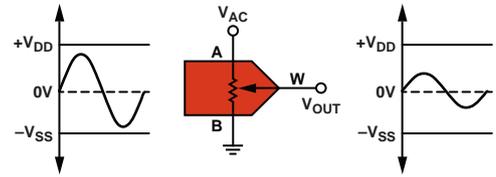


図3. 信号減衰器 (アッテネータ)

信号増幅には、アクティブ部品 (一般には反転アンプまたは非反転アンプ) が必要です。適切なゲイン計算式と組み合わせれば、ポテンシオメータ・モードでもレオスタット・モードでも使用することができます。

図4は、このデバイスをポテンシオメータとして使用し、フィードバックに組み入れることでゲインを調整する非反転アンプを示します。フィードバックされる出力部分、つまり $R_{AW}/(R_{WB} + R_{AW})$ は、入力に等しくなければならぬため、理想的なゲインは次式のようにになります。

$$G = 1 + \frac{R_{WB}}{R_{AW}}$$

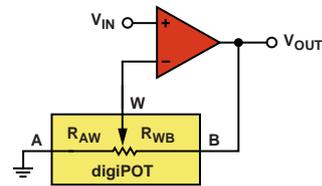


図4. 可変ゲイン非反転アンプ (ポテンシオメータ・モード)

この回路のゲインは、 $R_{AW}$ に反比例し、 $R_{AW}$ がゼロに近づく急速に増大し、双曲線型の伝達関数を定義します。最大ゲインを制限するには、 $R_{AW}$ と直列に (そして、ゲイン式の分母に) 抵抗を挿入します。

直線的なゲイン関係が要求される場合、図5に示すように、固定の外付け抵抗と組み合わせてレオスタット・モードを使用することができます。ここで、ゲインは次式で定義されます。

$$G = 1 + \frac{R_{WB}}{R}$$

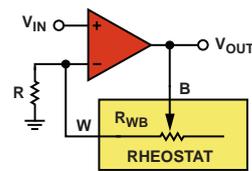


図5. 可変ゲイン非反転アンプ (レオスタット・モード)

最適性能を得るには、低容量側の端子 (新しいデバイスではWピン) をオペアンプ入力に接続します。

## 信号増幅に関するdigiPOTの利点

図4と図5に示す回路は、高い入力インピーダンスと低い出力インピーダンスを持ち、ユニポーラ信号とバイポーラ信号を処理することができます。digiPOTは、バーニア (副尺) 動作で使用して固定外付け抵抗で制限された範囲にわたって大きな分解能を提供することができ、信号反転の有無にかかわらずオペアンプ回路で使用できます。さらに、温度係数が低く、その値は一般にポテンシオメータ・モードでは5ppm/°C、レオスタット・モードでは35ppm/°Cです。

## 信号増幅に関するdigiPOTの制約

AC信号を処理するとき、digiPOTの性能はBW（帯域幅）と歪みによって制約を受けます。BW（帯域幅）は、信号がdigiPOTを通過する際、寄生成分に起因する信号減衰量が3dB未満に収まる周波数の最大値です。THD（全高調波歪み）は、ここでは出力の基本波値に対する次の4つの高調波のrms値総和の比として定義され、デバイスを通するときの信号劣化として測定されます。こうした特性から来る性能制限は、digiPOTの内部アーキテクチャに起因するものです。ひとつの例としての以下の分析は、これらの仕様を完全に理解し、マイナスの影響を減らすことに役立つでしょう。

内部アーキテクチャは、従来のシリアル抵抗アレイ（図6a）からセグメント化アーキテクチャ（図6b）に進化しました。主な改善点は、必要な内部スイッチ数の低減です。最初のシリアル・トポロジの場合、スイッチの数は $N = 2^n$ です。ここで、 $n$ は分解能（ビット単位）です。 $n = 10$ の場合、1024個のスイッチが必要です。

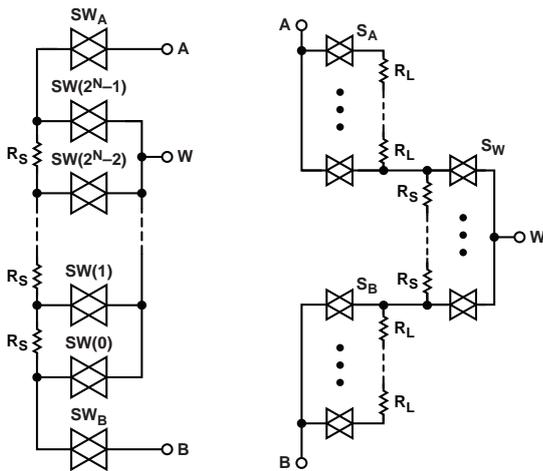


図6. a) 通常アーキテクチャ  
b) セグメント化アーキテクチャ

当社独自の（特許取得済み）セグメント化アーキテクチャでは、カスケード接続を使用して合計スイッチ数を最小限に抑えます。図6bの例は、左側のMSBと右側のLSBという2種類のブロックによって形成される2セグメント・アーキテクチャを示します。

左側の上下のブロックは、上位ビット（MSBセグメント）用のスイッチ・ストリングです。右側のブロックは、下位ビット（LSBセグメント）用のスイッチ・ストリングです。MSBスイッチは、 $R_A/R_B$ 比の粗い近似値を導きます。LSBストリングの合成抵抗はMSBストリングの1つの抵抗素子に等しいため、LSBスイッチはメイン・ストリングのどのポイントにあっても、比率の下位部分を導くことができます。AとBのMSBスイッチは、コンプリメンタリー・（相補）コード化されます。

セグメント化アーキテクチャでのスイッチ数は、次式のようにあります。

$$N = 2^{m+1} + 2^{n-m}$$

ここで、 $n$ は合計ビット数、 $m$ はMSBワードでの分解能のビット数です。たとえば、 $n = 10$ 、 $m = 5$ の場合、96個のスイッチが必要です。

$$H(s) = \frac{R_{RAC}}{R_{POT}} \times \left[ \frac{1}{s \times [R_{DAC} // (R_{POT} - R_{DAC})] \times (C_{DLSB} + C_{SLSB} + (m_{on} \times C_{DMSB}) + (m_{off} \times C_{SMSB})) + 1} \right]$$

セグメント化方式は、通常のストリング方式に比べて必要なスイッチが少なくて済みます。

$$\text{Difference} = 2^n - (2^{m+1} + 2^{n-m})$$

この例では、節約できる個数は次のようになります。

$$1024 - 96 = 928!$$

いずれのアーキテクチャでも、スイッチの役割はさまざまな抵抗値を選択することであるため、アナログ・スイッチでのAC誤差源を理解することが重要です。これらのCMOS（コンプリメンタリー金属酸化膜半導体）スイッチは、PチャンネルとNチャンネルのMOSFETを並列接続して構成されます。この基本的な双方向スイッチは、フル電源レールまでの信号に対してほぼ一定の抵抗（ $R_{ON}$ ）を維持します。

## BW（帯域幅）

図7は、CMOSスイッチのAC性能に影響を与える寄生成分を示します。

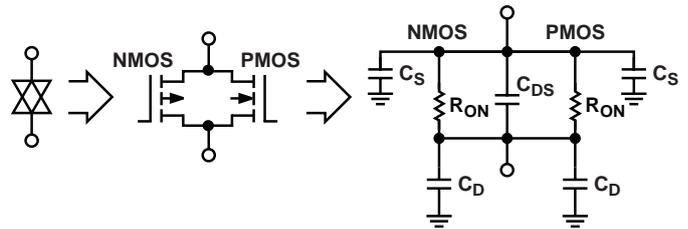


図7. CMOSスイッチ・モデル

$C_{DS}$ はドレイン-ソース容量、 $C_D$ はドレイン-ゲート+ドレイン-バルク容量、 $C_S$ はソース-ゲート+ソース-バルク容量。

伝達特性は下記の式で定義されます。ここで、以下の想定を適用しました。

- ソース・インピーダンスは $0\Omega$
- 外部負荷の影響なし
- $C_{DS}$ の影響なし
- $R_{LSB} \ll R_{MSB}$

ここで、

$R_{DAC}$ は抵抗設定値です。

$R_{POT}$ はエンド・ツー・エンド抵抗です。

$C_{DLSB}$ は、LSBセグメントでの合計ドレイン-ゲート+ドレイン-バルク容量です。

$C_{SLSB}$ は、LSBセグメントでの合計ソース-ゲート+ソース-バルク容量です。

$C_{DMSB}$ は、MSBスイッチでのドレイン-ゲート+ドレイン-バルク容量です。

$C_{SMSB}$ は、MSBスイッチでのソース-ゲート+ソース-バルク容量です。

$m_{off}$ は、信号MSBパスでのオフ・スイッチの数です。

$m_{on}$ は、信号MSBパスでのオン・スイッチの数です。

伝達式には多くの要素があり、若干コード依存であるため、式を単純化するためにさらに以下の想定を用います。

$$C_{DMSB} + C_{SMSB} = C_{DSMSB}$$

$$C_{DLSB} + C_{SLSB} \gg C_{DSMSB}$$

$$(C_{DLSB} + C_{SLSB}) = C_W \text{ (データシートに仕様規定)}$$

$C_{DS}$ の影響は伝達式にゼロを加算します。しかし、これは一般に極に比べてはるかに高い周波数で行われるため、RCローパス・フィルタが支配的な応答です。簡略式の適切な近似は次のようになります。

$$H(s) = \frac{R_{RAC}}{R_{POT}} \times \left[ \frac{1}{(s \times [R_{DAC} \parallel (R_{POT} - R_{DAC})] \times C_W + 1)} \right]$$

そして、BW (帯域幅) は次のように定義されます。

$$BW = \frac{1}{2\pi \times (R_{POT} - R_{DAC}) \parallel R_{DAC} \times (C_W + C_L)}$$

ここで、 $C_L$ は負荷容量です。

BW (帯域幅) はコード依存であり、最悪時は、コードがハーフスケールにあるときです。これは、AD5292では $2^9 = 512$ のデジタル値、AD5291では $2^7 = 128$ のデジタル値です (付録を参照)。図8は、さまざまな公称抵抗値と負荷容量値に対するコードの関数として、ローパス・フィルタ処理の効果を示します。

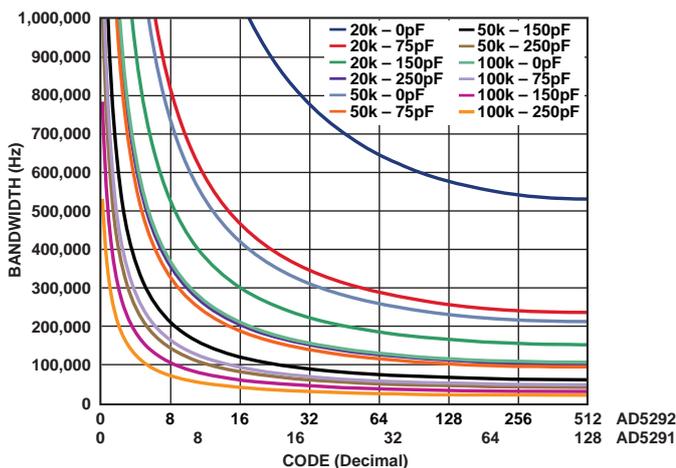


図8. さまざまな抵抗値に対する最大帯域幅と負荷容量の関係

PCボードの導電パターンの寄生容量を考慮してください。さもなければ、最大BWは想定された値より小さくなります。導電パターン寄生容量は、次式で簡単に計算できます。

$$C \text{ (pF)} = 0.09 \times \epsilon_r \times \frac{A}{d}$$

ここで、

$\epsilon_r$ はボード材質の誘電率、

Aは導電パターン面積 (cm<sup>2</sup>)、

dは各層間の距離 (cm) です。

たとえば、2つの信号層と電源/グラウンド・プレーン、 $\epsilon_r = 4$ 、導電パターン長 = 3cm、幅 = 1.2mm、層間の距離 = 0.3mmを持つFR4ボード材を想定すると、合計導電パターン寄生容量は約4pFです。

## 歪み

THD (全高調波歪み) は、デバイスの減衰器としての非直線性を数量化するために用いられます。この非直線性は、内部スイッチとその $R_{ON}$ が電圧によって変動することに起因します。図9は、振幅歪みを誇張して表した例です。

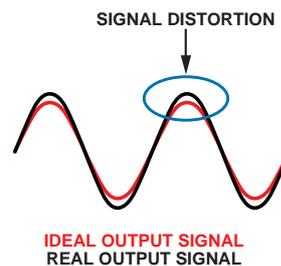


図9. 歪み

スイッチの $R_{ON}$ は1本の内部受動抵抗の抵抗値に比べてとても小さく、その信号範囲での変動はさらに小さくなります。図10は、代表的なオン抵抗特性を示します。

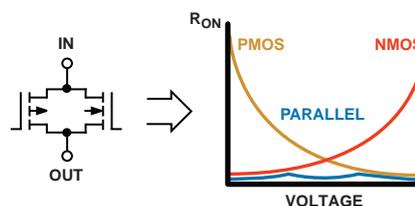


図10. CMOS抵抗

抵抗変化特性曲線は電源電圧レールに依存します。最大電源電圧において、内部スイッチの $R_{ON}$ 変動は最低になります。電源電圧が減少すると、 $R_{ON}$ 変動 (したがって、非直線性) は増大します。図11は、低電圧digiPOTの $R_{ON}$ 変動を2つの電源電圧レベルで比較します。

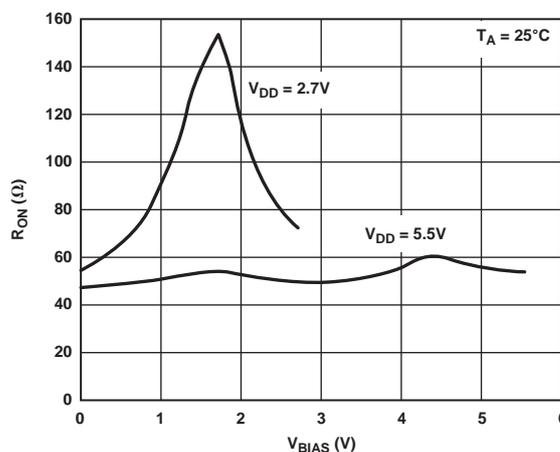


図11. スイッチの抵抗変動と電源電圧の関係

THDは複数の要因に依存するため、数量化することは困難です。しかし、 $R_{ON}$ の変動を10%と想定すると、大まかな近似として次式を使用できます。

$$THD \text{ (dB)} = 20 \times \log \frac{10\% \times R_{ON}}{R_{POT}}$$

一般に、digiPOTの公称抵抗 ( $R_{POT}$ ) が高いほど、分母が大きくなってTHDは改善されます。

## トレードオフ

歪みと帯域幅は、いずれも  $R_{POT}$  の増大とともに減少するため、他方を犠牲にすることなく一方の仕様を改善することはできません。したがって、回路設計者は適切なバランスを選択する必要があります。IC 設計者は設計式においてパラメータのバランスをとる必要があるため、このことはデバイスの設計レベルにも当てはまります。

$$R_{ON} = \frac{L}{\mu \times C_{OX} \times W}$$

$$C = C_{OX} \times W \times L$$

ここで、

$C_{OX}$  は酸化膜容量、

$\mu$  は電子 (NMOS 側) またはホール (PMOS 側) の移動度

$W$  は幅、

$L$  は長さです。

## バイアス

実用的な観点からは、これらの仕様を最大限に利用する必要があります。digiPOT を用いて容量結合のある AC 信号を減衰させるとき、信号が電源電圧の中央値にバイアスされた場合に歪みは最小になります。つまり、スイッチは抵抗特性の最も直線的な部分で機能していることとなります。

1つの方法として、正負電源を使用し、ポテンショメータをそのまま電源コモンに接地します。これによって、信号は正-負の振幅を持つことができます。もう1つの方法として、単電源動作が必要な場合、または特定の digiPOT が両電源に対応していない場合、AC 信号に  $V_{DD}/2$  のオフセット電圧を加えます。図12に示すように、このオフセット電圧は、両方の抵抗端子に加える必要があります。

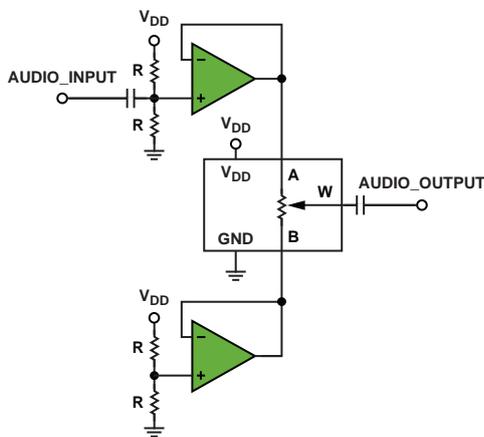


図12. 単電源のAC信号・コンディショニング

信号アンプが必要な場合は、以下の2つの理由によって、非反転アンプよりも両電源の反転アンプ (図13) の方が推奨されます。

- 反転ピンの仮想グラウンドがスイッチ抵抗を電圧範囲の中央に置いたため、THD性能が改善されます。
- 反転ピンが仮想グラウンドにあるため、ワイパー容量 ( $C_{DLSB}$ ) がほとんどキャンセルされて帯域幅が少し増大します (回路の安定性には注意する必要があります)。

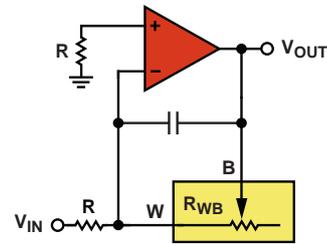


図13. 反転アンプ付きのdigiPOTにより調整可能な増幅を実現

## 著者

Miguel Usach Merino [[miguel.usach@analog.com](mailto:miguel.usach@analog.com)]



は、バレンシア大学で電子工学の学位を取得しました。アナログ・デバイスには2008年に入社し、リムリック (アイルランド) にある高精度DACグループのアプリケーション・エンジニアとして勤務しています。

## 付録—AD5291/AD5292について

### 1%精度、20回プログラム可能な256/1024ポジションのデジタル・ポテンショメータ

デジタル・ポテンショメータ AD5291/AD5292 (図14) は、256/1024段階の分解能を備えています。エンド・ツー・エンドの抵抗値は、20k $\Omega$ 、50k $\Omega$ 、100k $\Omega$ から選択でき、許容誤差は1%未満、温度係数 (比) は35ppm/ $^{\circ}\text{C}$  (レオスタット・モード) または5ppm/ $^{\circ}\text{C}$  (デバイダ・モード) です。これらのデバイスは、機械式ポテンショメータと同じ電子調整機能を備えており、機械式に比べ小型で信頼性にも優れています。ワイパー・ポジションは、SPI互換のインターフェースを介して調整できます。調整は何度でも可能で、ヒューズを焼き切ることでワイパー・ポジションを固定できます。このプロセスは、機械式トリマーの位置をエポキシ樹脂で固定するのと同様です。このプロセスは、20回まで繰り返すことができます (エポキシ樹脂の除去に相当します)。AD5291/AD5292は、9~33Vの単電源または $\pm 9$ ~ $\pm 16.5\text{V}$ の両電源で動作し、消費電力は8 $\mu\text{W}$ です。14ピンTSSOPパッケージで提供され、 $-40$ ~ $+105^{\circ}\text{C}$ で仕様規定されています。

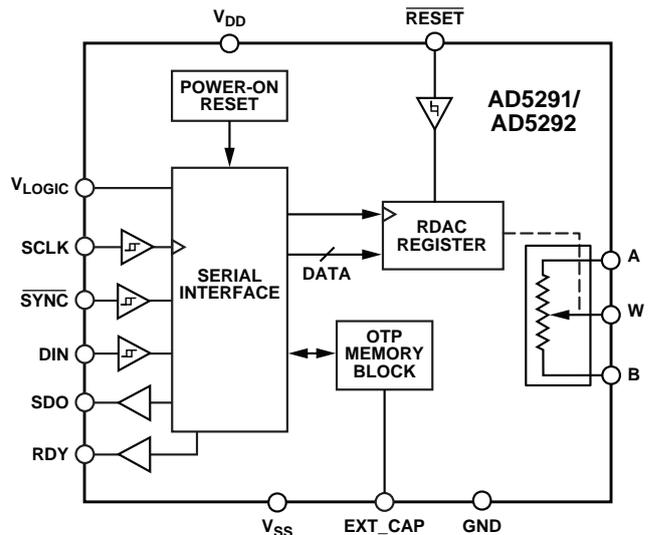


図14. AD5291/AD5292の機能ブロック図