

高速、高精度の逐次比較型 A/Dコンバータによる バッテリー寿命の延長

著者：Shane O'Meara

医療、民生、工業用の携帯型計測器は、小型軽量化、バッテリー1個（あるいはバッテリー充電1回）あたりの使用時間延長、省コスト化などに加えて、多機能化が進められる傾向にあることから、今日のバッテリー駆動型A/Dコンバータ（ADC）・アプリケーションにとっては、低消費電力であることが重要な要件となります。低電力システムはヒートシンクやファンなしで作動させることができ、小型化、低コスト化、信頼性向上が促進される上に、より環境に優しいソリューションを実現することができます。バッテリー駆動以外のアプリケーションにおいても、こうした低消費電力の利点を見過ごすべきではありません。さらに、多くの設計者は、省電力化を実現しながら、あるいは少なくとも既存品の消費電力を上回ることのないようにしながら、機能や性能を向上させなければならないという課題に直面しています。

今日では非常に多種類のADCが市場に出回っているため、特定のシステム要件に最適のパーツを選ぶことが、むしろ難しくなっています。低消費電力であることが必須要件である場合、速度や精度といった一般的なコンバータ性能の評価に加えて、さらに多くの仕様を考慮に入れなければなりません。システムの消費電力を確定し、バッテリー寿命を計算するためには、これらの仕様を理解し、設計に関する決定が消費電力にどのような影響を与えるかを理解することが不可欠です。

ADCの平均消費電力は、変換中の消費電力、変換を行っていない時の消費電力、およびそれぞれのモードにある時間の関数と見なされ、式1のように表すことができます。

$$P_{AVG} = (P_{CONV} \times \frac{t_{CONV}}{t_{CONV} + t_{STBY}}) + (P_{STBY} \times \frac{t_{STBY}}{t_{CONV} + t_{STBY}}) \quad (1)$$

P_{AVG} = 平均消費電力

P_{CONV} = 変換中の消費電力

P_{STBY} = スタンバイ・モードまたはシャットダウン・モードの消費電力

t_{CONV} = 変換に使われる時間

t_{STBY} = スタンバイ・モードまたはシャットダウン・モードにある時間

通常、変換中に使われる電力はスタンバイ電力よりもはるかに大きいので、スタンバイ・モードの時間が増えれば、平均電力を大幅に下げることができます。逐次比較型（SAR）のコンバータは、このようなモードでの運用に特に適しています。

オンボード電源の選択は、システムの消費電力を最も大きく左右する要因の一つです。携帯型アプリケーションでは、多くの場合、システムの電源は、3Vのコイン型リチウム・バッテリーから直接取られます。この方法では低ドロップアウト電圧レギュレータが不要であるため、電力、スペース、コストを削減することができます。消費電力は入力電圧に連動するため、 V_{DD} の電源レンジが小さいコンバータの活用は、バッテリーを使用しないアプリケーションにおいても有益な結果をもたらします。ADCの V_{DD} の値を許容できる範囲内でできるだけ小さくすることが、消費電力の低減につながります。

低消費電力アプリケーション用のADCには、活動休止時のエネルギーを節約するために、パワーダウン・モードやスタンバイ・モードが例外なく備わっています。変換を1回行うごとにADCをパワーダウンしたり、高いスループット・レートで一挙に大量の変換を行い、次の動作までの間パワーダウンしておくことができます。シングルチャンネル・コンバータの場合は、通信インターフェースに動作モード制御を組み込んだり、変換終了後の動作を自動化することができます。

モード制御を通信インターフェースに組み込むことの利点は、ピン数を減らせることです。この場合は駆動すべき入力が減り、リーク電流も少なくなるため、消費電力の低減につながります。ピン数が少なければパッケージサイズも小さくなり、MCUに必要なI/Oも少なくなります。制御方法に関わらず、これらのモードをうまく利用すれば、消費電力を大幅に低減することができます。

パワーダウン・モードでは、ADCの回路上のパーツをオフにすることによって、文字通り消費電力が低減されます。こうしたモードを有効に使用することができるスループット・レートは、シャットダウンされた回路が変換を再開できるまでの時間によって決まります。内部リファレンスを持つADCでは、再起動時間は、リファレンス・コンデンサの再充電に要する時間によって決まります。外部リファレンスを使用するADCでは、再起動時にアナログ入力を正確に追跡するために、十分な時間が必要です。

現在入手可能なADCはいずれも、消費電力がスループットに比例して変化します。消費される電力は静的電力と動的電力の組み合わせです。静的電力は一定ですが、動的電力はスループットに比例して増大します。したがって、省電力化は、アプリケーションに適した範囲で、できるだけ小さいスループットを選ぶことによって実現されます。

図1は、アナログ・デバイセズ最新の超低消費電力ADCであるAD7091Rの標準的消費電力を、スループット・レートの関数として表したものです。この図には、パワーダウン・モードを利用することによって、特にスループット・レートが低い場合に、さらにどれだけの省電力を実現できるかについての比較曲線も示されています。AD7091Rのスループット・レート、およびパワーダウン・モードで動作する割合は、デバイスのリスタート時間と、リファレンス・コンデンサの再充電時間（AD7091Rがオンチップ・リファレンスを使用していることによる）によって左右されます。リファレンス・コンデンサの再充電に要する時間は、その容量と、オンチップ・リファレンスのリスタート時にコンデンサに残っている電荷のレベルによって異なります。

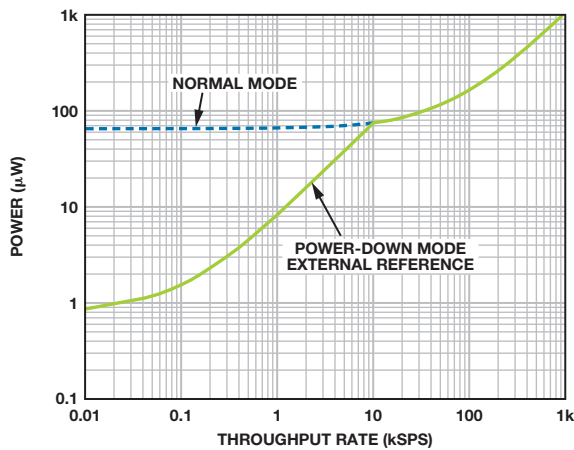


図1. AD7091Rのスループット 対 消費電力

ADCに変換を要求する最も一般的な方法は、専用の変換入力ピンを使用するか、シリアル・インターフェースを介して制御を行うことです。専用入力ピン ($\overline{\text{CONVST}}$) を使用した場合、変換は立上がりエッジで開始されます。その後の変換はオンチップ発振器によって制御され、変換終了後はその結果をシリアル・インターフェース経由でリードバックすることができます。したがって、変換は常に一定の最適速度で実行され、デバイスは変換が完了した瞬間に省電力モードに入るため、消費電力を抑えることができます。

チップ・セレクト ($\overline{\text{CS}}$) の立上がりエッジでサンプリングが開始されるADCでは、内部サンプリング・クロック (SCLK) の信号によって変換が制御されます。SCLKの周波数は変換時間と実現可能なスループット・レートに影響を与えるため、結果として消費電力を左右します。SCLKの周波数が高くなるほど、変換時間は短くなります。変換時間が短くなれば、省電力モードでの動作時間の比率がノーマル・モードに比して大きくなるため、電力を大幅に低減することができます。つまり、それぞれの変換にSCLKのNサイクルが必要な場合は、1秒間にS回の変換を行うと、SCLKの合計スイッチング時間は $S \times N / f_{\text{SCLK}}$ で、1秒あたりの休止時間は式2のようになります。

$$(1.00 - \frac{S \times N}{f_{\text{SCLK}}}) \quad (2)$$

したがって、1秒あたりのサンプル数が決まっている場合は、 f_{SCLK} が増加すれば1秒あたりの休止時間も増加します。

たとえば、変換を完了して結果をリードバックするために要するSCLKサイクル数が16だとすると、30 MHzのSCLKで100 kSPSのサンプリングを行うシステムの休止時間比率は94.67%で、全時間の5.33%が変換に使われている計算になります (1秒あたり53.3 ms)。10 MHzのSCLKで動作する同じシステムの休止時間比率は84%にとどまり、変換に160 msが費やされていることになります。したがって、消費電力を最小限に抑えるには、コンバータをできるだけ高いSCLK周波数で動作させる必要があります。

低消費電力設計において重要であるにも関わらず、見過ごされることが多いパラメータは、出力ピン、特にSCLK、 $\overline{\text{CS}}$ 、SDOなどの通信インターフェース・ピンに見られる容量性負荷です。これらのI/O変数は、変換プロセスにおいて常にその状態が変化するため、注意が必要です。出力ピンに見られる容量性負荷は、ドライバIC自体のピン容量に、入力ピンのピン容量とPCBトレースの容量が加わったものです。一般に、トレース容量はフェムトファラド単位の小さな値にとどめることができるため、大きな影響はありません。容量性負荷を充電するために必要な電力 (P_L) は、式3に定義されているように、負荷 (C_L)、駆動電圧 (V_{DRIVE})、および変化の周波数 (f) の関数です。

$$P_L = C_L \times V_{\text{DRIVE}}^2 \times f \quad (3)$$

したがって、システム全体での電力は、負荷容量 (C_{Ln}) とスイッチング周波数 (f_n) の積の合計値に、駆動電圧の二乗を乗じた値となります。

$$P_L = \sum (C_{Ln} \times f_n) \times V_{\text{DRIVE}}^2 \quad (4)$$

ADCはSDOピンを駆動し、ホスト・マイクロコントローラは $\overline{\text{CS}}$ 、 $\overline{\text{CONVST}}$ 、SLKの各ピンを駆動するため、最小消費電力は、すべてのデバイスのピン容量を最小にすることによって実現されます。

$\overline{\text{CS}}$ ピンと $\overline{\text{CONVST}}$ ピンのスイッチング周波数は、スループット・レートによってのみ決まります。すでに述べたように、消費電力を小さくするには、SCLK周波数をできるだけ高い値に設定する必要があります。この二つのことは矛盾しません。重要なポイントは、SCLKが自走クロックではないということです。このクロックをアクティブにするのは、各ビット・トライアルの結果をSDOラインに伝達して変換プロセスを制御するのに必要となる最小限の時間にとどめておく必要があります。これはデバイスと分解能に依存しますが、12ビット・コンバータのSPIインターフェースの場合、通常は1ビットを1サイクルとしてある程度のオーバーヘッドを加えた値か、1サンプルあたり16個のSCLKサイクルとします。したがってSCLKの最小周波数は、必要サイクル数にスループット・レートを乗じた値となります。

SDOラインの周波数は、スループット・レートと変換結果によって異なります。これを変更することはできませんが、設計者は、これが変換時の消費電力にどのように影響するのかを理解しておく必要があります。最大消費電力は結果が101010…のシーケンスの時に発生し、最小消費電力は、結果がすべて1かすべて0の時に発生します。

スループット・レートが低い場合に加えて、 V_{DRIVE} 電圧が低い時も消費電力が大幅に減少します。ADCは、アナログ回路とデジタル・インターフェースに対して単一の電源ピンか個別の電源ピンを持っています。個別の V_{DRIVE} 電源を使用できる場合は、より柔軟なデザインが可能で、A/Dインターフェース電圧をSPIマスターの電圧に合わせることができるため、レベル・シフトを使用する必要がありません。 V_{DRIVE} の電圧をできるだけ低い値にすれば、システムの消費電力も最小にすることができます。

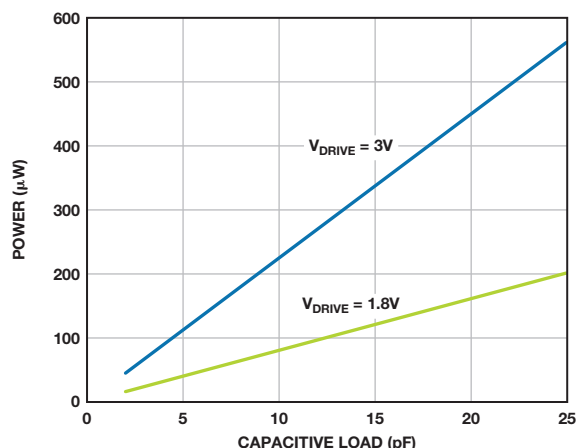


図2. 容量性負荷 対 標準的インターフェースの消費電力

図2は、 V_{DRIVE} 値を3Vにした場合と1.8Vにした場合の標準的SPIインターフェース（CS、SDO、SCLKを使用）の標準電力要件をスループット・レート100 kSPS、1変換あたりのSCLKサイクル数16、12ビットADCのSDO出力は最悪時の1010…で合計容量性負荷の関数として比較したものです。

ADC回路設計におけるその他の標準的構成要素は、電圧リファレンスとオペアンプです。これらの部品も、低消費電力を実現するために慎重に選ぶ必要があることは言うまでもありません。リファレンスには、デバイスの活動休止時間中の消費電力を減らすためのパワーダウン・モードを備えたものがあります。アンプの選択はアプリケーションによって異なるため、選択したアンプがADCの性能を最大限に引き出し、消費電力を最小限に抑えることができるように、システムのスループット・レートを考慮する必要があります。

12ビットのAD7091Rは、特に低消費電力アプリケーション用に設計されたもので、SPIインターフェース、オンチップの高精度2.5V電圧リファレンス、1 MSPSのサンプリング・レートといった特長を備えています。変換はCONVSTピンで開始します。オンチップ発振器が変換プロセスを制御するため、消費電力を最小限に抑えることが可能です。ピン容量は小さく、最大5 pFです。また、入力電圧範囲が広い（2.7～5.25V）、バッテリー駆動アプリケーションだけでなく、さまざまなアプリケーションに組み込むことができます。さらに、1.65～5.25Vの V_{DRIVE} 電源が独立しているため、消費電力を低減でき、システム統合化の可能性も広がります。

AD7091Rを1 MSPSで動作させた時に流れる電流は、3V V_{DD} で標準349 μ Aです。電力はスループットに比例するため、100 kSPSでは55 μ Aの無信号時消費電流を実現できます。変換を行っていない時（ただしリファレンスはアクティブ）の静的電流は21.6 μ Aで、パワーダウン・モード時の電流はわずか264 nAです。AD7091Rは、10ピンのMSOPパッケージかLFCSPパッケージを選択できます。

AD7091Rを駆動するための標準的アンプとしては、高速スループット・アプリケーション用のAD8031と、低帯域幅アプリケーション用のAD8420があります。AD8031の無信号時消費電流は2.7V電源で750 μ A（typ）、AD8420は5V電源使用時に70 μ A（typ）です。

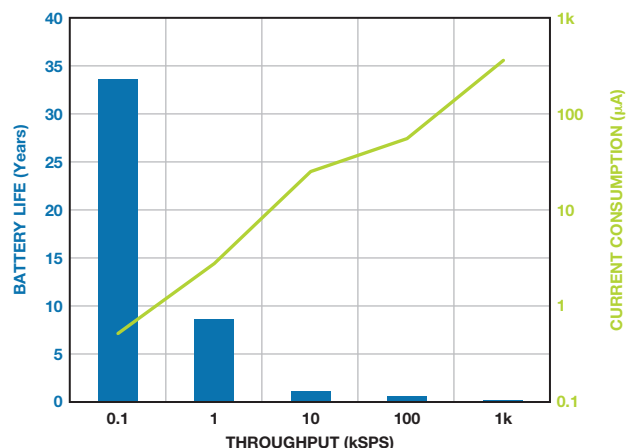


図3. AD7091Rのスループット 対 バッテリー寿命および消費電流

CR2032 リチウム・バッテリー使用時のAD7091Rの標準消費電流と計算バッテリー寿命の関係を図3に示します。この図から、スループットを小さくすれば、バッテリー寿命を大幅に延長できることがよく分かります。

AD7091Rは、ADCの中でも特に消費電力の大幅な低減を実現することのできる製品のひとつです。たとえば、入手可能な競合製品の中で最も近いもの（内部リファレンスを持たない製品）と、1 MSPSのスループット・レートで比較しても、AD7091Rの消費電力（3V電源の場合）は1 mW（typ）で、競合製品の3.9 mW（typ）の3分の1を下回ります。これは、CR2032のバッテリー寿命を400時間延長できることを意味します。他のデバイスには外部リファレンスが必要であることを考慮すると、省電力効果はさらに大きくなります。

結論

消費電力の低減には、バッテリー寿命を伸ばすことの他にも数多くの利点があります。熱の発生が少なくなるためフォームファクタが小さくなり、熱応力も小さくなるため信頼性が向上します。また、ヒートシンクなどのアクセサリが不要になり、部品を小型化できる上に部品数も少なくなるためPCボードのサイズを小さくでき、システム・コストを低減することが可能になります。

本稿では、ADCを使用した設計における消費電力の最適化を行う際に、システム設計が考慮すべきいくつかの重要な検討事項と利点について、その概要を示しました。

参考文献

Casamayor, Mercedes and Claire Croke. "How to Save Power in Battery Applications Using the Power-Down Mode in an ADC." *Analog Dialogue*, Vol. 37, No. 3, pp. 3-9, 2003.

著者

Shane O'Meara [shane.omeara@analog.com]

は、アナログ・デバイセズのアプリケーション・エンジニアで、2011年にADIに入社し、アイルランドのリムリックにある高精度コンバータ・アプリケーション・グループに勤務しています。リムリック大学で電子工学の学士号を取得しました。

