

フェーズ・ロックド・ループ (PLL) 回路の設計とデバッグ手法

著者: Ray Sun

はじめに

フェーズ・ロックド・ループ (PLL) 回路の設計とデバッグは、PLL理論とロジカルな開発プロセスを熟知していないと難しいかもしれません。ここではPLLを簡単に設計できる方法と、PLLで起きる難しいトラブルをロジカルにデバッグする方法をご紹介します。

シミュレーション

PLL回路の特性を求めることは、目的とする条件でシミュレーションしてみないと難しいため、設計の最初のステップとしてシミュレーションが必要です。リファレンス周波数、ステップ周波数、位相ノイズ (ジッタ)、周波数スプリアスの上限などのシステム要件に基づいて、ソフトウェアADIsimPLLを使用してシミュレーションしてみることを推奨します。

多くの方がリファレンス周波数の選択で迷うようですが、リファレンス周波数と出力周波数ステップとの関係は単純です。インテジャーN型PLLでは出力周波数ステップは位相周波数検出器 (PFD; Phase Frequency Detector) の入力周波数と同じですが、これはリファレンス分周器の設定値Rで入力リファレンス周波数を割ったものです。フラクショナルN型PLLの場合、出力周波数ステップはPFD入力周波数をMOD値で割った値になるため、周波数の高いリファレンス周波数でも狭い周波数ステップが実現できます。インテジャーN型とフラクショナルN型のどちらにするかは、周波数ステップと位相ノイズ特性とのトレードオフの関係を考慮する必要があります。PFD周波数を低くすると出力周波数ステップは狭くなりますが、位相ノイズ特性は悪化します。

表1にPLL ICの選択例を示します。固定周波数かつ非常に広い周波数ステップで良い場合は、ADF4106などのインテジャーN型PLLを用います。このほうが帯域内全位相ノイズ特性が良くなります。狭い周波数ステップが必要な場合は、ADF4153などのフラクショナルN型PLLを用います。これは全位相ノイズ特性がインテジャーN型PLLより良好になるからです。位相ノイズ特性はPLLの仕様として不可欠ですが、データシートに全ての使い方に対応した特性を規定することはできません。したがって、実際のハードウェアでテストする前に、シミュレーションを行うことは非常に重要です。

表1. PLL ICの選択は位相ノイズ特性を基準にして考える

	固定周波数アプリケーション RF = 1.8 GHz, $f_{osc} = 13$ MHz, 固定出力周波数	GSM1800アプリケーション RF = 1.8 GHz, $f_{osc} = 13$ MHz, $f_{res} = 200$ kHz
ADF4106 インテジャー N型PLL	$FOM + 10\log f_{pfd} + 20\log N$ = $-223 + 10\log 13$ MHz + $20\log 138 = -109$ dBc/Hz	$FOM + 10\log f_{pfd} + 20\log N$ = $-223 + 10\log 200$ kHz + $20\log 9000 = -91$ dBc/Hz
ADF4153 フラクショナル N型PLL	$FOM + 10\log f_{pfd} + 20\log N$ = $-220 + 10\log 13$ MHz + $20\log 138 = -106$ dBc/Hz	$FOM + 10\log f_{pfd} + 20\log N$ = $-220 + 10\log 13$ MHz + $20\log 138 = -106$ dBc/Hz
結果	インテジャーN型を推奨	フラクショナルN型を推奨

ADIsimPLLを使って実条件でPLL回路のシミュレーションを行ったとしても、実際のリファレンス周波数源や電圧制御発振器 (VCO) が正しくモデル化されていないと、満足できる結果は

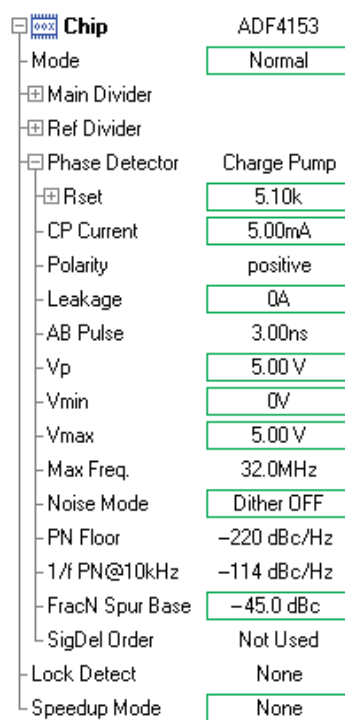
おそらく得られないでしょう。この場合は理想的なリファレンスやVCOだとしてシミュレーションが行われます。高い精度のシミュレーションが必要なときは、リファレンス周波数源とVCOのパラメータ抽出に時間をかける価値はあります。

PLLはOPアンプの負帰還制御と似たシステムであるため、ループ帯域幅と位相余裕の考え方は同様に当てはめることができます。一般的にループ帯域幅はPFD周波数の1/10未満に設定する必要があり、十分な位相余裕範囲は45 ~ 60°です。シミュレーションと実際の基板上での試作の両方を行って、プリント基板レイアウト上の寄生成分や、ループ・フィルタで使用する抵抗/コンデンサの許容誤差条件のなかで、回路が仕様を満たしているかを確認する必要があります。

抵抗やコンデンサの適正値が簡単に入手できない場合には、実際に入手できる値でうまく動作するかを判定する必要があります。ADIsimPLLのToolsメニューには、BUILTという機能が隠されています。この機能は抵抗やコンデンサの計算結果をE系列の一番近い値に収束させるもので、この条件でシミュレーションを再度実行して、位相余裕やループ帯域幅を確認できます。

レジスタ

アナログ・デバイセズのPLL製品には、ユーザが任意に設定できる多くの機能が用意されており、高い柔軟性があります。しかし個々のレジスタの値を決める必要もあります。プリント基板とシミュレータを接続できない場合でも、評価用ソフトウェアでレジスタ値を書き込むのが便利です。セットアップは評価用ボードにダウンロードすることができますし、.stpファイルに保存することもできます。図1に示すようなADIsimPLLのシミュレーション結果に、レジスタ・パラメータの推奨値が表示されます。



Chip	ADF4153
Mode	Normal
Main Divider	
Ref Divider	
Phase Detector	Charge Pump
Rset	5.10k
CP Current	5.00mA
Polarity	positive
Leakage	0A
AB Pulse	3.00ns
Vp	5.00 V
Vmin	0V
Vmax	5.00 V
Max Freq.	32.0MHz
Noise Mode	Dither OFF
PN Floor	-220 dBc/Hz
1/f PN@10kHz	-114 dBc/Hz
FracN Spur Base	-45.0 dBc
SigDel Order	Not Used
Lock Detect	None
Speedup Mode	None

図1. ADIsimPLLシミュレーション・ソフトウェアが出力するレジスタ推奨値

回路図とプリント基板のレイアウト

高性能なPLL回路を設計するには留意点がいくつかあります。まずPLL ICのリファレンス入力端子のインピーダンスをマッチングさせ、反射を最小に抑えることが重要です。また入力端子に並列に接続された容量は信号のスルーレートを低下させ、PLL出力に位相ノイズとして現れます。そのため容量を小さくする必要があります。詳細についてはPLL製品のデータシートの入力条件の項を参照してください。

次にアナログ電源とデジタル電源を分離して、相互干渉を最小限に抑えてください。VCO電源は特に影響を受けやすいので、電源のノイズやスプリアスがPLL出力に簡単に影響を与えてしまいます。その他の注意事項や詳細は「位相ノイズ低減のためのフラクショナルN型PLLと電圧制御発振器 (VCO) にローノイズLDOレギュレータを使った電源供給の検討」(CN-0147)を参照してください。

最後にループ・フィルタに使用する抵抗とコンデンサは、シミュレーション結果の推奨値を使用してPLL ICのできる限り近くに配置することです。ループ・フィルタの部品の定数を変更してみたらロックしなくなった場合は、評価用ボードで使用しているオリジナルの値を試してみてください。

プリント基板のレイアウトは、入出力を分離すること、そしてデジタル回路とアナログ回路が干渉しないようにすることが肝要です。たとえばシリアル・インターフェースがリファレンス入力やVCO出力に近すぎると、PLL ICのレジスタへ書き込む際に、PLL出力にスプリアスが発生します。

また熱設計としては、放熱用グラウンド・パッドをPLL ICの下に配置し、熱がこのパッド経由でプリント基板やヒートシンクに逃げるようにする必要があります。PLL ICやプリント基板を過酷な環境下で使用する場合には、設計時点で熱特性を計算しておくかなければなりません。

MUXOUT端子の有効活用

デバッグの最初の段階では、PLLがロックせず、何からデバッグを始めればよいかわからないかもしれません。最初のステップとしては、図2のようにMUXOUT端子を使って各機能が正しく動作しているかを確認します。たとえばMUXOUT端子にR分周器出力を取り出せるため、リファレンス入力信号が正しいか、レジスタの内容が正しく書き込まれているかを確認できます。またMUXOUT端子を使って位相ロック（ロック・ディテクト）状態やN分周器出力のようすを調べることもできます。このようにして各分周器の値、伝達関数、または周波数が正しいかを確認することができます。これはPLLの一番基本的なデバッグ手順です。

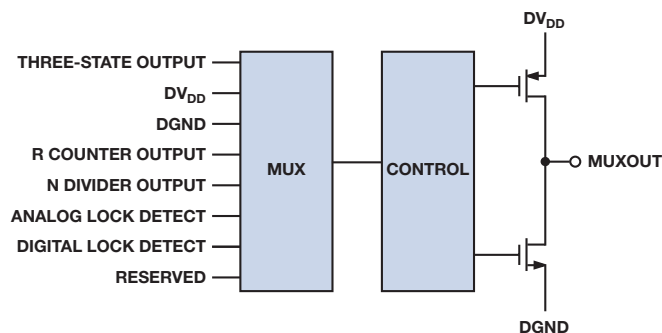


図2. MUXOUT端子はPLLのデバッグに活用できる

時間ドメインでの解析

PLLのデバッグでは、シリアル・インターフェースからレジスタに書き込まれるデータが正しいことを、時間ドメインでの解析で確認できます。読出し／書込みはそれほど高速ではありませんが、タイミングが仕様を満たしていることと、ライン間のクロストークが十分抑えられているかを確認する必要があります。

データのセットアップ時間、クロック速度、パルス幅、その他のタイミングを決めるときは、PLL製品のデータシートにあるタイミング・チャートを参照してください。全ての条件でタイミング要件が満たされるよう十分に余裕をとる必要があります。ク

ロック／データのエッジが適正なタイミングかを確認するには、オシロスコープを用います。基板上のクロック信号とデータ信号のパターン間隔が狭すぎると、クロストークでクロック信号のエネルギーがプリント基板のパターン間でデータ信号に結合する可能性があります。このような結合があると、クロック信号のエッジでデータ信号にグリッチが発生します。特にレジスタ書き込みエラーが発生する場合は、レジスタへの書き込み／読出し時に、これらの2つの信号の状態を観測する必要があります。またこれらの信号の電圧は、表2に示す条件を満足しているか確認してください。

表2. ロジック入力

	Minimum	Typical	Maximum	Units
Input High Voltage, V_{INH}	1.5			V
Input Low Voltage, V_{INL}			0.6	V
Input Current, I_{INH}/I_{INL}			± 1	μA
Input Capacitance, C_{IN}		3.0		pF

スペクトル解析

周波数ドメインの問題はもっと頻繁に発生し、もっと複雑です。最初にスペクトラム・アナライザで、安定したシングル・トーンがあり、PLLがロックしているか確認します。ロックしていなければ、これまで説明した方法に従ってください。

PLLがロックしていれば、スペクトラム・アナライザの帯域幅 (RBW) を狭くして、位相ノイズが許容範囲内かどうかを確認し、シミュレーション結果と測定結果を照合します。位相ノイズは1kHz、10kHz、1MHzなど、さまざまな周波数オフセットで測定する必要があります。

測定結果がシミュレーションと異なるときは、まずループ・フィルタの設計を確認し、プリント基板上に実装してある部品の実際の値をチェックします。次にリファレンス入力をチェックして、その位相ノイズ特性がシミュレーションと同じかどうかを確認します。外的な条件が異なっているか、誤った値がレジスタに書き込まれていない限り、シミュレーションで得られた位相ノイズ特性は実際の特性とほぼ同じになるはずですが。

DC/DCコンバータもLDOもノイズ源になります。低ノイズなLDOを使用していても電源からのノイズを無視してはいけません。一般的にLDOのデータシートには、PLL回路などノイズに敏感な回路に影響を与えるノイズ・スペクトル密度を規定しています（図3を参照）。VCOへ電源を供給する場合は特にですが、PLL回路には低ノイズな電源を用いてください。

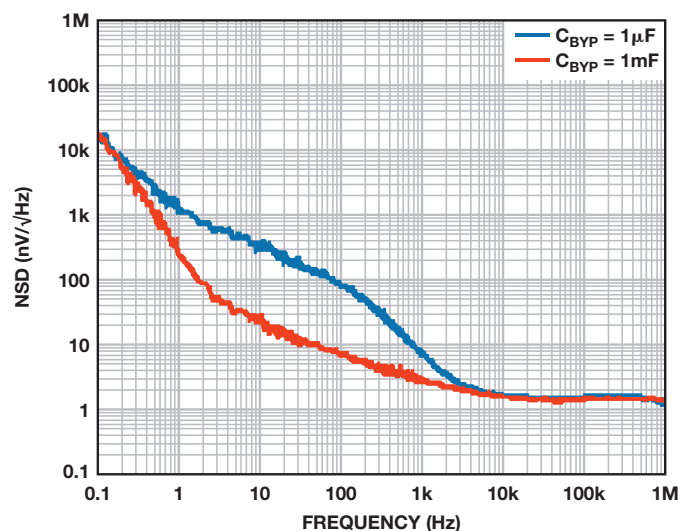


図3. LDOノイズ・スペクトル密度

PLL出力に現れるスプリアスは、PFD（リファレンス）・スプリアス、フラクショナル・スプリアス、整数境界スプリアス、電源など外部発生源からのスプリアス、これらの4種類です。どのPLLでもどれかのスプリアスが少なくとも起こります。これを無くすことはできませんが、ある種のスプリアス、またはある周波数のスプリアスを、別のスプリアスと引き換えることで、全体の性能を改善できる場合があります。

リファレンス・スプリアスを低減させるには、リファレンス信号のエッジをチェックする必要があります。エッジの変化が高速すぎるか、または信号の振幅が大きすぎると強い高調波が発生します。また入出力間のクロストークを防ぐには、プリント基板のレイアウトを入念に行う必要があります。

フラクショナル・スプリアスを最小限にするには、ディザ技術を用いればフラクショナル・スプリアスをノイズ・フロア以下にできます。ただしディザ技術を用いるとノイズ・フロア自体が若干増大します。

整数境界スプリアスはまれにしか生じません。出力周波数がリファレンス周波数の整数倍に近接しループ・フィルタで除去できない場合にのみ発生します。この問題を簡単に解決するには、リファレンス周波数を若干変更することです。たとえば出力周波数1100.1MHz、リファレンス周波数20MHz、ループ・フィルタの帯域が100kHzのとき、1100MHzで整数境界スプリアスが発生します。リファレンス周波数を30MHzに変更すればこのスプリアスを除去することができます。

結論

PLLのデバッグには、PLL理論を十分に理解していることが求められます。また設計段階で十分注意すれば多くの問題を回避できます。デバッグ段階で問題が発生した場合は、本稿で述べた方法に従って、問題点をひとつひとつ解析し、ステップ・バイ・ステップで解決を図ってください。詳細については、www.analog.com/pllをご覧ください。数多くの技術情報を見つけることができます。

参考文献

Mike Curtin, Paul O'Brien 著「[Phase-Locked Loops for High-Frequency Receivers and Transmitters—Part 1](#)」*Analog Dialogue*, Volume 33, Number 1, 1999年

Mike Curtin e, Paul O'Brien 著「[Phase-Locked Loops for High-Frequency Receivers and Transmitters—Part 2](#)」*Analog Dialogue*, Volume 33, Number 1, 1999年

Mike Curtin, Paul O'Brien 著「[Phase-Locked Loops for High-Frequency Receivers and Transmitters—Part 3](#)」*Analog Dialogue*, Volume 33, Number 1, 1999年

CN0147 Circuit Note「[位相ノイズ低減のためのフラクショナルN型PLLと電圧制御発振器（VCO）にローノイズLDOレギュレータを使った電源供給の検討](#)」

Adrian Fox 著「[PLL Synthesizers \(Ask the Applications Engineer—30\)](#)」*Analog Dialogue*, Volume 36, Number 3, 2002年

MT-086 Tutorial「[Fundamentals of Phase-Locked Loops \(PLLs\)](#)」

著者

Ray Sun [ray.sun@analog.com] は2002年に武漢理工大学を卒業し、2009年にアナログ・デバイセズに入社。2010年には华中科技大学でMBAを取得しました。現在、中国の武漢を拠点にするフィールド・アプリケーション・エンジニアとして、中国中部のカスタマ・サポートに従事しています。余暇には、ドッグトレーナー、動物愛護活動、武漢トーストマスターズ・クラブの創立委員として活躍しています。

