

ジッタを除去して複数の高周波出力を生成するデュアルループ・クロック・ジェネレータ

著者: Kyle Slightom

データ・コンバータの速度と分解能が増大するとともに、より高い周波数かつ低い位相ノイズのクロック源の需要が高まっています。クロックに含まれる位相ノイズ（ジッタ）は、携帯電話の基地局や軍用レーダー・システム、あるいはその他の高速かつ高性能のクロック信号を必要とする設計におけるボトルネックの一つです。一般的にシステムには、ノイジーな低い周波数のクロックがあり、それをさらに高い周波数にアップコンバートしてデバイスのクロック源とするのにPLLが使われます。単一の高周波用PLLでは高い周波数を得ることができますが、ノイジーなリファレンスの影響を除去できるほど低いループ帯域幅のPLLを作成するのは容易ではありません。低い周波数での高性能VCO/VCXOと単一の低ループ帯域幅のPLLとの組み合わせでは、ノイジーなリファレンスをクリーンにすることができますが、今度は高周波出力を生成できません。高周波とノイズ・フィルタリングの実現は、2つのPLLを組み合わせ、ジッタを除去する狭いループ帯域幅の低周波デバイスの後段に広いループ帯域幅の高周波デバイスを接続することによって可能になります。

最近では複数のデュアルループPLLを1つのチップに集積した製品が増えており、低周波リファレンス・ジッタを低減して、位相ノイズが低い高周波出力を生成することができます。これにより貴重な基板面積を節約するとともに、異なる周波数を必要とする複数のデバイスに位相整合したクロックを1つのチップから供給することができます。

図1に示すAD9523、AD9523-1、AD9524クロック・ジェネレータは、直列に接続した2個のPLLで構成されています。最初のPLL（PLL1）はリファレンスのジッタを除去し、2番目のPLL（PLL2）は位相整合した高い周波数を生成し、出力します。PLL2で高い周波数を生成して、そこからさまざまな低い周波数を生成することもできます。PLL1は外付けの低周波VCXOと半内蔵型の3次ループ・フィルタを使用して、ループ帯域幅範囲が30Hz～100HzのPLLを形成します。このループの帯域幅は、リファレンス入力の位相ノイズが出力に入り込む量に直接影響します。PLL2は、3.8GHz（AD9523-1の場合は3GHz）を中心周波数とする内部高速VCOと半内蔵型の3次ループ・フィルタを使用して、約500kHzの公称ループ帯域幅を実現します。この内部VCOの帯域幅と位相ノイズは、出力全体の広帯域位相ノイズに直接影響します。

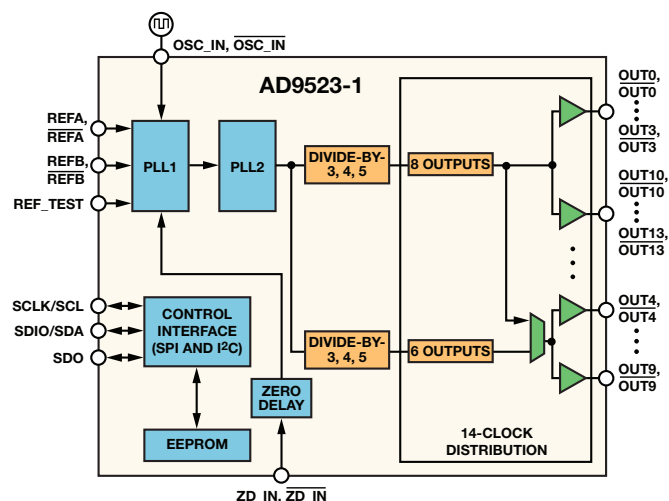


図1. AD9523-1のブロック図

多くのエンジニアは、デュアル・ループPLLを一定量のリファレンス入力ジッタを低減する周波数変換器であると考えていますが、正確には各PLLのループ帯域幅とVCO/VCXOの位相ノイズ特性によって性能が左右される低位相ノイズの周波数変換器と考えたほうがよいでしょう。

ADIsimCLK™シミュレーション・ツールを使用すれば、リファレンスの位相ノイズがデュアル・ループPLLの出力の位相ノイズに与える影響を簡単に知ることができます。この例ではADIsimCLKを使用して、高いノイズのリファレンスがAD9523-1の位相ノイズに与える影響をモデル化します。122.88MHzリファレンスの標準的な位相ノイズ特性のシミュレーションを図2に示します。

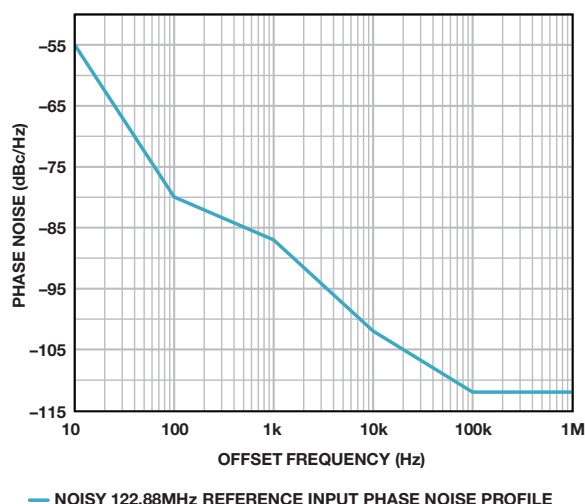


図2. 122.88MHzリファレンスの位相ノイズ・プロファイル

PLL1は高性能VCXOと低ループ帯域幅に依存してリファレンスの位相ノイズを減衰させ、VCXOの位相ノイズが支配的となるようにします。この例ではCrystek CVHD-950 VCXOを使用して、リファレンス入力と同じ出力周波数を生成します。これによって、PLL1の出力にリファレンス位相ノイズがどれだけ現れるかを直接比較することができます。Crystek CVHD-950 VCXOの位相ノイズ特性とリファレンス入力の位相ノイズとの比較を図3に示します。

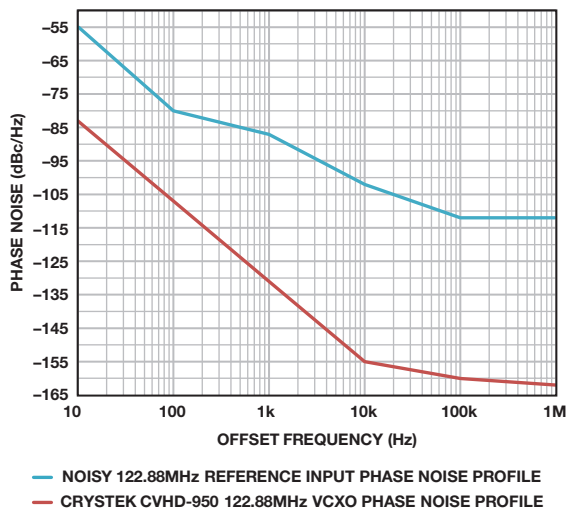


図3. 122.88MHzでのCrystek CVHD-950の位相ノイズ特性

リファレンス入力に対するAD9523-1のPLL1出力の位相ノイズ応答と、図3に示したPLL1 VCXO位相ノイズ特性のシミュレーションのためのADIsimCLKの設定パラメータを図4と表1に示します。表2に、この設定でADIsimCLKが生成したPLL1のループ・フィルタを構成する部品の抵抗値や容量値を示します。

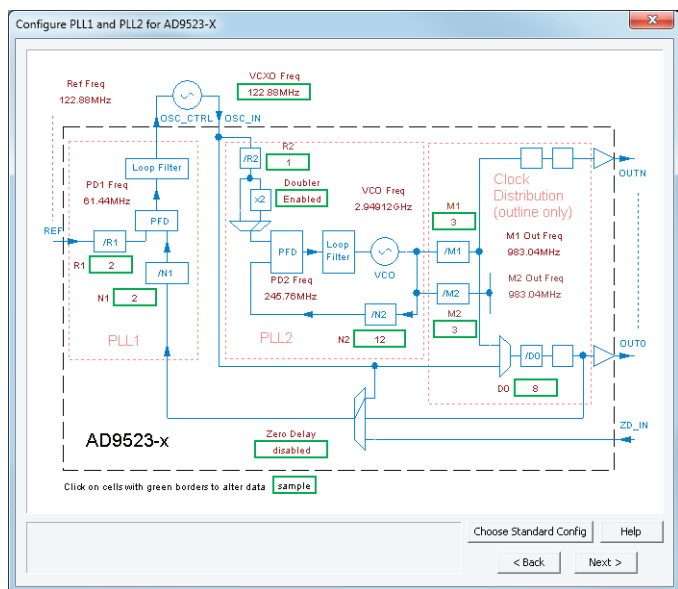


図4. ADIsimCLK v1.5におけるAD9523-1の構成

表1. PLL1 設定パラメータ

設定項目	設定値
VCXO動作周波数	122.88MHz
リファレンス周波数	122.88MHz
出力周波数	122.88MHz
R分周器	2
N分周器	2
チャージポンプ電流	6 μ A
Crystek CVHD-950のK _{VCO}	3.07kHz/V
必要なループ帯域幅	30Hz
必要な位相マージン	75°

表2. ADIsimCLKで生成したPLL1ループ・フィルタの構成部品表

部品名	値
C _{POLE1}	1.5nF
R _{ZERO}	10k Ω
C _{EXT}	4.7 μ F
R _{POLE2}	165k Ω
C _{POLE2}	337pF

図5は、ADIsimCLKでシミュレートした122.88MHzでのPLL1出力の位相ノイズ特性（実線）と、高いノイズを持つ122.88MHzリファレンスの位相ノイズ特性（破線）です。PLL1出力の位相ノイズは、もとのリファレンス入力の位相ノイズよりはるかに小さいことがわかります。このようにPLL1のループ帯域幅はリファレンスの位相ノイズを大幅に減衰させるため、30Hzのループ・フィルタのカットオフ周波数以降はVCXOの低い位相ノイズ特性が支配的になります。すべてのオフセット周波数でリファレンスの位相ノイズが増加しても、出力の位相ノイズはPLL1のループ帯域幅の関数としてのみ増加します。

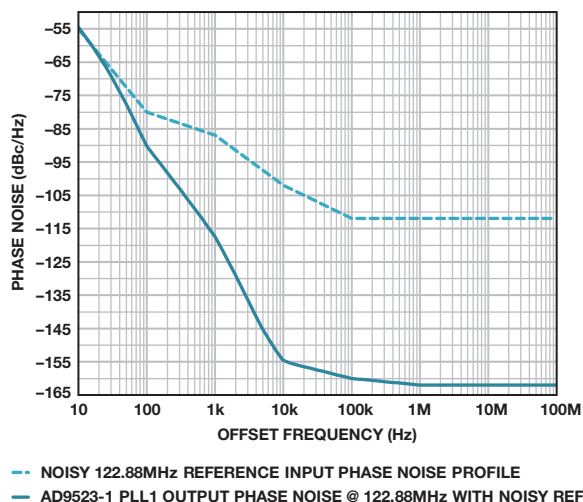


図5. 高いジッタを持つリファレンス使用時のPLL1出力位相ノイズ

図2のノイジーなリファレンスと、それよりもさらに6dBおよび12dB程度高い位相ノイズをもつ3種類のリファレンスと、それぞれのAD9523-1 PLL1出力の位相ノイズを図6と図7に示します。約20kHzのオフセット周波数を超えると、PLL1の出力位相ノイズはそのループ設定とVCXOの性能に支配されます。したがって、20kHzオフセットから始まる範囲では、リファレンスの位相ノイズは12dB増加していますが、ジッタ性能の変化はわずかです。これは、低ループ帯域幅となるようにPLL1を設定したこと、そして低位相ノイズのVCXOを使用したことが直接原因となっています。PLL1のループ帯域幅を十分に狭くしてこのジッタ・クリーニングを行うには、 K_{VCO} が低い高性能のVCXOを使用する必要があります。

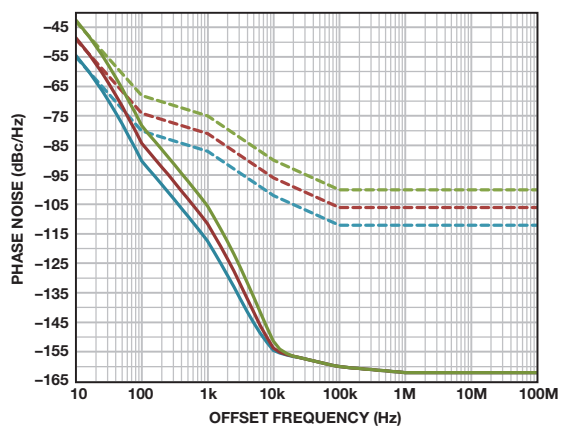


図6. さまざまなリファレンスを使用した場合のPLL1出力位相ノイズ

これで、低い位相ノイズを実現したPLL1の出力は、位相整合した高周波出力を生成するPLL2のリファレンス入力となります。

PLL2には、最大1GHzの周波数を出力するために3GHzを中心周波数とする内部VCOがあります。高ノイズの入力リファレンスをAD9523ファミリーの全体的位相ノイズと比較するために、122.88MHz (F_{VCO} を24で除した値)で得られた位相ノイズを調べましょう。通常、PLL2の出力は周波数変換や高周波出力に使われます。ADIsimCLKに入力するPLL2の設定パラメータを表3に示します。表4には、この設定でADIsimCLKが生成したPLL2のループ・フィルタを構成する部品の抵抗値や容量値を示します。

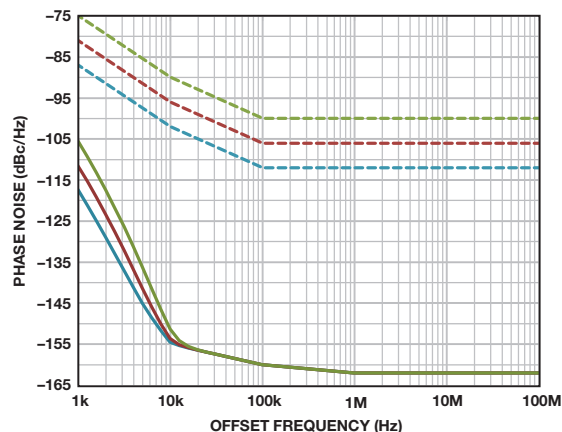


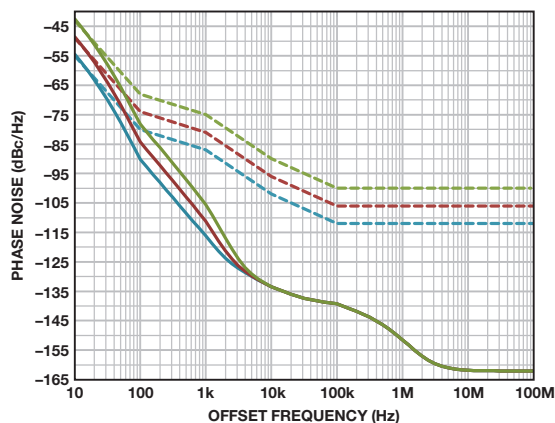
図7. さまざまなリファレンスを使用した場合のPLL1出力位相ノイズ (拡大)

表3. PLL2設定パラメータ

設定項目	設定値
VCO動作周波数	2949.12MHz
PLL1のリファレンス周波数	122.88MHz
ダブラー	有効
出力周波数	122.88MHz
R分周器	1
N分周器	12
M1分周器	3
出力分周器	8
チャージポンプ電流	417μA
必要なループ帯域幅	450kHz
必要な位相マージン	70°

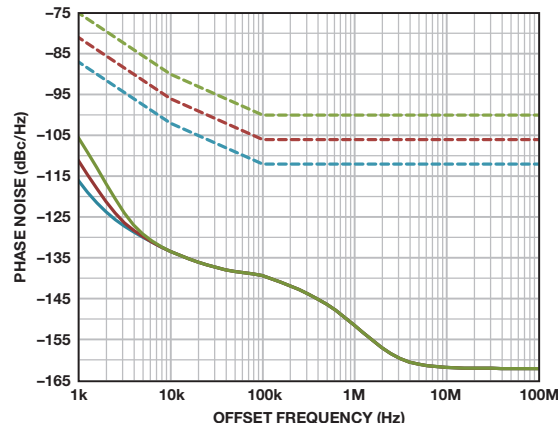
表4. ADIsimCLKのPLL2ループ・フィルタの構成部品表

部品名	値
C _{POLE1}	16pF
R _{ZERO}	1.85kΩ
C _{EXT}	1.2nF
R _{POLE2}	900Ω
C _{POLE2}	16pF



-- NOISY 122.88MHz REFERENCE INPUT PHASE NOISE PROFILE
 -- AD9523-1 PLL1 OUTPUT PHASE NOISE @ 122.88MHz WITH NOISY REF
 -- NOISIER 122.88MHz REFERENCE INPUT PHASE NOISE PROFILE
 -- AD9523-1 PLL1 OUTPUT PHASE NOISE @ 122.88MHz WITH NOISIER REF
 -- NOISIEST 122.88MHz REFERENCE INPUT PHASE NOISE PROFILE
 -- AD9523-1 PLL1 OUTPUT PHASE NOISE @ 122.88MHz WITH NOISIEST REF

図8. さまざまなリファレンスを使用した場合のPLL2出力位相ノイズ



-- NOISY 122.88MHz REFERENCE INPUT PHASE NOISE PROFILE
 -- AD9523-1 PLL1 OUTPUT PHASE NOISE @ 122.88MHz WITH NOISY REF
 -- NOISIER 122.88MHz REFERENCE INPUT PHASE NOISE PROFILE
 -- AD9523-1 PLL1 OUTPUT PHASE NOISE @ 122.88MHz WITH NOISIER REF
 -- NOISIEST 122.88MHz REFERENCE INPUT PHASE NOISE PROFILE
 -- AD9523-1 PLL1 OUTPUT PHASE NOISE @ 122.88MHz WITH NOISIEST REF

図9. さまざまなリファレンスを使用した場合のPLL2出力位相ノイズ (拡大)

図8と図9は、それぞれのリファレンス入力の位相ノイズと、ADIsimCLKのシミュレーションによってAD9523-1で得られた出力の位相ノイズとを比較したグラフです。10kHzと1MHzの間でノイズ曲線に台のような部分が出ていますが、これはPLL2の内部VCO位相ノイズによるものです。

PLL2の内部VCO位相ノイズは約5kHzのオフセット周波数以降に大きくなり、そこからデバイスの合計位相ノイズの支配的な要素となっていきます。5kHzのオフセット領域以降では、リファレンス位相ノイズが増えたとしても出力位相ノイズに与える影響は最小限に止まります。

結論

PLL1のジッタ・クリーニングの機能により、リファレンス入力の大部分の位相ノイズはPLL2に入りません。リファレンス入力のノイズは（10kHz未満のオフセットの）近接位相ノイズに影

響しますが、出力の総合的なジッタの支配的な要因となるのはリファレンスの性能ではなくデバイスの性能です。12kHzから20MHzまでのジッタを計算する場合、出力に出てくるジッタは、リファレンス入力ジッタに関係なく同一になる可能性があります。デュアルループPLLがどれだけジッタを減衰するかよりも、ジッタをどれだけ発生するかという点のほうが実際の性能の目安になり得るということです。

著者

Kyle Slightom [kyle.slightom@analog.com] は、ノースカロライナ州グリーンズボロにあるクロック&信号グループで働く製品アプリケーション・エンジニアです。ノースカロライナ州立大学で電気工学の学士号を取得し、2012年にアナログ・デバイセズに入社しました。

