

小型オペアンプによる 200mW負荷の駆動を 可能にする補償回路

著者: Mark Reisiger

概要

多くのアプリケーションでは、高いDC精度を維持しつつ、負荷に適切な量の電力を供給できるアンプ回路が必要になります。具体的にどのような回路が必要になるのかは、負荷の大きさによって異なります。例えば、必要な電力が50mW未満の負荷であれば、高精度のオペアンプでも駆動することができます。一方、数Wのレベルの負荷を駆動したい場合には、入力段に高精度のオペアンプを使い、出力段にディスクリートのパワー・トランジスタを配置した複合型のアンプ回路を構成すればよいでしょう。ところが、その中間の電力範囲に対してはなかなか適切な手段が存在しません。つまり、高精度のオペアンプでは駆動できないけれども、大きく複雑で高価なアンプ回路で駆動するのでは無駄が多すぎるケースが存在するという事です。

最近、筆者はホイートストン・ブリッジ用のドライバ回路を設計している際にこのジレンマに直面しました。そのアプリケーションでは、励起電圧がオフセットとスパンに直接影響を及ぼすため、高いDC精度が必要でした。ソースとなる電圧とブリッジの間の許容誤差は1mV未満です。7V~15Vの電源を使用し、100mV~5Vの範囲でブリッジをユニティ・ゲインで駆動する必要がありました。

ブリッジ用の抵抗としては何種類かの候補が考えられることから、問題はさらに複雑になりました。例えば、歪みゲージの場合、インピーダンスは標準的には120Ωまたは350Ωです。120Ωのブリッジを使用する場合、それを5Vで駆動するためにはオペアンプによって42mAの電流を供給する必要があります。また、配線とブリッジのデカップリング・コンデンサの両方を考慮すると、その回路は最大10nFの容量を駆動できるものでなければなりません。

オペアンプの選定

この回路の設計における最初のステップは、負荷を駆動できるオペアンプを選定することです。そのドロップアウト電圧 V_{OH} は、求められる負荷電流の条件下で回路のヘッドルーム未満である必要があります。この設計では、電源電圧は最小で7V、最大出力は5Vです。マージンを250mV確保すると、ヘッドルーム ($V_{DD}-V_{OUT}$) は1.75Vということになります。繰り返しになりますが、求められる負荷電流 (出力電流) は42mAです。

「ADA4661-2」は入出力ともにレールtoレールの高精度デュアル・オペアンプです。大きな出力段を備えており、かなりの大電流を出力することができます。データシートによると、40mAを供給する際のドロップアウト電圧は900mVです。これであれば、1.75Vというヘッドルームの要件を余裕を持って満たすことができます。

電源電圧が低い場合、ドロップアウト電圧によって回路の動作が制限されます。一方、電源電圧が高い場合には、回路の動作を制限する大きな要因は消費電力です。安全に動作が可能な最高温度は、ダイの温度上昇について計算することで求

めることができます。パッケージとしてMSOPを採用すれば試作が容易になります。しかし、可能であるならLFCSPを使用すべきです。なぜなら、LFCSPの方が格段に放熱性能が高いからです。MSOPの熱抵抗 θ_{JA} は142°C/Wですが、LFCSPでは83.5°C/Wです。ダイの温度上昇の最大値は、熱抵抗と最大消費電力の積によって算出できます。電源電圧が15Vで出力が5Vの場合、ヘッドルームは10Vです。電流の最大値は42mAなので、消費電力は最大で420mWになります。ダイの温度上昇はMSOPの場合で60°C、LFCSPの場合で35°Cなので、最高周囲温度はMSOPの場合で65°C、LFCSPの場合で90°Cということになります。

ブリッジ回路の励起電圧を正確に維持するためには、ダイとパッケージの組み合わせで決まる放熱性能も重要です。残念ながら、大電流を出力すると、性能が著しく低下するオペアンプも存在します。出力段の消費電力により、ダイ全体にわたって大きな温度勾配が生じ、トランジスタの整合性が崩れたり、トリム回路に不均衡が生じたりするからです。それに対しADA4661-2は、そうした温度勾配を抑えつつ、大きな電力を駆動できるように設計されています。

帰還ループによる安定性の確保

外部の補償回路なしで10nFの容量を駆動できるオペアンプはほとんど存在しません。そのような仕様を満たすのは容易なことではないからです。そのため、大きな容量性負荷を駆動するためには何らかの手法が必要になります。典型的な手法の1つは、複数の帰還経路を持たせることです。図1のように、オペアンプの出力にはアイソレーション用の抵抗 R_{ISO} を接続し、負荷コンデンサ C_{LOAD} との分離を図ります。そして、帰還抵抗 R_F を介して出力信号 V_{OUT} を帰還させることで、DC精度を維持します。ループの安定性は、コンデンサ C_F を介してアンプの出力を帰還させることによって維持します。

この回路が有効に機能するには、 R_{ISO} の値を十分に大きくし、オペアンプのユニティ・ゲイン周波数において総負荷インピーダンスが抵抗性であると見なせるようにする必要があります。しかし、 R_{ISO} によって電圧降下が生じるので、そのようなことは困難です。 R_{ISO} の最大値は、ワーストケースの条件下における残りの電圧ヘッドルームの配分を考慮することによって決めることができます。電源電圧が6.75Vで出力電圧が5Vである場合、合計で1.75Vの電圧降下を許容できます。オペアンプの V_{OH} がそのうちの900mVを占めるので、 R_{ISO} による電圧降下として許されるのは残りの850mVです。このことから、 R_{ISO} の最大値は20Ωとなります。仮に負荷容量が2nFであるとすると、ポールの周波数は4MHzです。これが、このアンプ回路におけるユニティ・ゲインのクロスオーバー周波数となります。このように複数の帰還経路を設ける方法では、明らかに要件を満たすことができません。

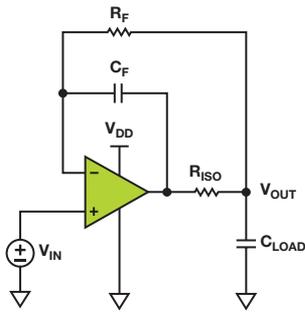


図1. 複数の帰還経路を設けたアンプ回路

そこで、非常に負荷の大きいアンプ回路の安定化を図るための別の方法を紹介しましょう。それは、ハイブリッド型のユニティ・フォロワ回路を使用するというものです（図2）。この方法では、負荷容量によって決まるポールを移動させるわけではありません。帰還係数を小さくすることによって、帰還ループを強制的に低い周波数でクロスオーバーさせます。位相のシフトがポールによって過度に大きくなる前に帰還ループを強制的にクロスオーバーさせることで、安定性を実現するという事です。

帰還係数はノイズ・ゲインの逆数です。そのため、この方法ではユニティ・ゲインの信号パスが得られないと考える方もいるかもしれませんが。一般的な反転/非反転回路ではそのとおりですが、この回路について詳細に検討すると、両方の入力方が駆動されることがわかります。簡単に言えば、この回路では $-R_F/R_S$ の反転ゲインと $(1+R_F/R_S)$ の非反転ゲインが重ね合わさっていると見なすことができます。その結果、この回路は+1の信号ゲインと $(R_S+R_F)/R_S$ のノイズ・ゲインで動作することになります。帰還係数と信号ゲインをそれぞれ個別に制御すれば、回路の帯域幅と引き換えにはなりますが、任意の大きさの負荷に対して安定性を確保することができます。

ただし、このハイブリッド型のユニティ・フォロワ回路には、いくつかの欠点があります。1つは、すべての周波数に対してノイズ・ゲインが高いことです。つまり、オフセット電圧 V_{OS} などのDC誤差がノイズ・ゲインによって増幅されるということです。それによって、DC特性の仕様を満たすことが非常に難しくなります。もう1つの欠点は、オペアンプ内部の動作に関する知識が必要なことです。このオペアンプは、入れ子型のミラー補償を備える3段構造のアーキテクチャを採用しています。その出力段には独自の内部帰還経路も備えています。これにより、出力段の帰還ループが不安定な場合でも、外部帰還ループの安定性を維持することができるようになっています。

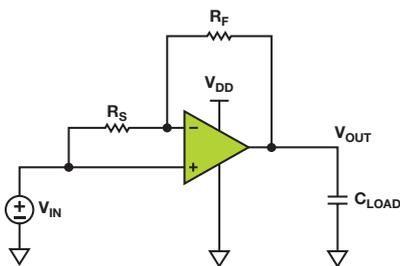


図2. ハイブリッド型のユニティ・フォロワ回路

図1、図2の回路の動作原理を組み合わせることにより、両者が抱える問題を解決することができます（図3）。この回路では、複数の帰還経路によって、低い周波数と高い周波数の帰

還経路が分離されています。加えて、容量性負荷が十分に分離されており、出力段の安定性の問題が最小限に抑えられています。低い周波数に対応するための帰還経路は、帰還抵抗 R_F を介したブリッジ電圧によって駆動されます。高い周波数に対応するための帰還経路は、帰還コンデンサ C_F を介してオペアンプの出力により駆動されます。

またこの回路は、高い周波数においてはハイブリッド型のユニティ・フォロワ回路のように動作します。高い周波数におけるノイズ・ゲインはコンデンサのインピーダンスによって決まり、 $(C_S+C_F)/C_F$ となります。ノイズ・ゲインがこのようになることから、帰還ループは、負荷容量によって安定性が低下することがないように、十分に低い周波数でクロスオーバーします。低い周波数において、ノイズ・ゲインはユニティなので回路のDC精度は維持されます。

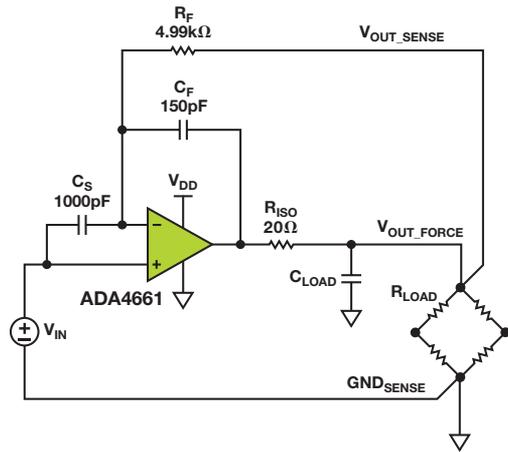


図3. ブリッジ用のドライバ回路

このアプリケーションでは、大電流が流れるため、DC精度を維持するには信号の配線を慎重に行う必要があります。最大負荷電流は42mAなので、わずか7mΩの抵抗によって約300μVの電圧降下が生じます。これは、オペアンプのオフセット電圧に相当するほどの誤差です。

この問題に対処するための実用的な方法は、**4線式のケルビン接続**を使用することです。この方法では、負荷電流を駆動する2つの電流印加 (force) 端子と2つの電圧測定 (sense) 端子を使用します。Sense端子はできるだけ負荷の近くに接続し、負荷電流が流れ込まないようにする必要があります。

ブリッジ用のドライバ回路において、sense端子はブリッジの上部と下部に直接接続します。プリント基板のパターンや配線においては、force線とsense線は独立していなければなりません。またGND_SENSE端子は、電源 V_{IN} に直接接続する必要があります。例えば、励起源がD/Aコンバータ (DAC) である場合、GND_SENSEはDACのREF_GNDに接続する必要があります。ブリッジのGND_FORCE端子は、それ専用の配線で電源に接続する必要があります。ブリッジの電流がグラウンド・プレーンに流れ込むと、望ましくない電圧降下が生じるからです。

誤差の見積もり結果

表1に示すように、この回路の誤差を見積もると、その大部分を占めるのはオペアンプのオフセット電圧とオフセット電圧のドリフトです。ここでは、ワーストケースの動作条件を想定しています。トータル誤差は、1mVという要件を余裕を持って満たすことができます。

表1. 誤差の見積もり結果

パラメータ	条件	計算方法	誤差
オフセット電圧	$0\text{ V} < V_{CM} < 5\text{ V};$ $6.75\text{ V} < V_{DD} < 15\text{ V}$		300 μV
オフセット電圧のドリフト	$0\text{ V} < V_{CM} < 5\text{ V};$ $6.75\text{ V} < V_{DD} < 15\text{ V}$ $-40^\circ\text{C} < T < +70^\circ\text{C}$	$300\ \mu\text{V}/^\circ\text{C} \times 110^\circ\text{C}$	341 μV
消費電力による誤差	$V_{DD} = 15\text{ V}; 0\text{ V} < V_{CM} < 5\text{ V}$	式 (1)	168 μV
ゲイン誤差	$0\text{ V} < V_{CM} < 5\text{ V};$ $-40^\circ\text{C} < T < +125^\circ\text{C}$	$5\text{ V} \times 1/(105\text{ dB} + 1)$	27 μV
電源電圧変動値	$6.75\text{ V} < V_{DD} < 15\text{ V}$	$8.25\text{ V}/120\text{ dB}$	8 μV
トータルの誤差			844 μV

表において、3つ目の項目は消費電力による誤差です。オペアンプが電力を消費することにより、ダイの温度が上昇します。それにより、オフセット電圧の値は負荷電流がないときの値からドリフトします。その誤差の最大値は、式 (1) に示すように、電源電圧の最大値、出力電圧の最大値、抵抗性負荷の最小値を基に算出できます。なお、抵抗 R_{ISO} により、オペアンプの電圧降下の最大値はいくぶん緩和されます。

$$V_{PDISS} = V_{DROP} I_{LOAD} \Theta_{JA} TC_{OS}$$

$$V_{PDISS} = \left[15\text{V} - 5\text{V} \left(1 + \frac{20\ \Omega}{120\ \Omega} \right) \right] \left[\frac{5\text{V}}{120\ \Omega} \right] \left[142 \frac{^\circ\text{C}}{\text{W}} \right] \left[3.1 \frac{\mu\text{V}}{^\circ\text{C}} \right] \quad (1)$$

$$V_{PDISS} = 168\ \mu\text{V}$$

DC特性の測定結果

この回路では、入力電圧 V_{IN} と負荷電圧（出力電圧） V_{OUT} の差が誤差電圧となります。図4に、試作した回路の誤差電圧と負荷電圧の関係を示しました。このブリッジ用ドライバ回路における最大の誤差要因は、オフセット電圧とオフセット電圧のドリフトです。そのほかにも、オペアンプの消費電力に起因してブリッジの電圧に依存する誤差が生じます。図において、異なる色の曲線を比較すると電源電圧（消費電力）の違いによる影響が見取れます。黒色の曲線は、電源電圧が最小（7V）、つまりは消費電力が最小（50mW）の場合の結果です。ダイの温度の上昇はわずか7°Cなので、この曲線は、室温におけるこの回路のオフセット電圧と共通モード電圧の関係を表していると言えます。

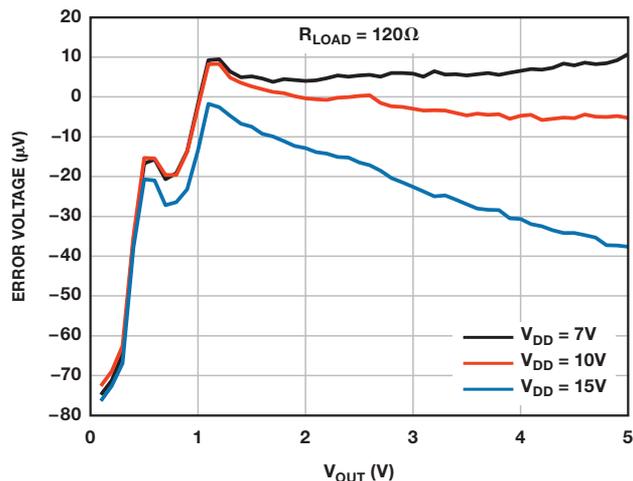


図4. 誤差電圧と出力電圧の関係

赤色（電源電圧が10V）と青色（電源電圧が15V）の曲線は、消費電力の最大値がそれぞれ175mWと385mWの場合の結果です。出力電圧が上昇すると、消費電力の増加に伴い、ダイの温度が25°C~55°C上昇してオフセット電圧にドリフトが生じます。消費電力が最大になるのは V_{OUT} が V_{DD} の半分のときであり、温度の上昇によって発生する誤差を表す曲線は放物線状になります。

このように、オフセット電圧は電源電圧に大きく依存します。そのため、この回路ではPSR（電源電圧変動除去比）について検討しなければなりません。図5は、出力電圧を固定にした場合の電源電圧に対する誤差電圧の変化を示したものです。黒色の曲線は負荷が小さい場合の測定結果であり、オペアンプのPSR性能がほぼそのまま現れます。この例では、10 μV の変化は118dBのPSRに相当します。赤色と青色の曲線は、それぞれ負荷が一般的なブリッジ抵抗の値である350 Ω と120 Ω の場合の出力によって、消費電力が増加した場合の結果を表しています。赤色と青色の曲線の実質的なPSRは、それぞれ110dBと103dBです。

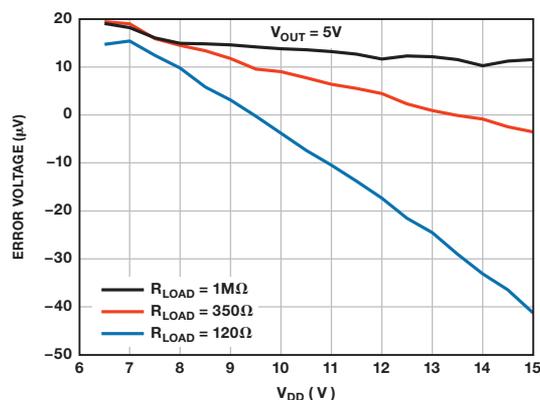


図5. 誤差電圧と電源電圧の関係

この回路の性能は、明らかに温度の変化によるオフセット電圧のドリフトに依存します。ここまでは、仕様に記載された TCV_{OS} の値を、温度に依存する誤差の計算に使用してきました。オペアンプの電力消費に伴うダイの温度の上昇は、周囲温度の変化とは別に現れます。そのため、この仮定は正しいはずですが、ダイの温度の上昇は、ダイの表面全体にわたって大きな温度勾配を生じさせます。それにより、オペアンプの微妙な均衡が損なわれる恐れがあります。言い換える

と、一般的なオペアンプでは、その温度勾配によってオフセット電圧がデータシートに記載された値から大きくドリフトする可能性があるということです。それに対し、ADA4661-2は、多くの電力を消費してもオフセットの温度ドリフト性能が低下することがないよう、特別な設計が施されています。

図6に示したのは、オフセットのドリフトと温度の関係を測定した結果です。黒色の曲線は、低い電源電圧と値の大きい抵抗を負荷として用い、データシートに記載された性能を再現したものです (-1.2 μ V/ $^{\circ}$ C)。一方、赤色の曲線は負荷として120 Ω のブリッジ抵抗を用いた場合の結果です。ここで重要なのは、両曲線の形状は変わらないという点です。赤色の曲線はダイの温度の上昇(6.4 $^{\circ}$ C)に伴って、黒色の曲線を左にシフトしただけです。そして、青色の曲線は電源電圧を15Vに上げ、回路の消費電力が最大になるようにした場合の結果です。この曲線も、ダイの温度が55 $^{\circ}$ C上昇したために左にシフトするだけで、形状は変わりません。内部の消費電力は既知(385mW)なので、この回路の実際の熱インピーダンス(θ JA)を算出することができます(143 $^{\circ}$ C/W)。ここで重要なのは、動作時に許容できる周囲温度を考慮することです。ダイの最高温度は125 $^{\circ}$ Cを超えてはなりません。つまり、ワーストケースの負荷に対し、周辺温度は最高で70 $^{\circ}$ Cということになります。

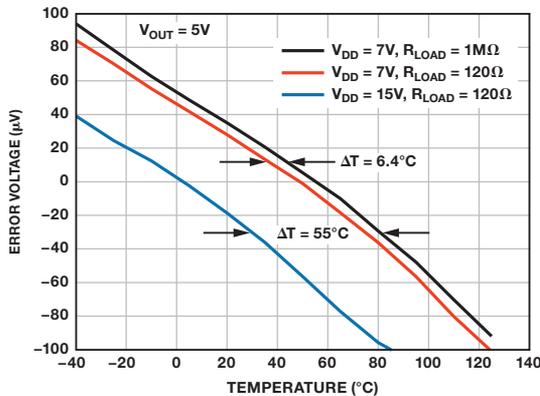


図6. 誤差電圧と周囲温度の関係

過渡特性の測定結果

ループの安定性は、回路のステップ応答によって評価することができます。図7に示したのは、値の大きい抵抗ブリッジに容量性負荷を加えてステップ応答を測定した結果です。一方、図8には、値の小さい抵抗ブリッジに容量性負荷を加えて同じ測定を行った結果を示しました。帰還回路のポール・ゼロ・ダブルットにより、ステップ応答には特徴的なオーバーシュートが現れます。このダブルット応答は基本になるものです。回路の帰還係数は低い周波数ではユニティですが、高い周波数では0.13まで低下しています。ゼロはポールよりも高い周波数に位置するため、位相マージンが十分にあったとしても、ステップ応答には必ずオーバーシュートが発生します。また、ダブルットの時定数はこの回路において最も大きいので、オーバーシュートはセトリング時間の全体にわたって持続する傾向があります。ワーストケースの安定性と出力段のリングングは、抵抗の値が大きく、容量性負荷が1nFの場合に観測されます。

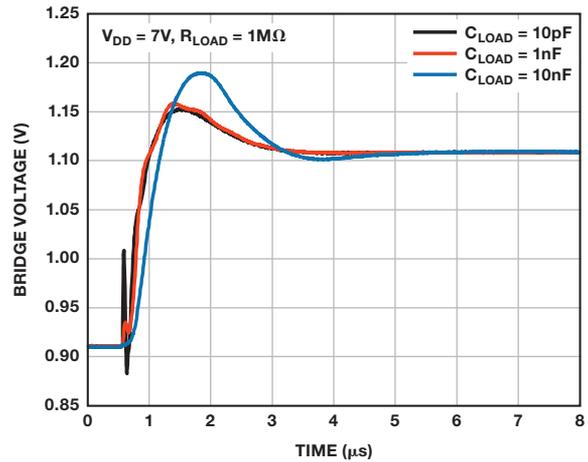


図7. 負荷が小さい場合のステップ応答

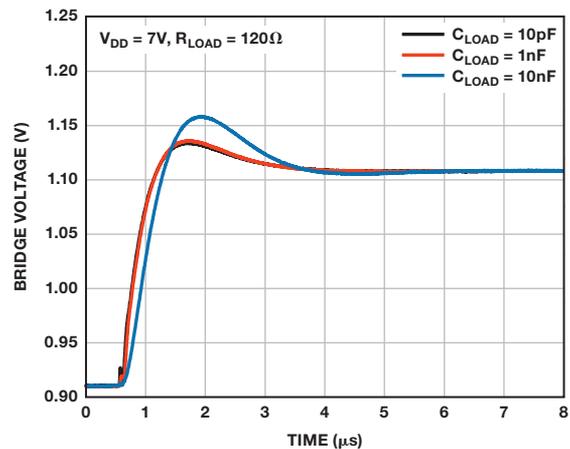


図8. 負荷が大きい場合のステップ応答

まとめ

本稿では、大きな容量性負荷を駆動可能なドライバ回路を紹介しました。この回路は、値が最小120 Ω の抵抗性負荷が接続された条件において、1mV未満のトータル誤差で5Vを出力し、最大10nFまでの容量を安定して駆動することができます。7V~15Vという広い電源電圧範囲で約400mWの消費電力で動作しつつ、定格の性能を満たすことができます。この回路は、 \pm 7Vの電源をオペアンプに接続して正と負の負荷を駆動するように拡張することができます。外径寸法が3mm \times 3mmの小型オペアンプを1個と受動部品を4個使用することで、このような機能/性能を実現することができます。

著者

Mark Reisiger (mark.reisiger@analog.com)は、リニア製品グループに所属するスタッフ設計エンジニアです。CMOSアンプの設計を専門としています。ロチェスター工科大学で電気工学の学士号と修士号を取得し、2005年からアナログ・デバイスで勤務しています。

